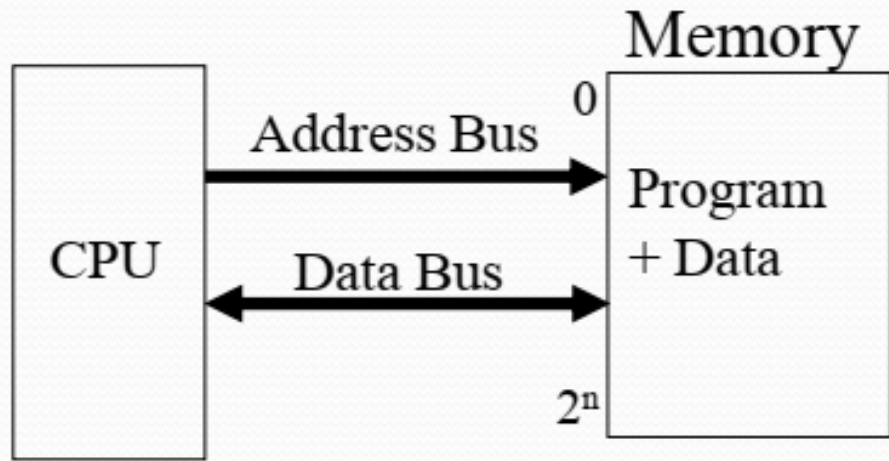


HỆ VI XỬ LÝ ON-CHIP

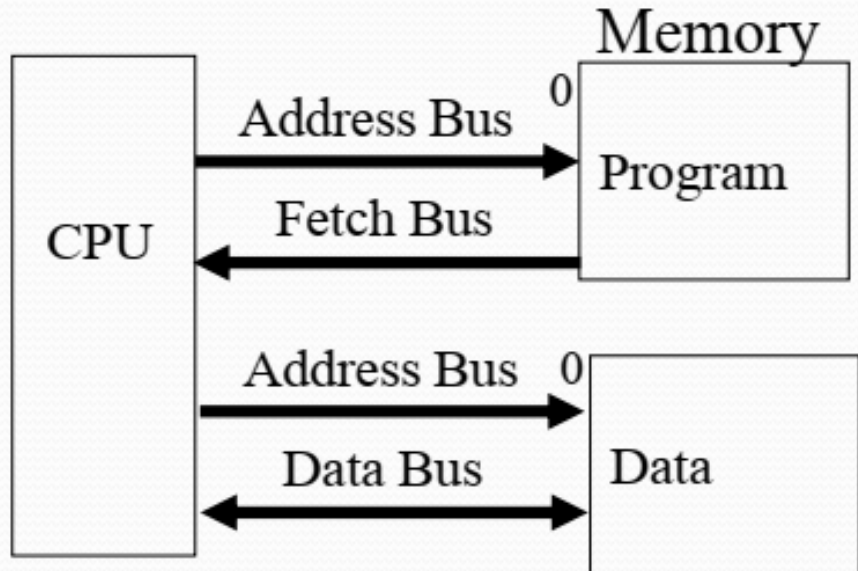
VI ĐIỀU KHIỂN 8051

Họ vi điều khiển 8051

Các kiến trúc vi điều khiển



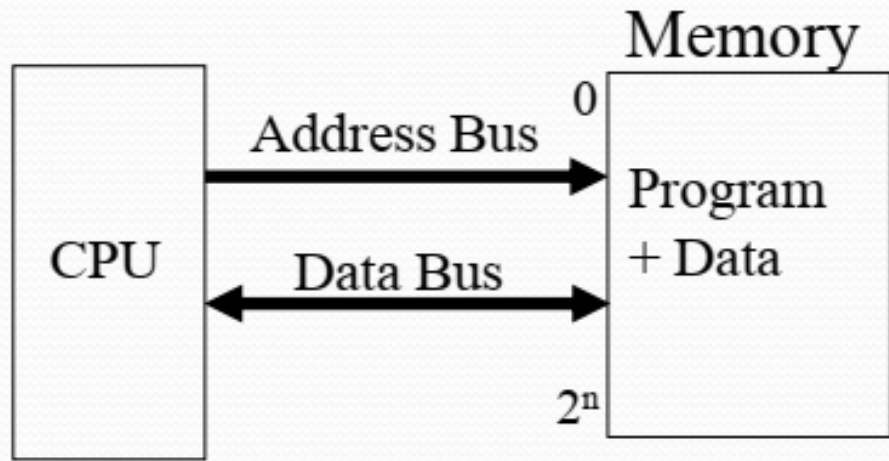
Von Neumann
Architecture



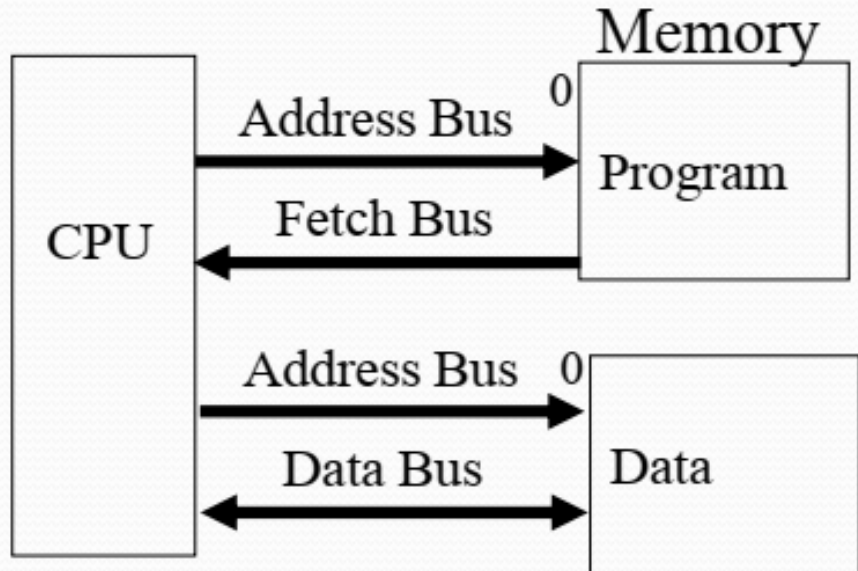
Harvard
Architecture

Họ vi điều khiển 8051

Các kiến trúc vi điều khiển



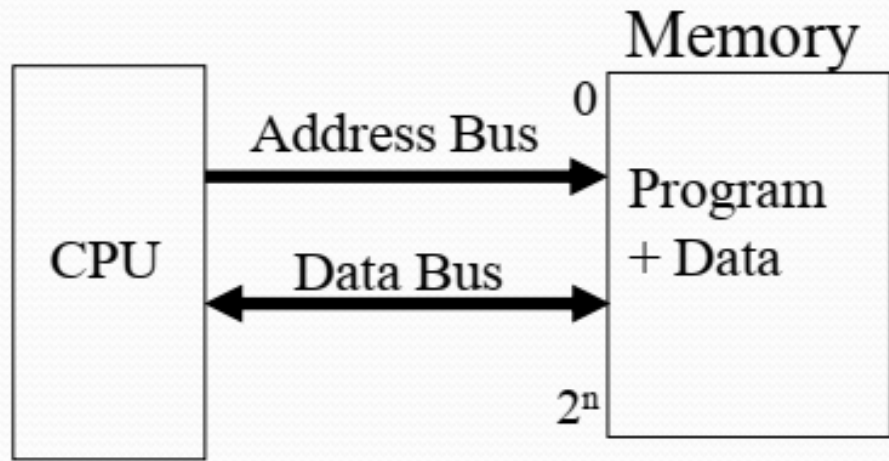
Von Neumann
Architecture



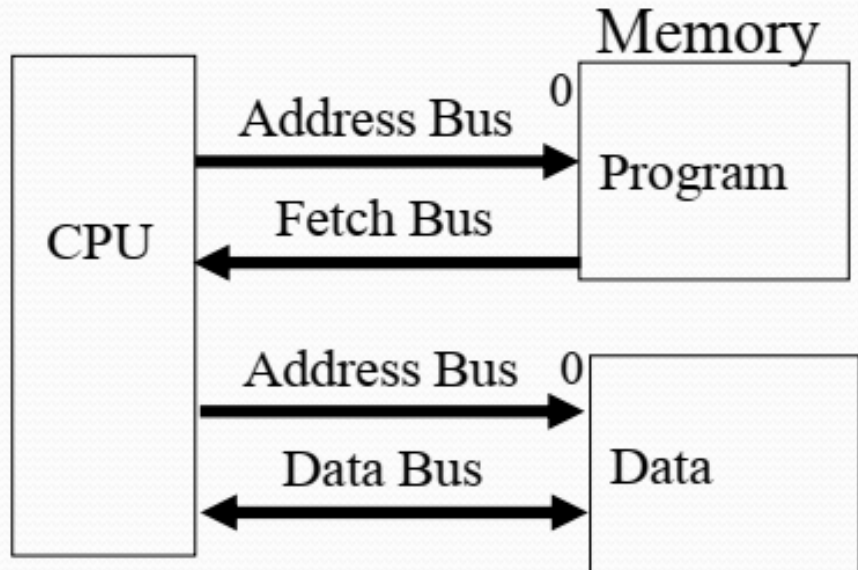
Harvard
Architecture

Họ vi điều khiển 8051

Các kiến trúc vi điều khiển



Von Neumann
Architecture



Harvard
Architecture

Họ vi điều khiển 8051

□ 8051 là vi điều khiển đầu tiên của họ vi điều khiển

MCS51 được Intel sản xuất vào năm 1980. Họ MCS51 là họ 8-bit có khả năng định địa chỉ 64KB bộ nhớ chương trình và 64KB bộ nhớ dữ liệu.

Bảng 3.1 So sánh các vi điều khiển trong họ 8051.

Có ROM trong	Có EPROM trong	Không có ROM trong	ROM (bytes)	RAM (bytes)	Các cổng I/O 8 bit	Các mạch định thời/ Bộ đếm 16 bit	UART
80C51	87C51	80C31	4K	128	4	2	có
80C52	87C52	80C32	8K	256	4	3	có

- Chú ý:**
- Loạt 80C3X không có ROM/EPROM trong chip.
 - Loạt 80C5X có từ 2KB đến 8KB ROM/EPROM trong chip.
 - Loạt 89XX có bộ nhớ chương trình bên trong là “Flash EPROM”.
 - Loạt 80CX1 có 128 byte RAM nội.
 - Loạt 80CX2 có 256 byte RAM nội.
 - Về công nghệ chế tạo: loạt 8XXXX với công nghệ NMOS, loạt 8XCXX với công nghệ CMOS.

Họ vi điều khiển 8051

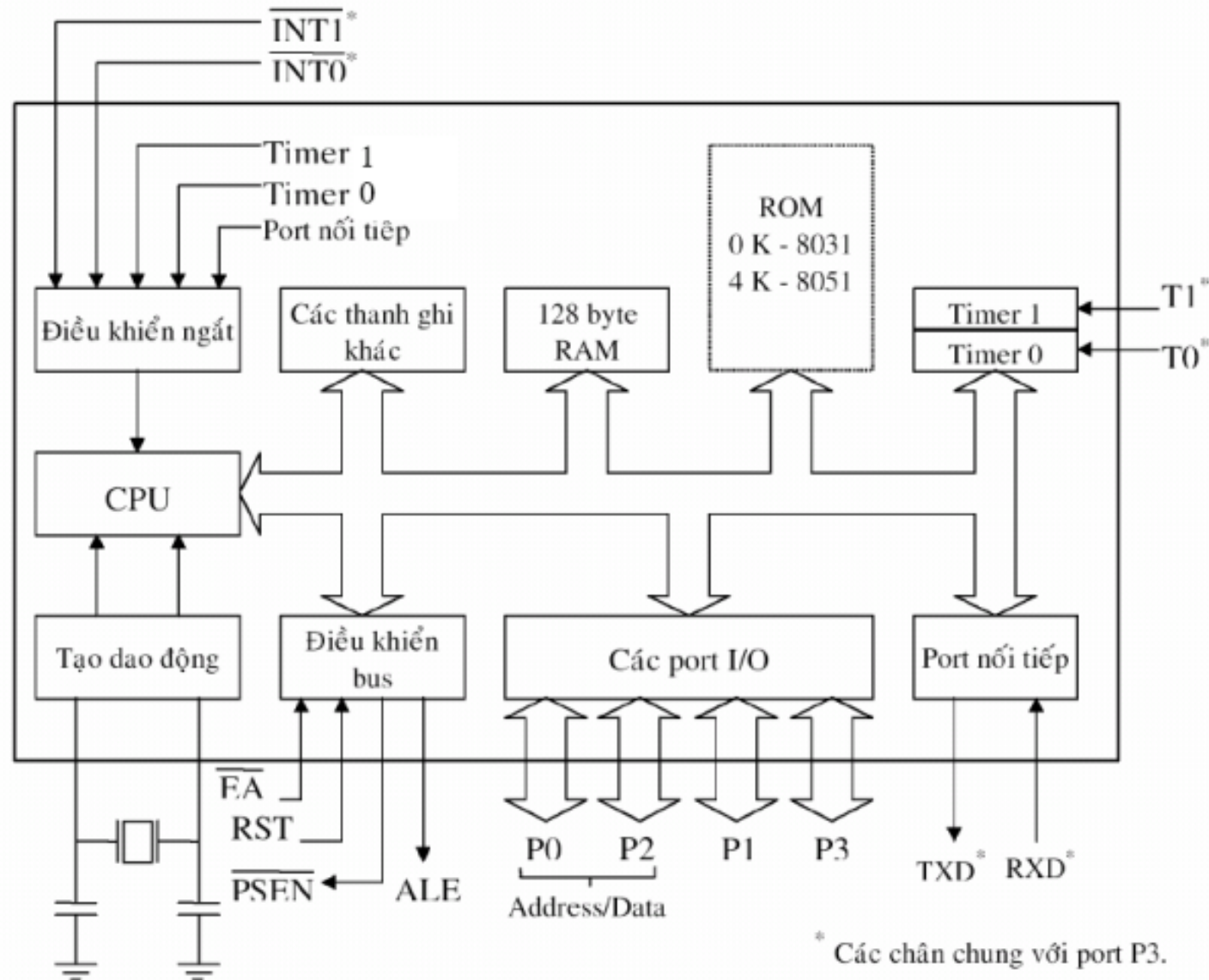
So sánh các dòng MCS-51

Part Number	On-Chip Code Memory	On-Chip Data Memory	Timers
8051	4K ROM	128 bytes	2
8031	0K	128 bytes	2
8751	4K EPROM	128 bytes	2
8052	8K ROM	256 bytes	3
8032	0K	256 bytes	3
8752	8K EPROM	256 bytes	3

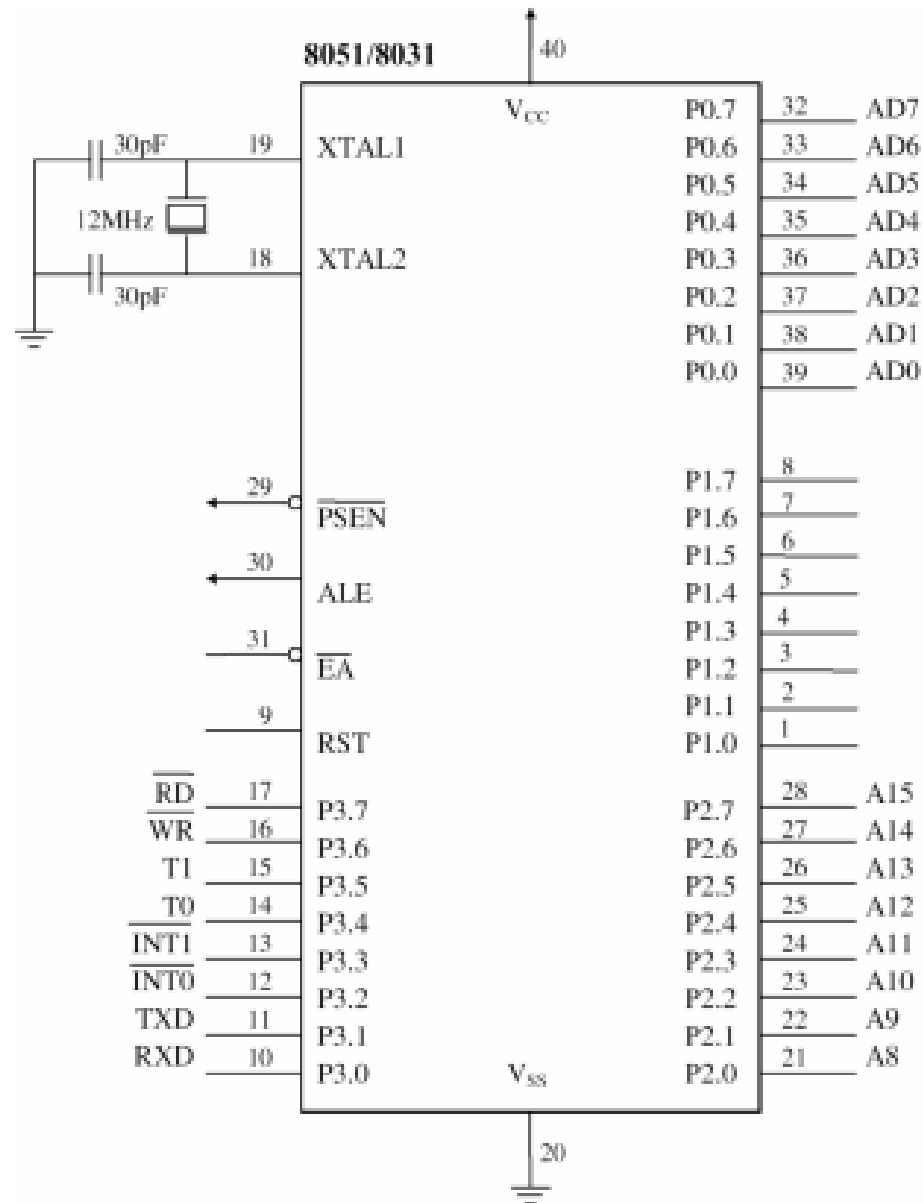
Họ vi điều khiển 8051

Kiến trúc phần cứng 8051

Sơ đồ khối 8051/8031



Sơ đồ khối 8051/8031



Hình 3.2 Sơ đồ chân 8051

Ý nghĩa các chân trên MCU 8051

□ Port 0 (Cổng 0)

Port 0 là một port hai chức năng trên các chân 32–39. Trong các thiết kế cỡ nhỏ (không dùng bộ nhớ mở rộng) nó có chức năng như các đường I/O. Đối với các thiết kế lớn với bộ nhớ mở rộng, nó được dùng kênh giữa bus địa chỉ và bus dữ liệu.

□ Port 1 (Cổng 1)

Port 1 là cổng dành riêng cho nhập/xuất trên các chân 1–8. Các chân được ký hiệu P1.0, P1.1, P1.2, ... có thể dùng cho giao tiếp với các thiết bị ngoài nếu cần. Port 1 không có chức năng khác, vì vậy chúng chỉ được dùng cho giao tiếp với các thiết bị ngoài.

□ Port 2 (Cổng 2)

Port 2 là một cổng công dụng kép trên các chân 21–28 được dùng như các đường xuất nhập hoặc là byte cao của bus địa chỉ đối với các thiết kế dùng bộ nhớ mở rộng.

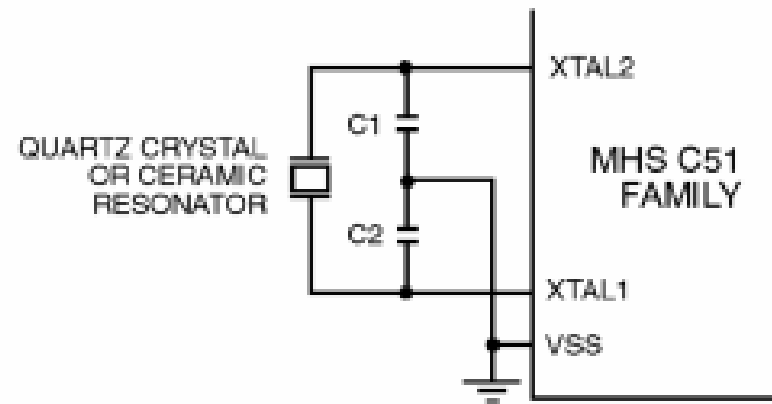
□ Port 3 (Cổng 3)

Port 3 cũng là một cổng công dụng kép trên các chân 10–17. Các chân của port này có nhiều chức năng, các công dụng chuyển đổi có liên hệ với các đặc tính đặc biệt của 8051/8031

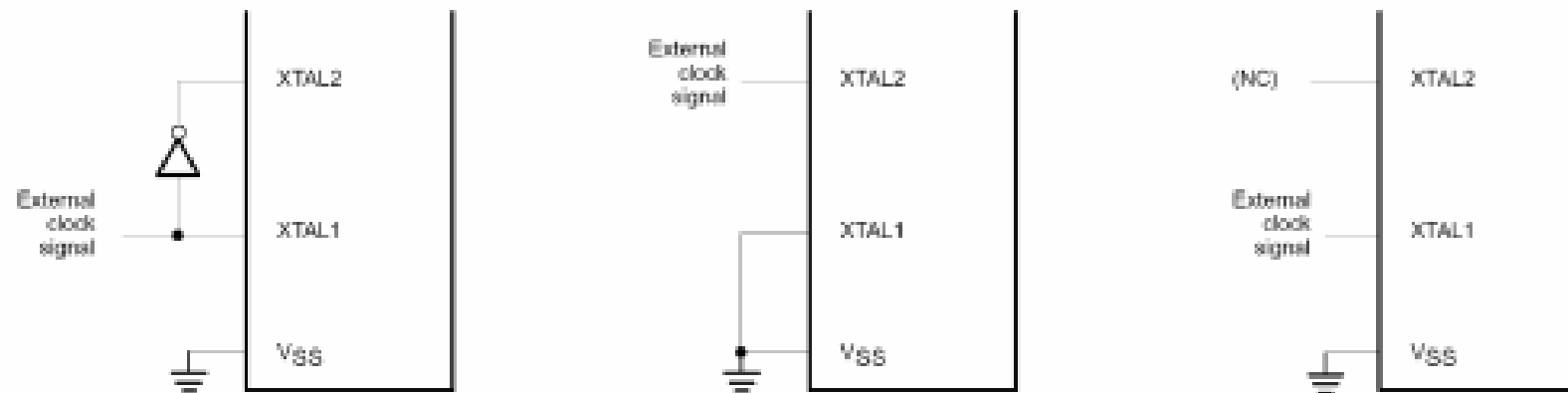
Các chức năng chuyển đổi ở Port 3

Bit	Tên	Địa chỉ bit	Chức năng chuyển đổi
P3.0	RXD	B0H	Dữ liệu nhận cho port nối tiếp.
P3.1	TXD	B1H	Dữ liệu phát cho port nối tiếp.
P3.2	$\overline{\text{INT0}}$	B2H	Ngắt 0 bên ngoài.
P3.3	$\overline{\text{INT1}}$	B3H	Ngắt 1 bên ngoài.
P3.4	T0	B4H	Ngõ vào của timer/counter 0.
P3.5	T1	B5H	Ngõ vào của timer/counter 1.
P3.6	$\overline{\text{WR}}$	B6H	Xung ghi bộ nhớ dữ liệu ngoài.
P3.7	$\overline{\text{RD}}$	B7H	Xung đọc bộ nhớ dữ liệu ngoài.

Các chức năng chuyển đổi ở Port 3



Hình 3.3 Dao động trên chip ($C1=C2= 30\text{pF} \pm 10\text{pF}$ với thạch anh [crystal] và $C1=C2= 30\text{pF} \pm 10\text{pF}$ với bộ cộng hưởng gốm [ceramic resonator])



a) 8051 loại NMOS hoặc CMOS. b) chỉ cho loại NMOS. c) chỉ cho loại CMOS.

Hình 3.4 Sử dụng xung nhịp từ bên ngoài.

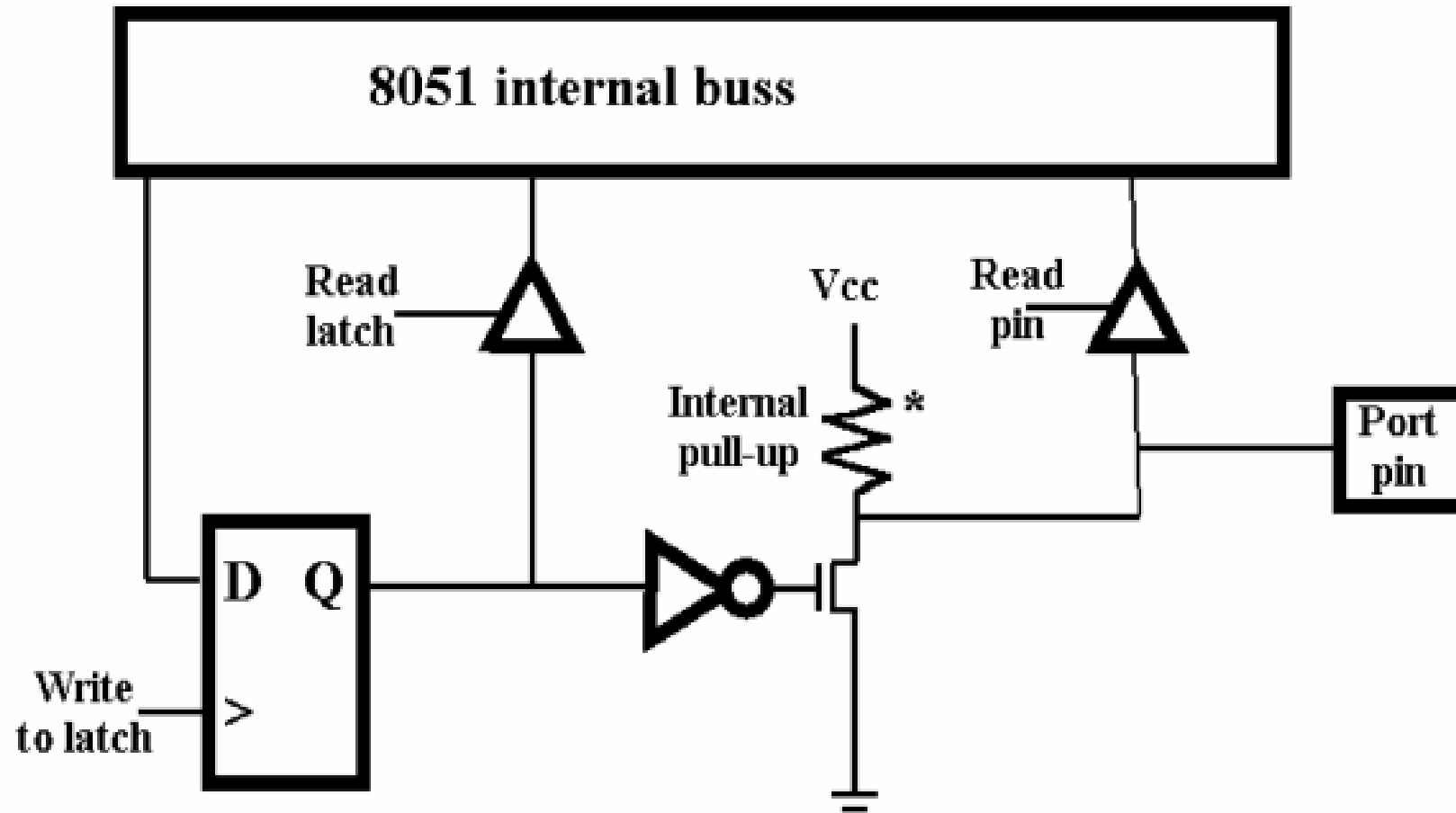
Cấu trúc cổng I/O

- Khả năng lái là 4 tải TTL loại LS (Low Power Schottky) với các cổng P1, P2, và P3; và 8 tải TTL loại LS với cổng P0.

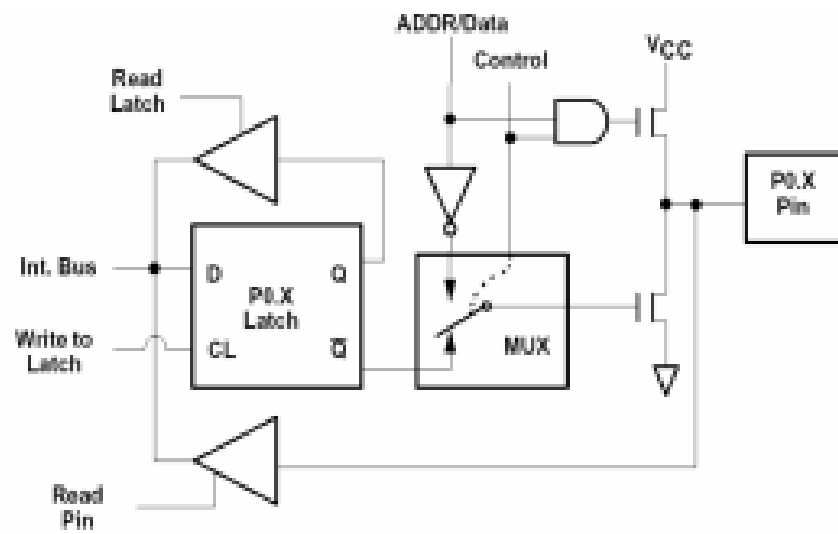
- Chú ý là điện trở kéo lên bên trong không có trong Port 0

(ngoại trừ lúc làm việc như bus dữ liệu / địa chỉ bên ngoài). Điện trở kéo lên có thể được sử dụng với P0 tùy theo đặc tính vào của thiết bị mà nó lái.

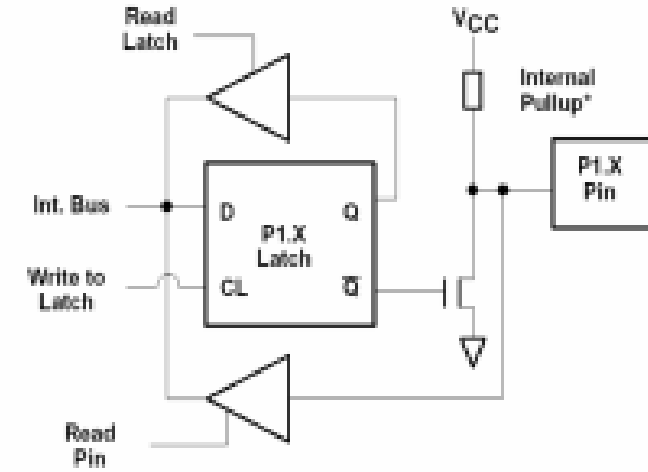
Cấu trúc cổng I/O



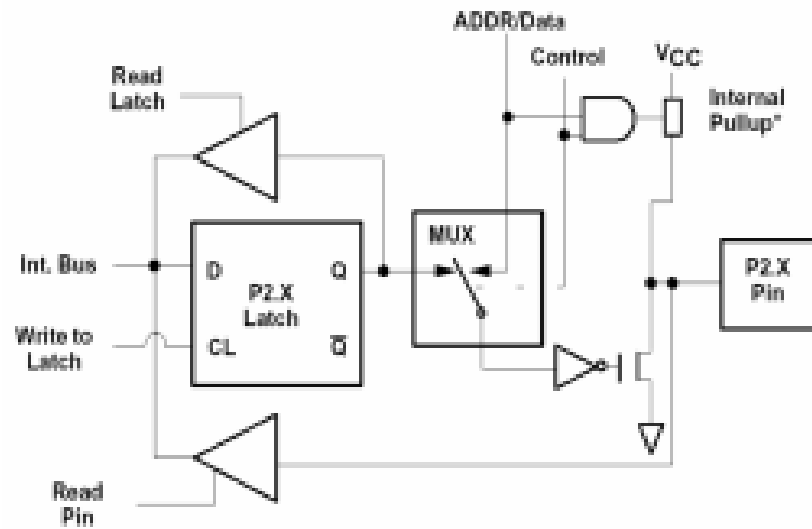
Hình 3.5 Mạch tóm tắt các cổng I/O.



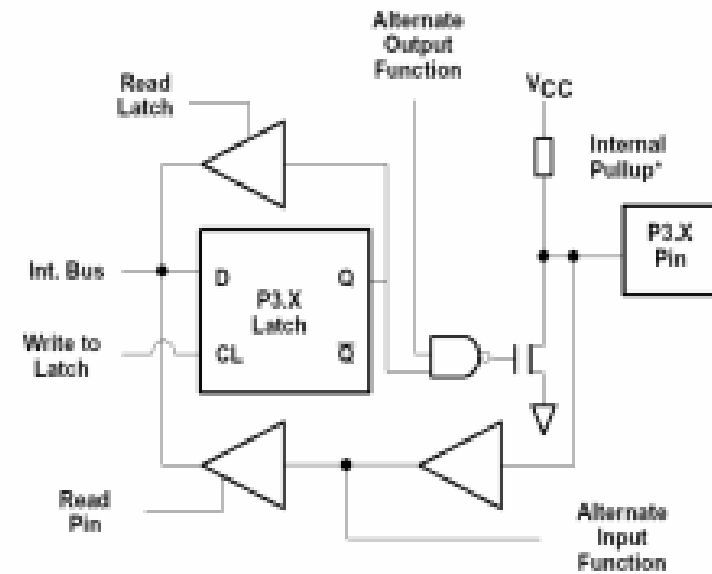
a. Port 0 Bit



b. Port 1 Bit



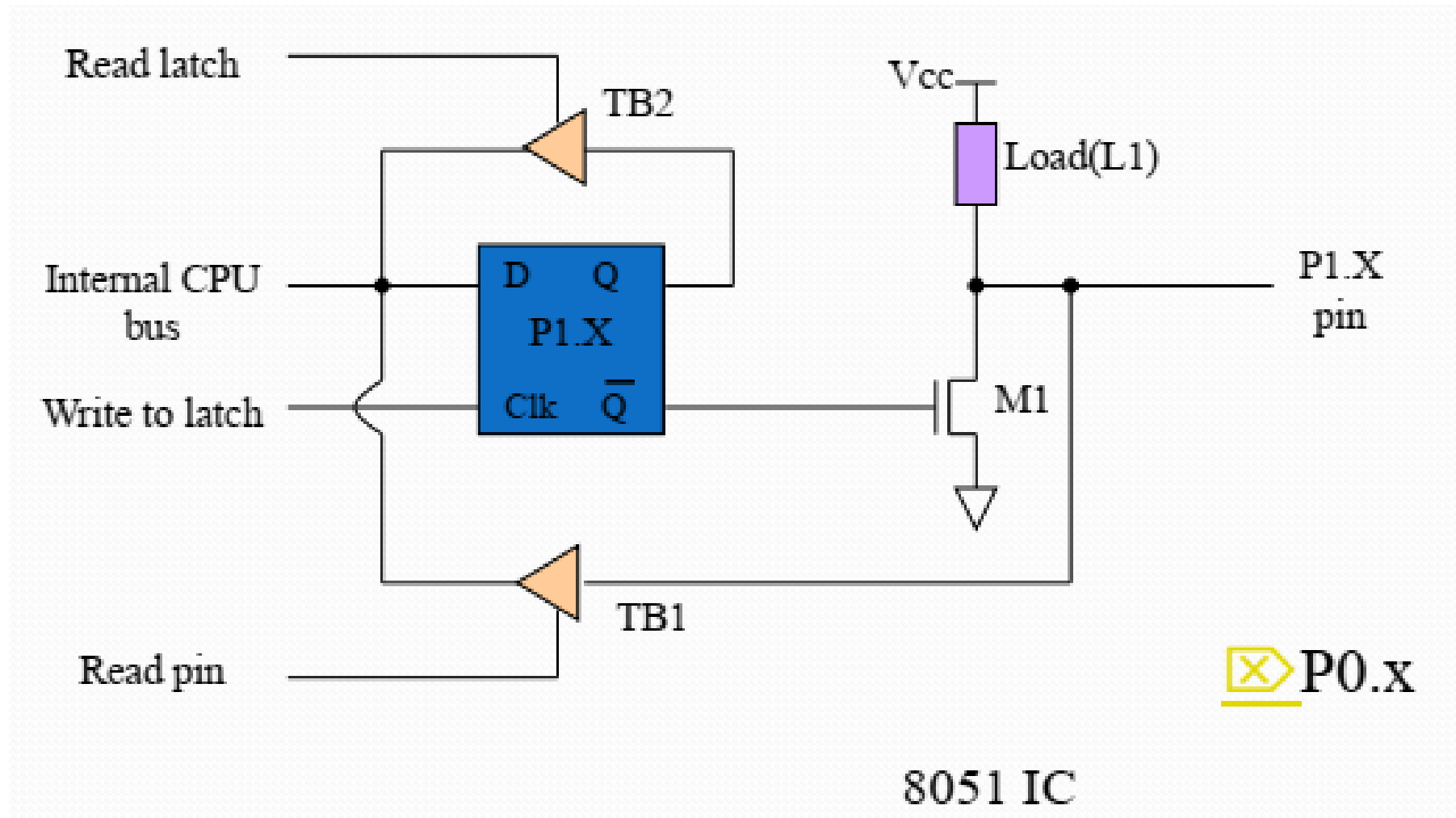
c. Port 2 Bit



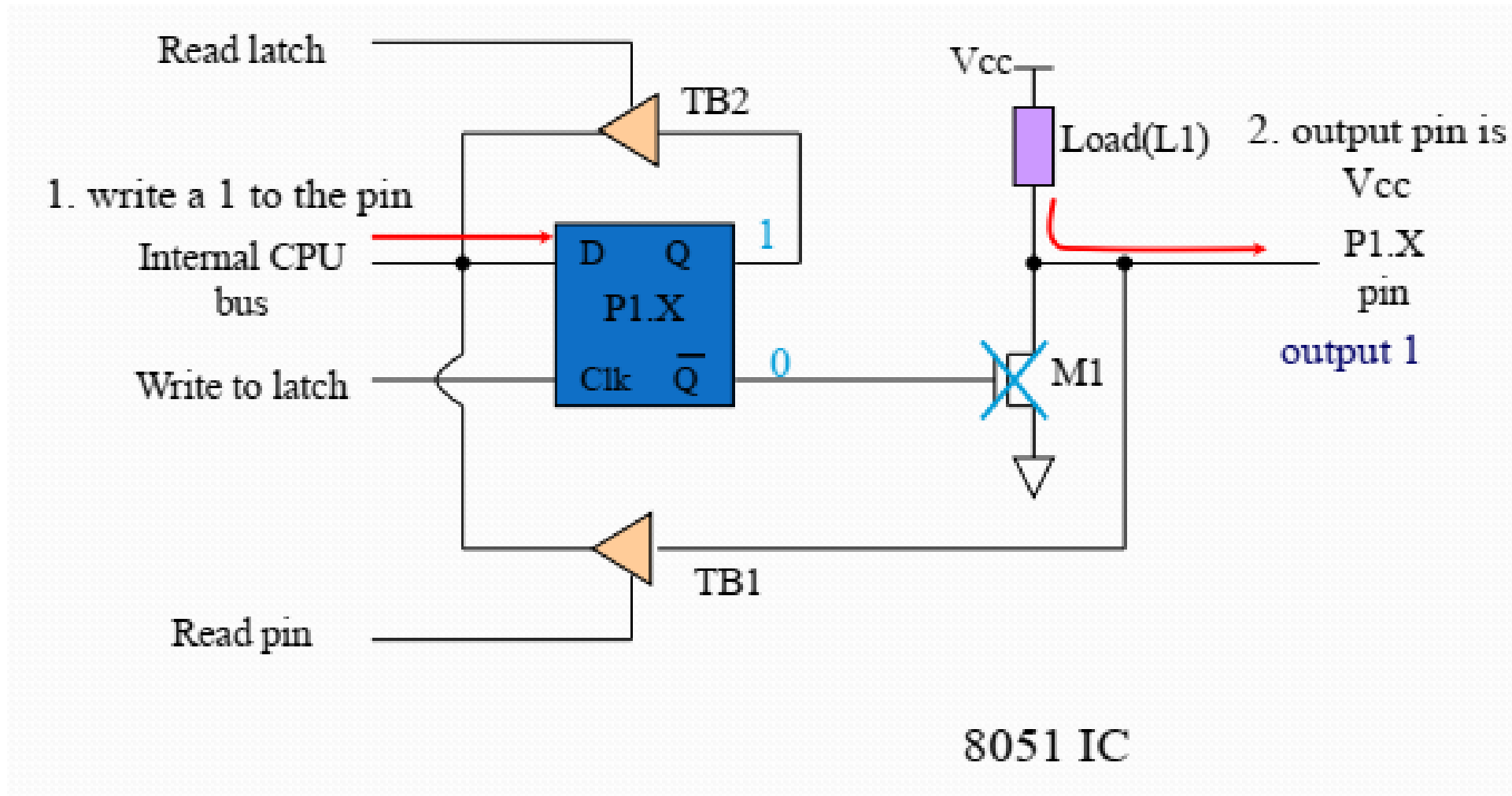
d. Port 3 Bit

Hình 3.6 Các mạch chốt cổng và các bộ đệm I/O.

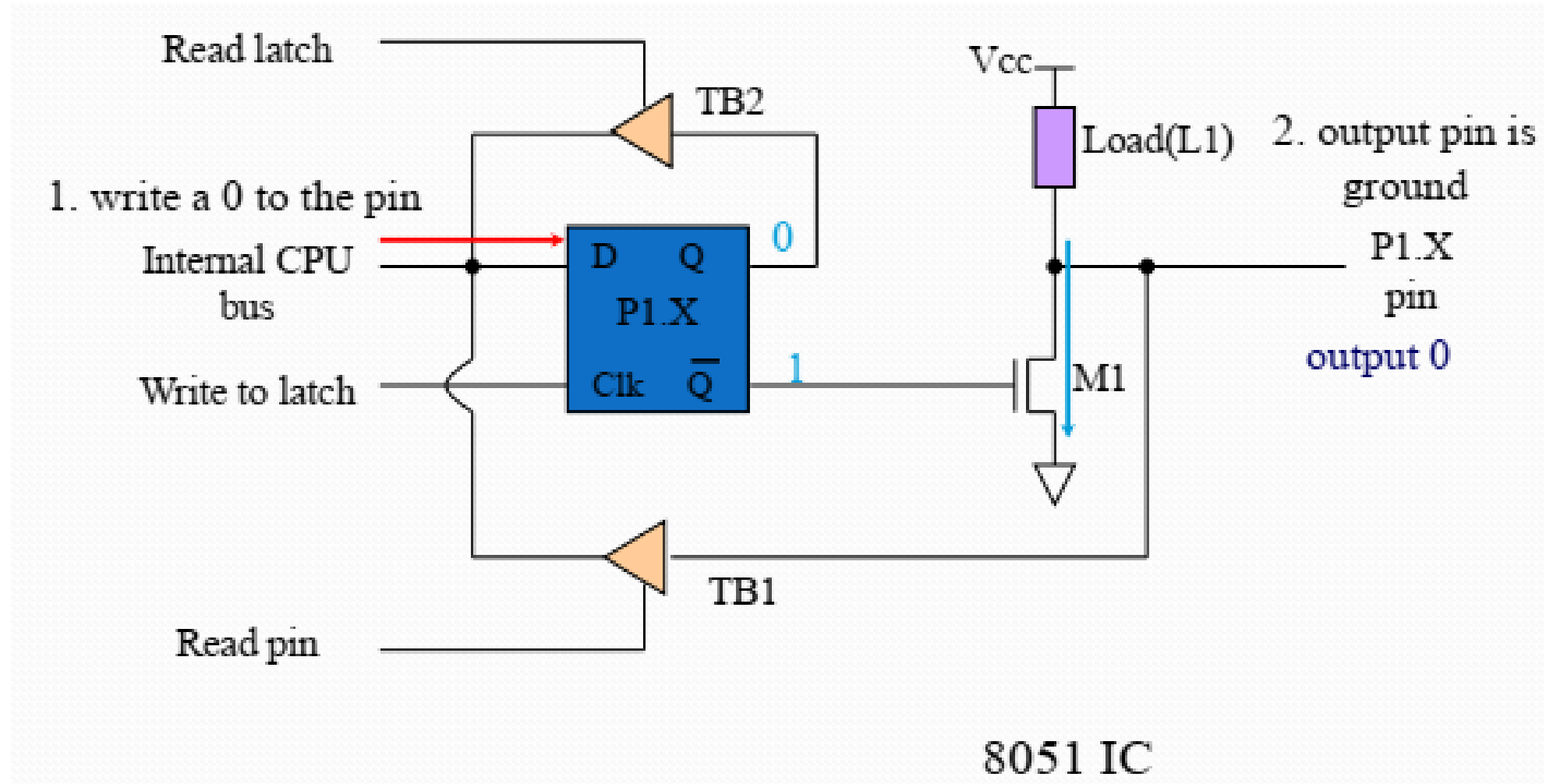
Pin of Port 1



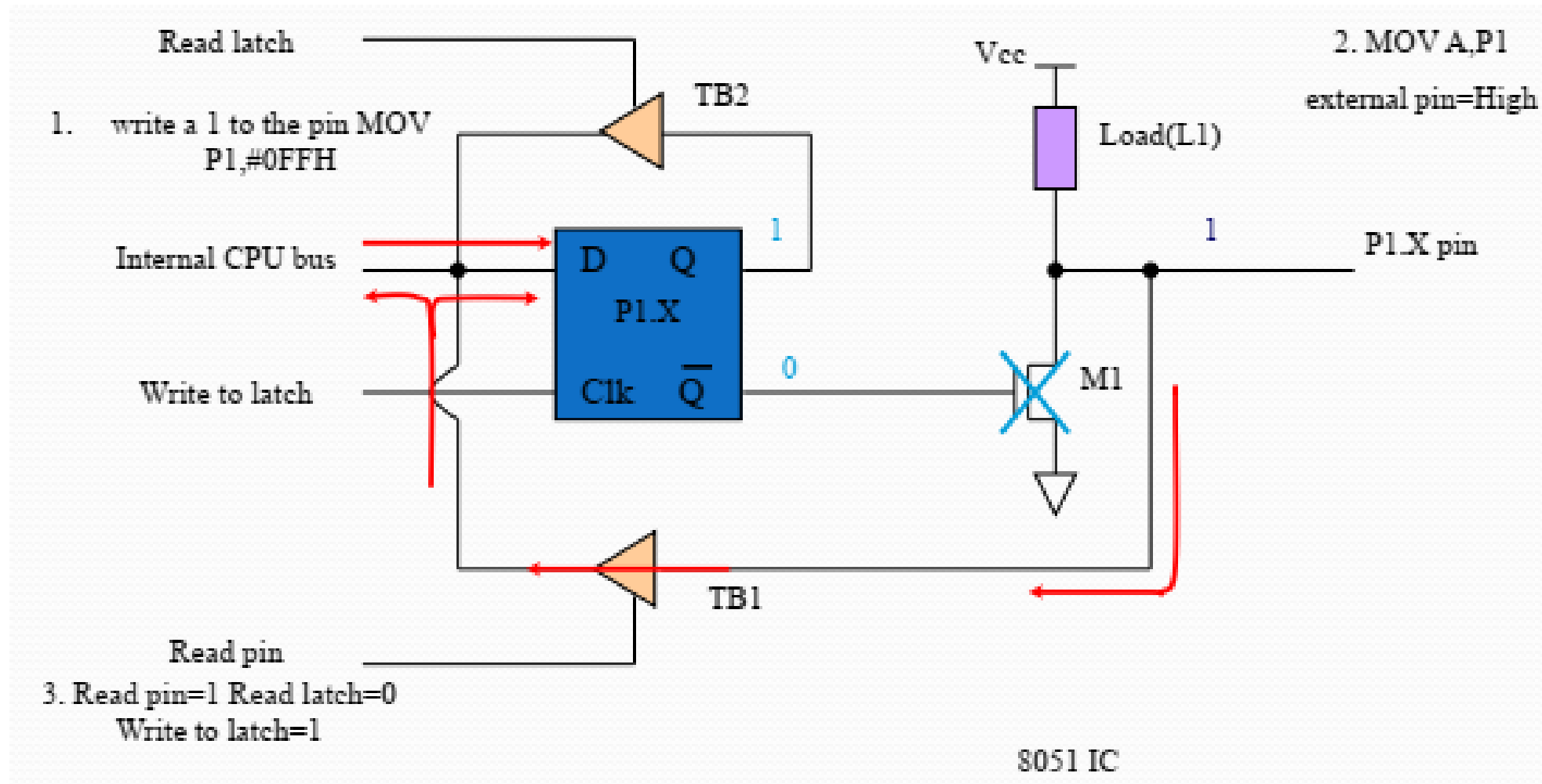
Writing “1” to Output Pin P1.X



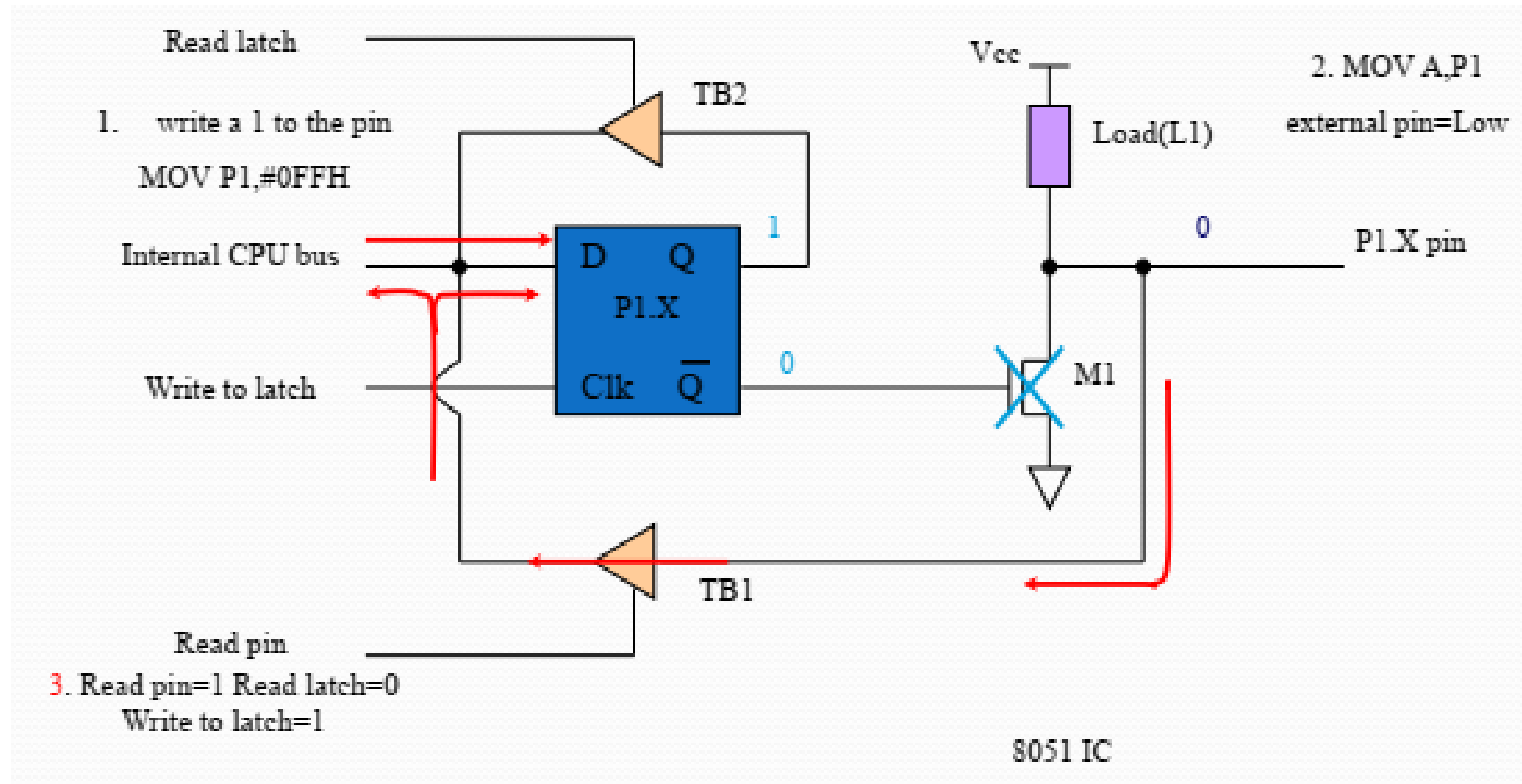
Writing “0” to Output Pin P1.X




Reading “High” at Input Pin



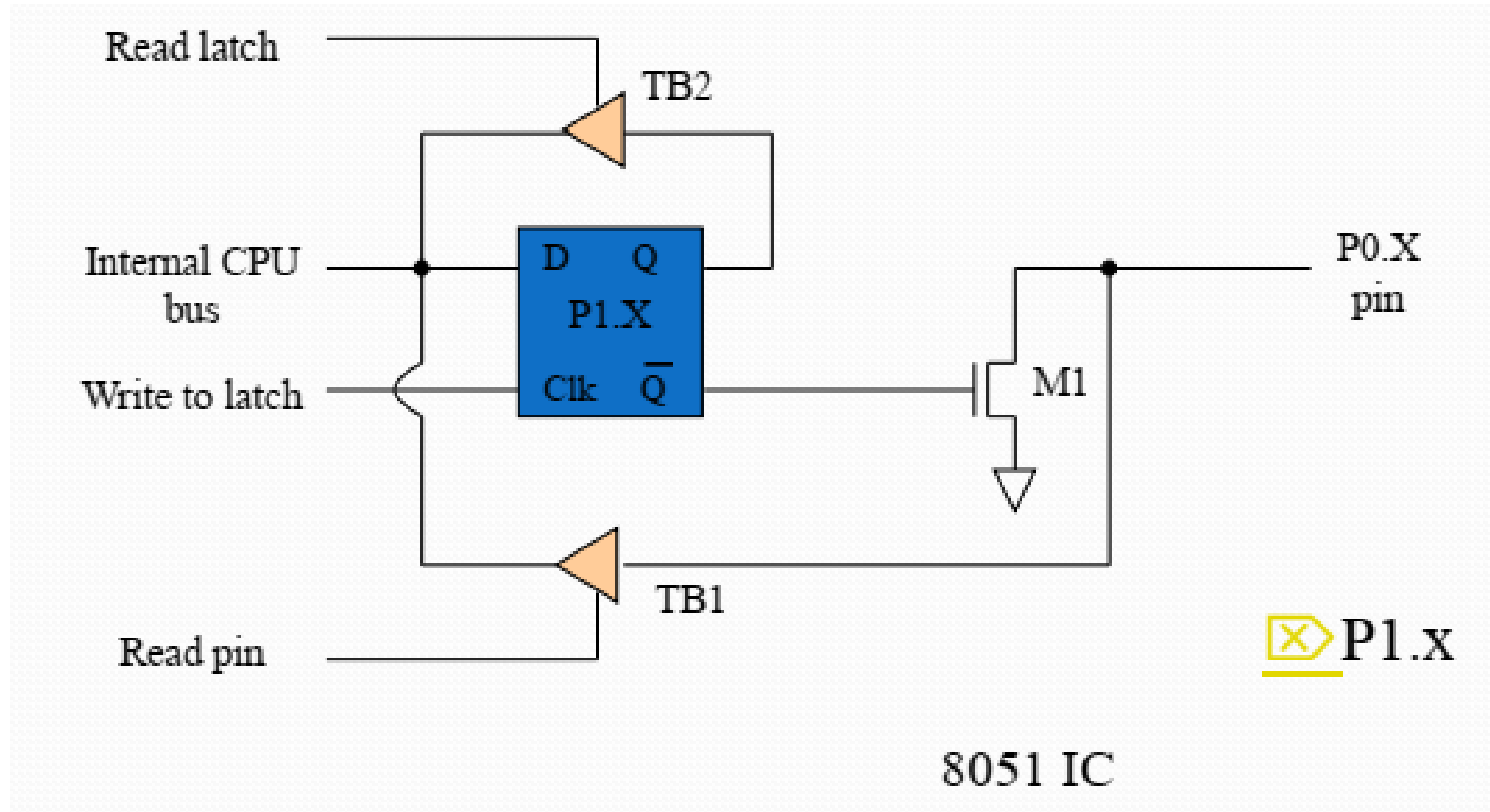
Reading “Low” at Input Pin



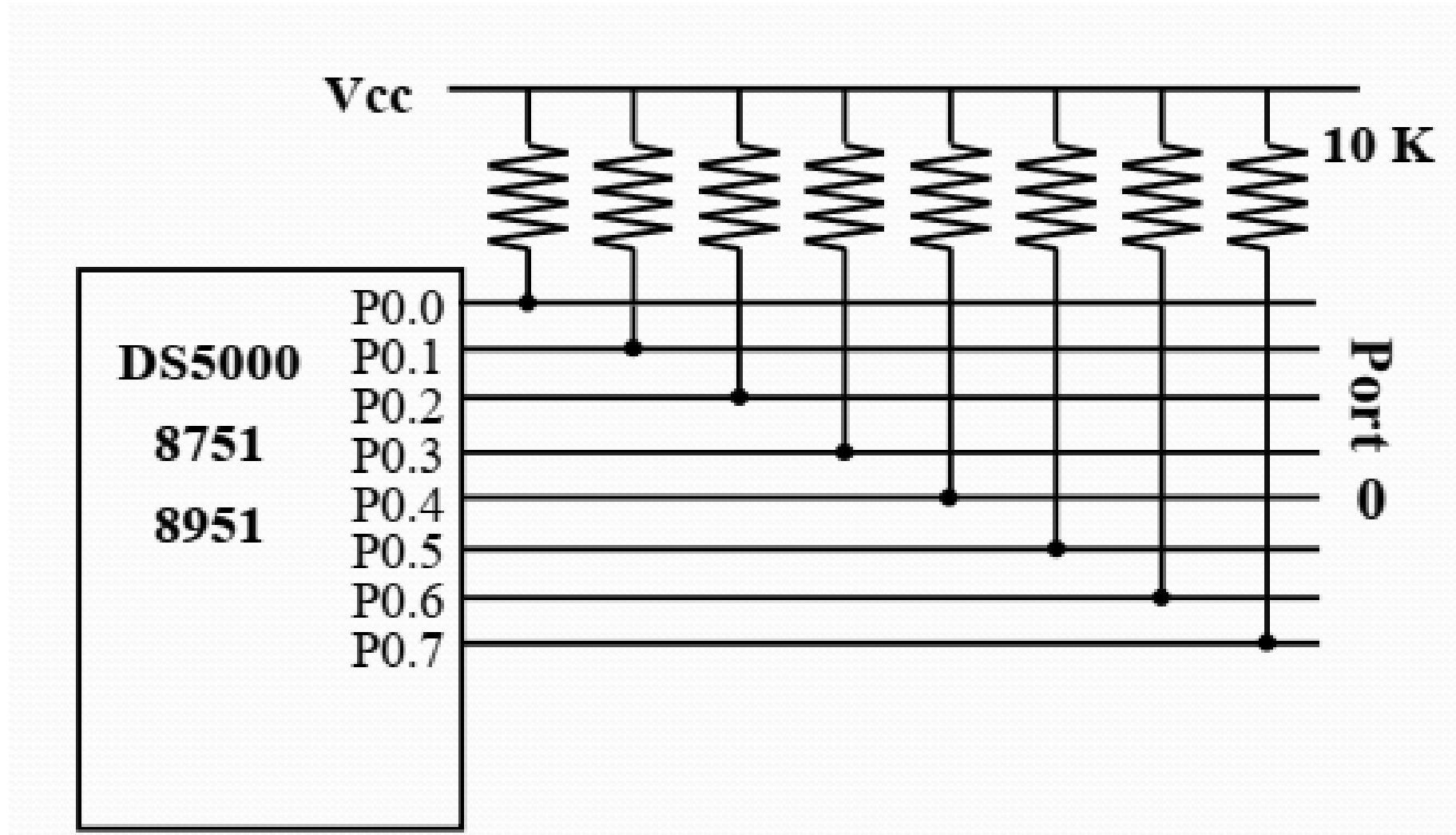
Other Pins

- P1, P2, and P3 have internal pull-up resistors.
 - P1, P2, and P3 are not open drain.
- P0 has **no internal pull-up resistors and does not connects to Vcc** inside the 8051.
 - P0 is open drain.
 - Compare the figures of P1.X and P0.X. 
- However, for a programmer, it is the same to program P0, P1, P2 and P3.
- All the ports upon RESET are configured as output.

Pin of Port 0



Port 0 with Pull-Up Resistors

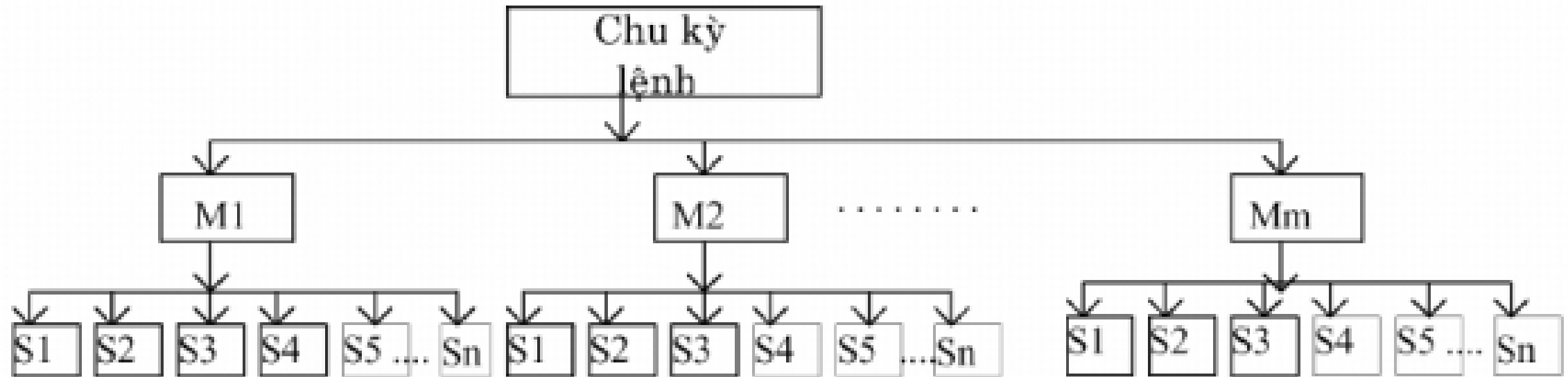


Port 3 Alternate Functions

P3 Bit	Function	Pin
P3.0	RxD	10
P3.1	TxD	11
P3.2	$\overline{\text{INT0}}$	12
P3.3	$\overline{\text{INT1}}$	13
P3.4	T0	14
P3.5	T1	15
P3.6	$\overline{\text{WR}}$	16
P3.7	$\overline{\text{RD}}$	17

Định thời CPU

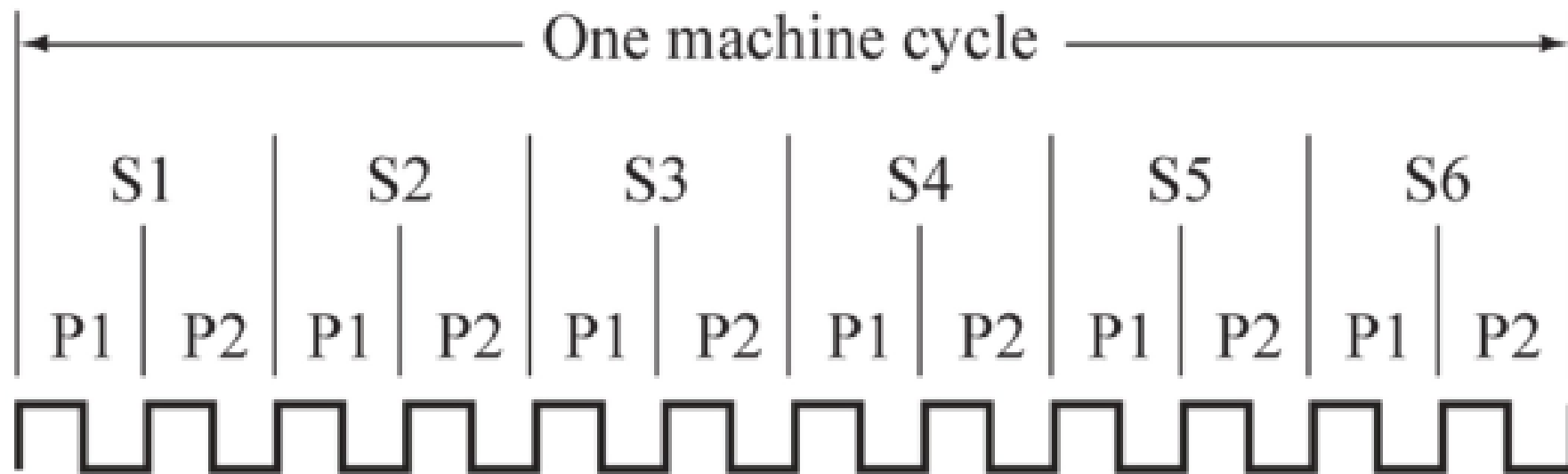
Chu kỳ lệnh, chu kỳ máy và trạng thái



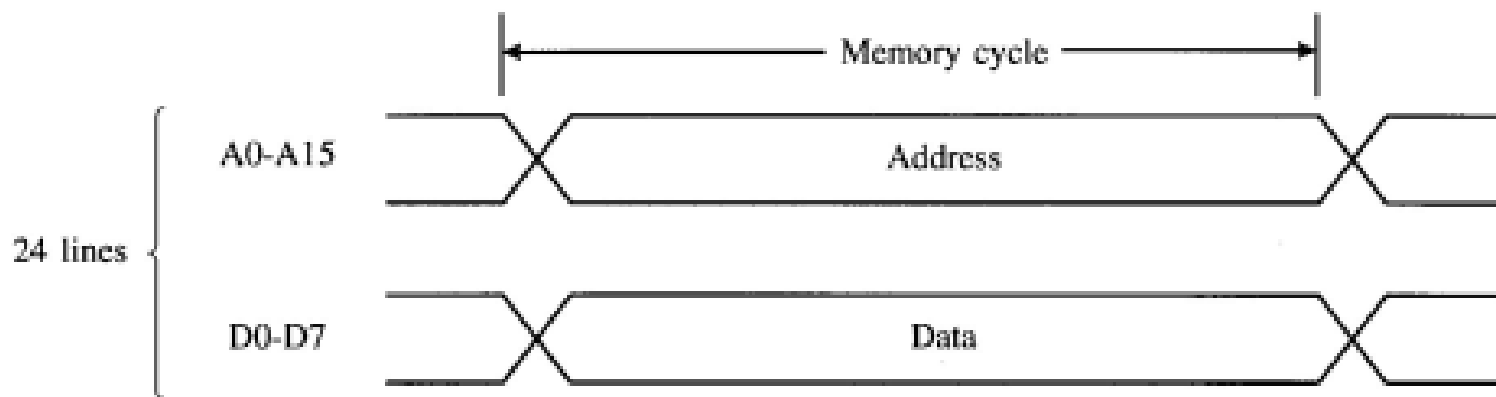
Định thời CPU

Chu kỳ lệnh, chu kỳ máy và trạng thái

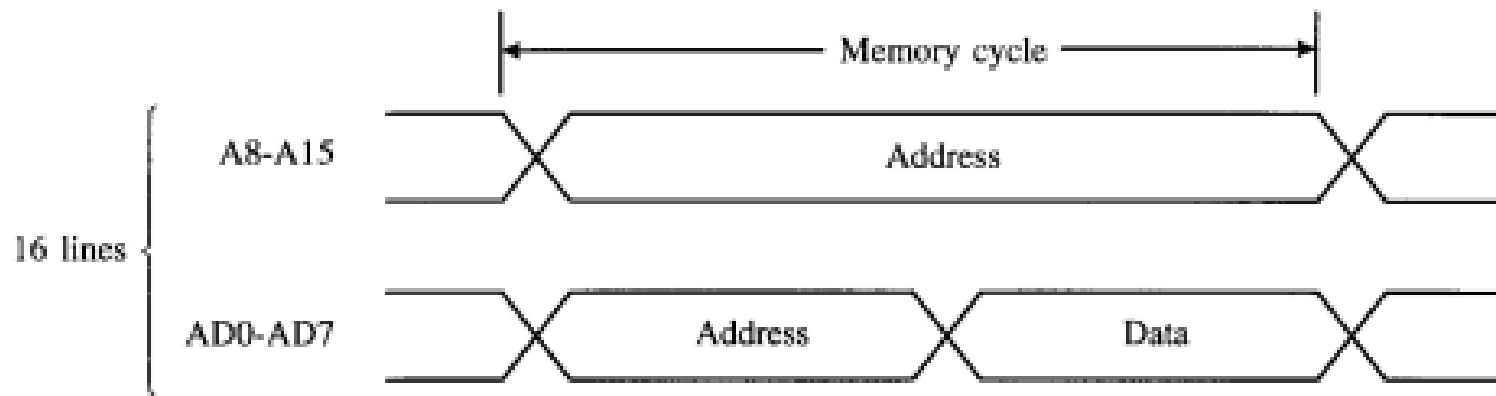
12MHz internal clock
6 state cycles



Dồn kênh bus địa chỉ (byte thấp) và bus dữ liệu

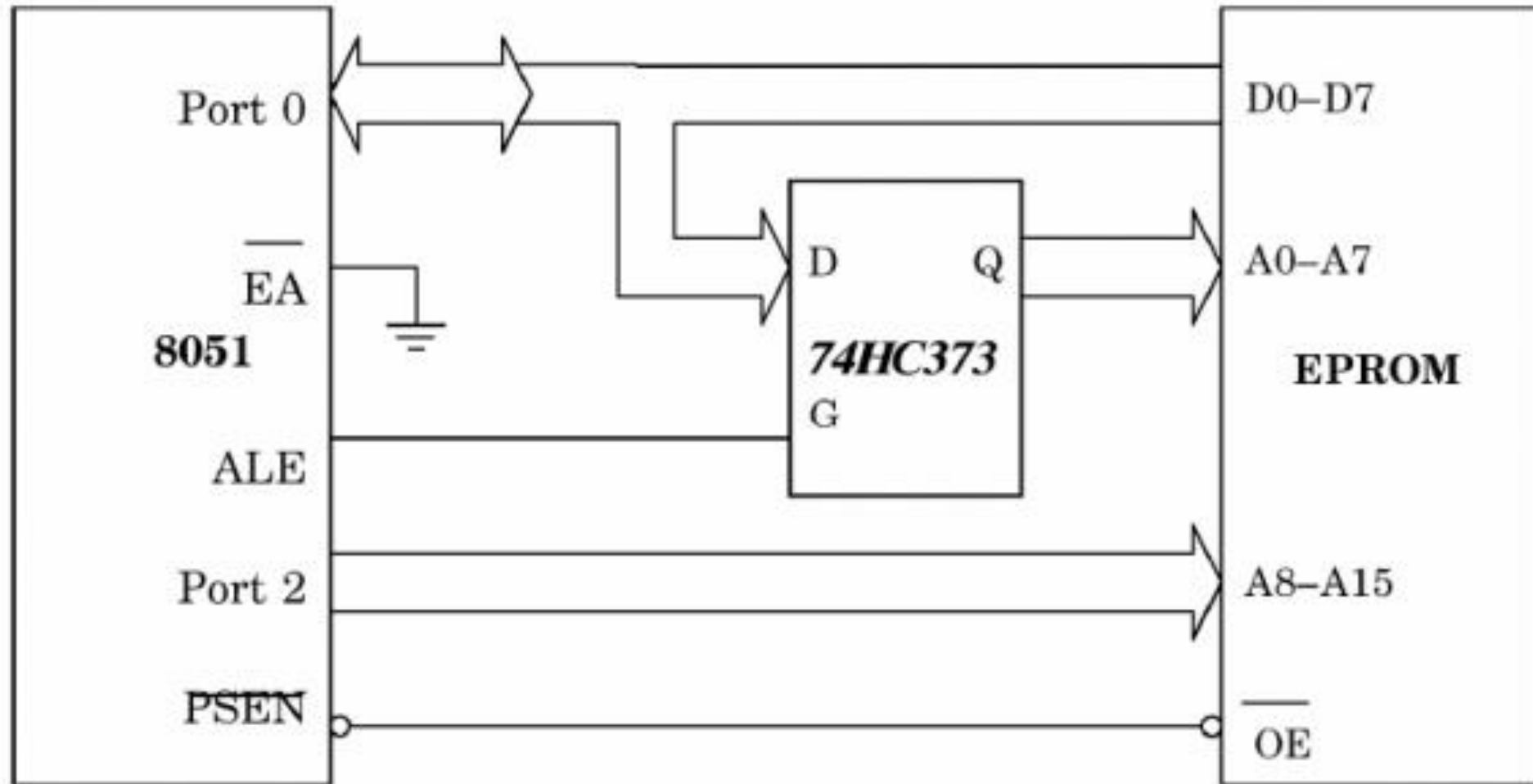


(a) Nonmultiplexed (24 lines)

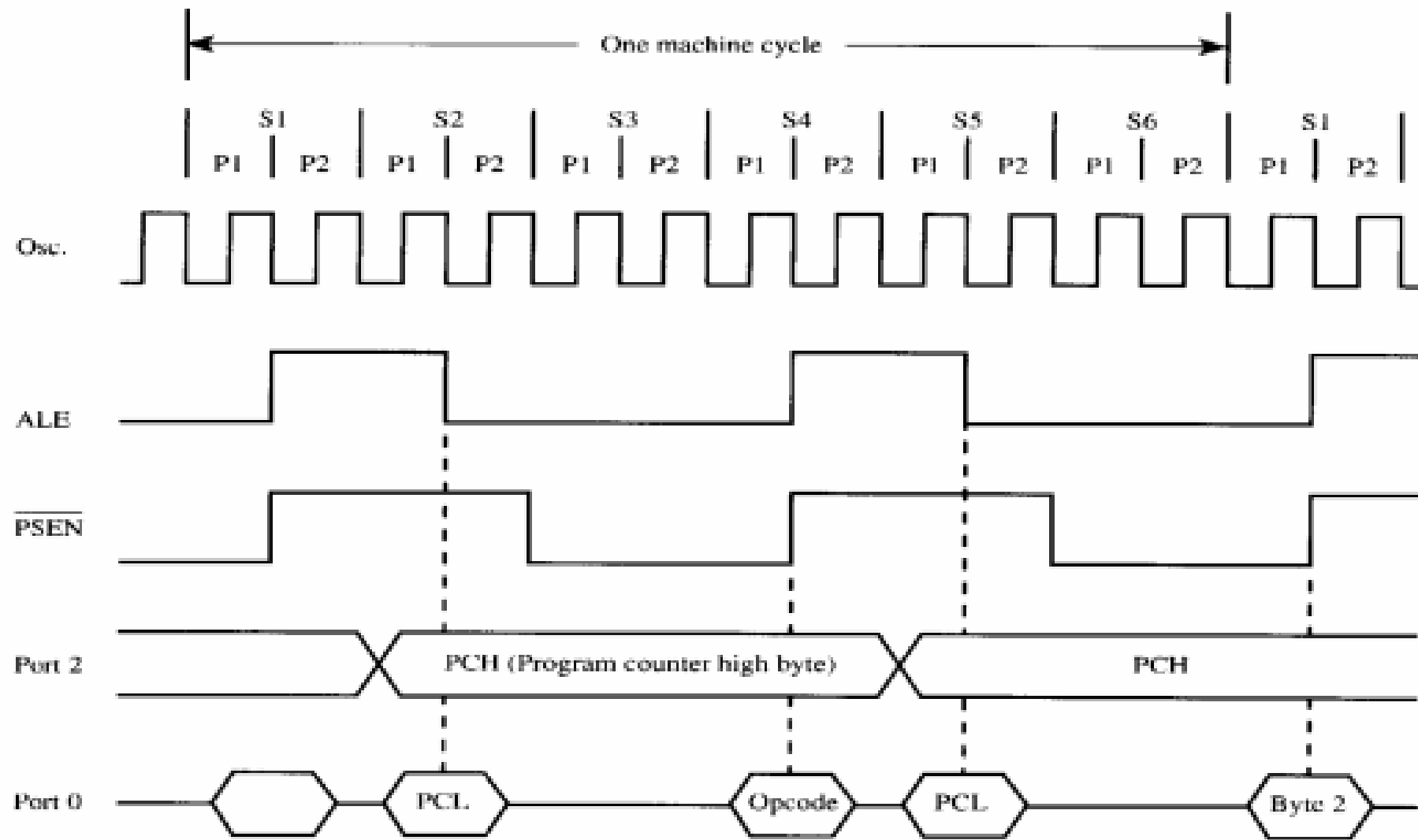


(b) Multiplexed (16 lines)

Truy cập bộ nhớ chương trình bên ngoài

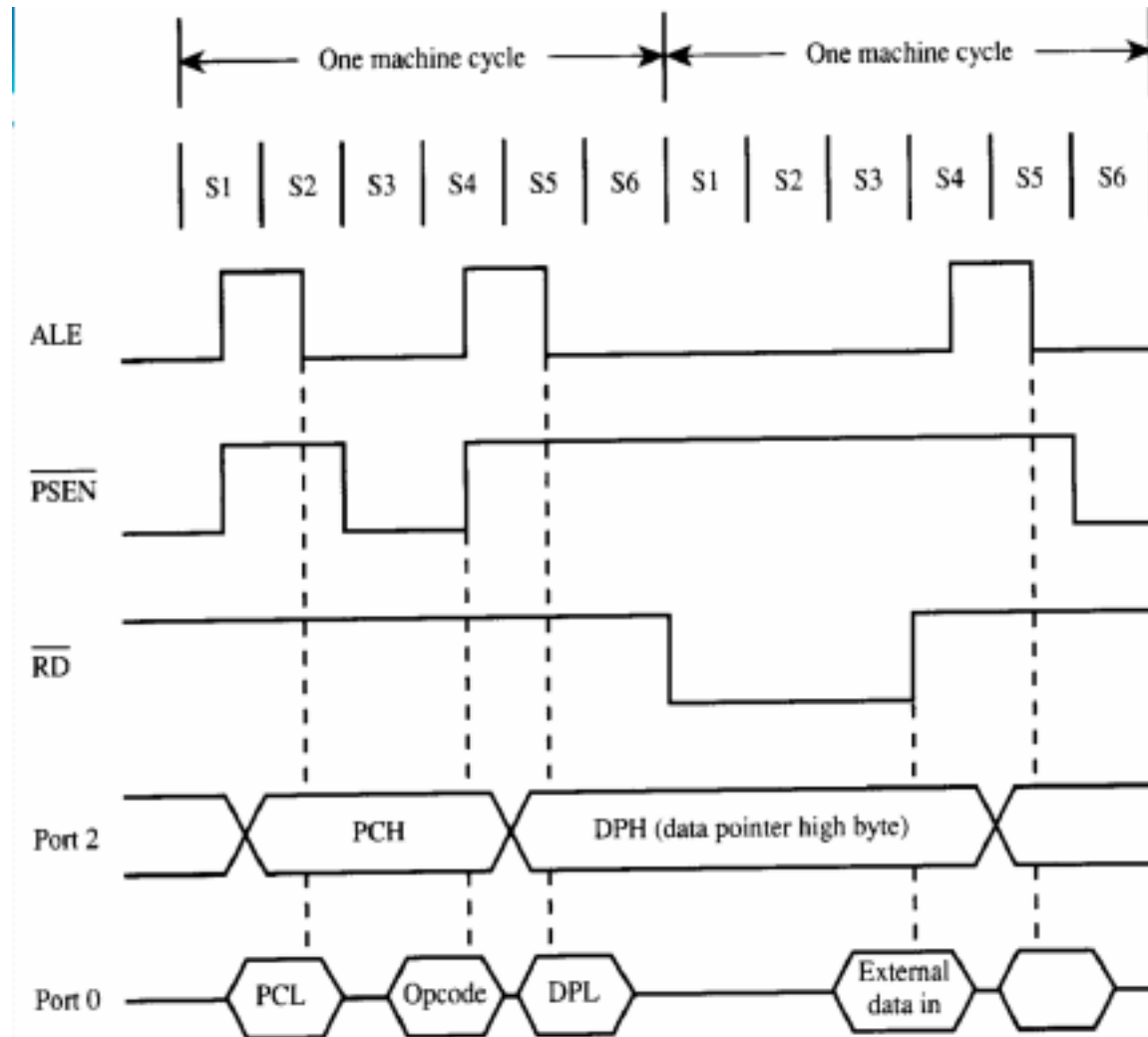


Truy cập bộ nhớ chương trình bên ngoài



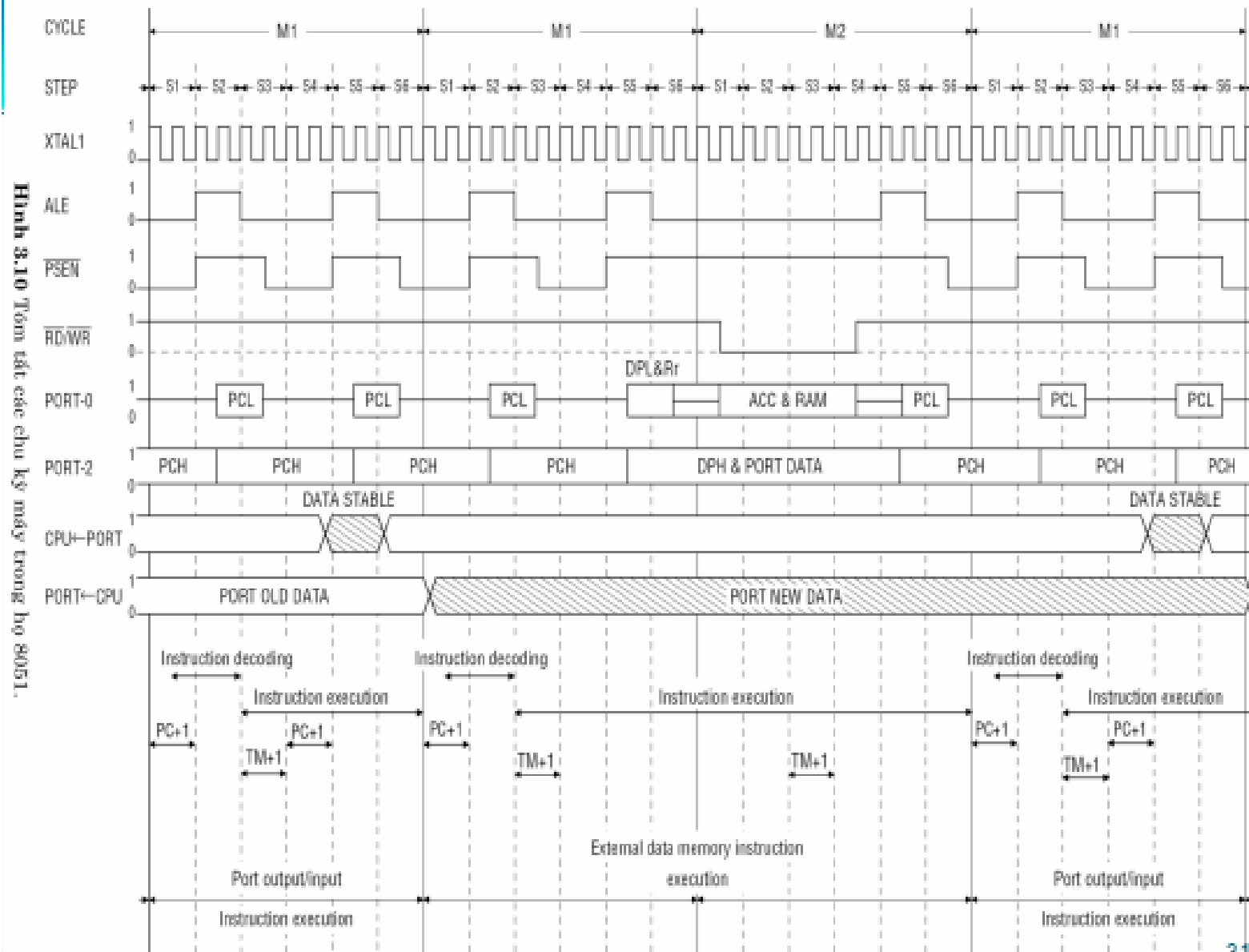
Hình 3.8 Giản đồ định thời đọc bộ nhớ chương trình bên ngoài.

Truy cập bộ nhớ chương trình bên ngoài



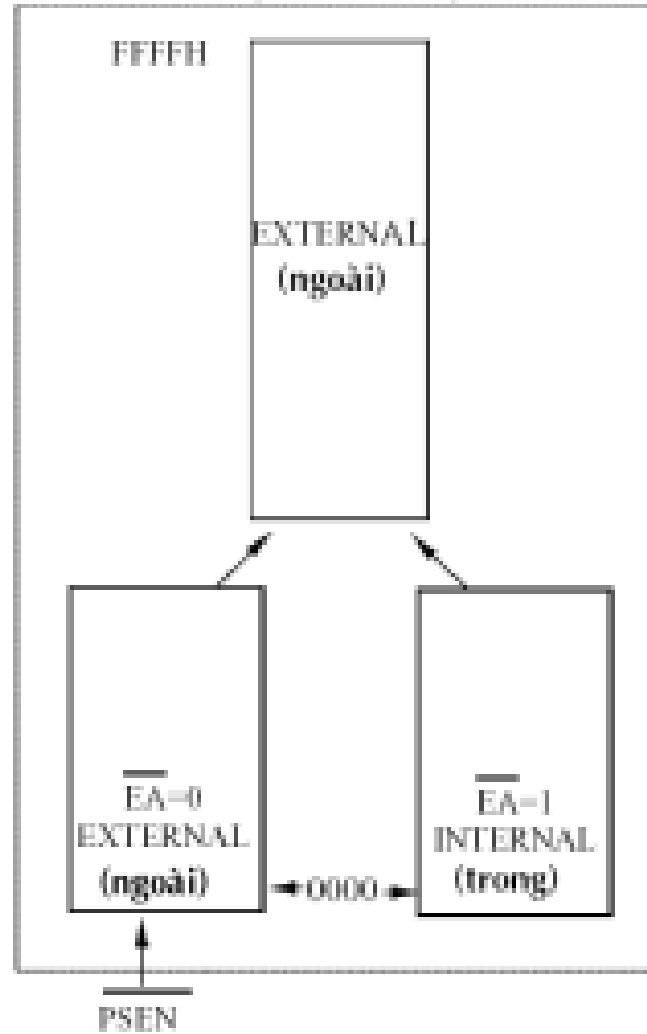
Hình 3.9 Định thì cho lệnh MOVX.

Truy cập bộ nhớ chương trình bên ngoài

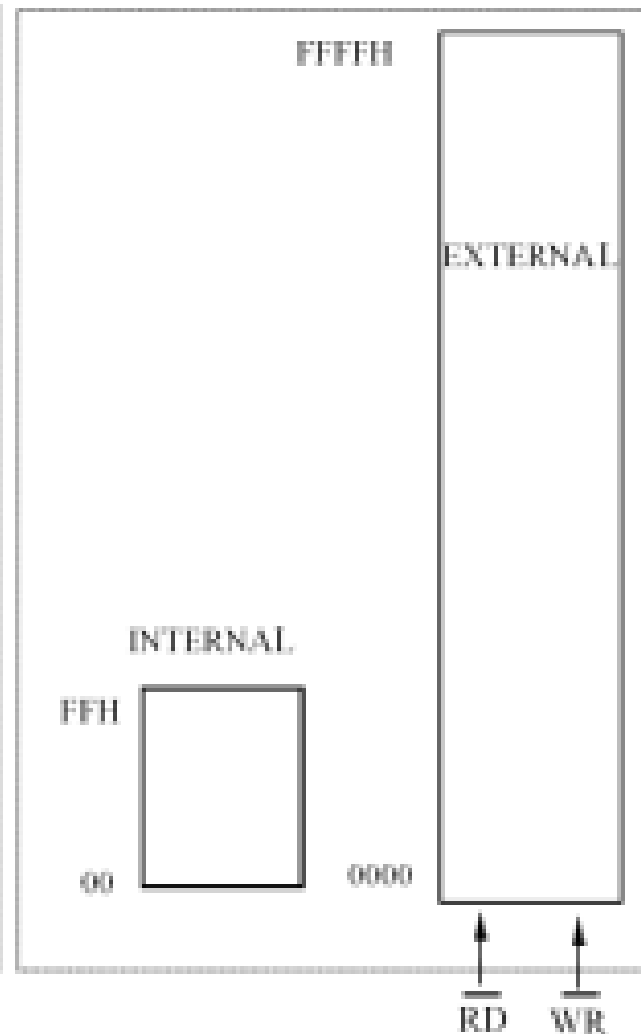


Cấu trúc bộ nhớ 8051

PROGRAM MEMORY (Bộ nhớ chương trình)
(READ ONLY)



DATA MEMORY (Bộ nhớ dữ liệu)
(READ/WRITE)



Tóm tắt bộ nhớ dữ liệu trên chip

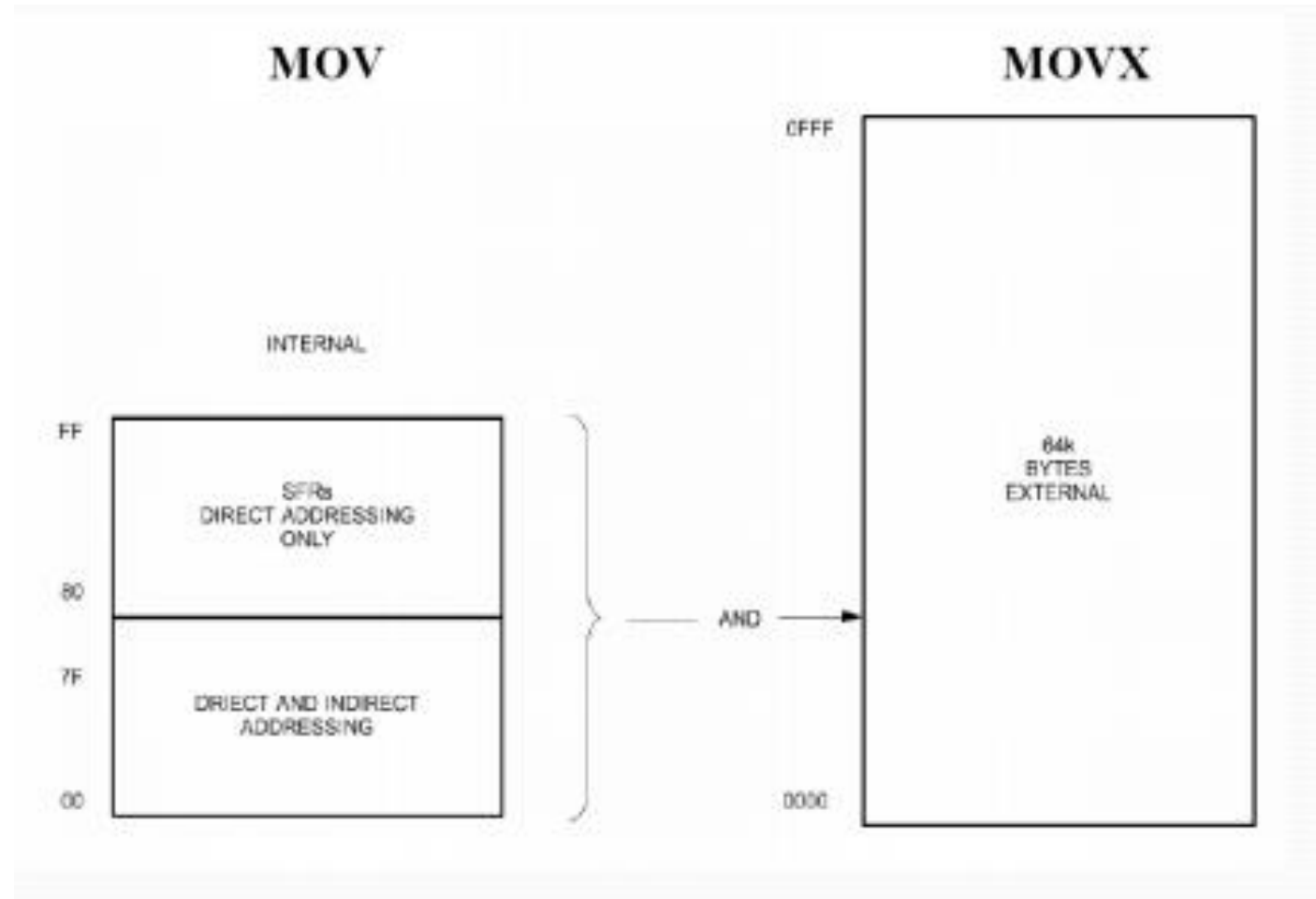
Địa chỉ byte	Địa chỉ bit							
7F	RAM đa dụng							
30								
2F								
2E								
2D	6F	6E	6D	6C	6B	6A	69	68
2C	67	66	65	64	63	62	61	60
2B	5F	5E	5D	5C	5B	5A	59	58
2A	57	56	55	54	53	52	51	50
29	4F	4E	4D	4C	4B	4A	49	48
28	47	46	45	44	43	42	41	40
27	3F	3E	3D	3C	3B	3A	39	38
26	37	36	35	34	33	32	31	30
25	2F	2E	2D	2C	2B	2A	29	28
24	27	26	25	24	23	22	21	20
23	1F	1E	1D	1C	1B	1A	19	18
22	17	16	15	14	13	12	11	10
21	0F	0E	0D	0C	0B	0A	09	08
20	07	06	05	04	03	02	01	00
1F	Bank 3							
18								
17	Bank 2							
10								
0F	Bank 1							
08								
07	Bank thanh ghi 0 (mặc định cho R0-R7)							
00								

RAM

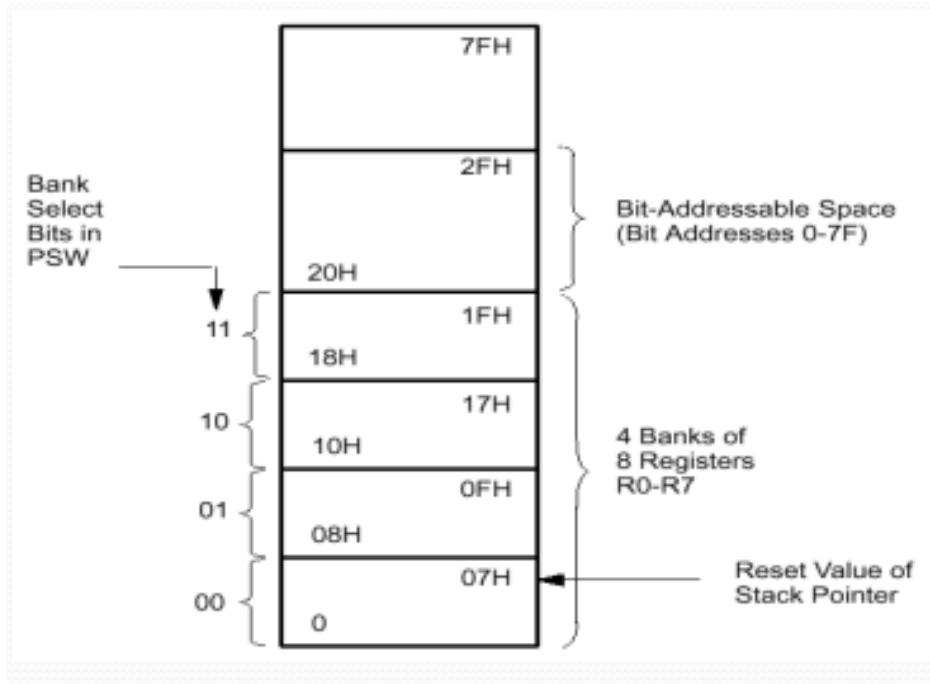
Địa chỉ byte	Địa chỉ bit	
FF		
FD	F7 F6 F5 F4 F3 F2 F1 F0	B
ED	E7 E6 E5 E4 E3 E2 E1 E0	ACC
DD	D7 D6 D5 D4 D3 D2 – D0	PSW
BB	– – – 0C 0B 0A 09 08	IP
BD	B7 B6 B5 B4 B3 B2 B1 B0	P3
AB	A7 – – 0C AB AA A9 A8	IE
AD	A7 A6 A5 A4 A3 A2 A1 A0	P2
99	không được địa chỉ hóa bit	SBUF
98	9F 9E 9D 9C 9B 9A 99 98	SCON
90	97 96 95 94 93 92 91 90	P1
8D	không được địa chỉ hóa bit	TH1
8C	không được địa chỉ hóa bit	TH0
8B	không được địa chỉ hóa bit	TL1
8A	không được địa chỉ hóa bit	TL0
89	không được địa chỉ hóa bit	TMOD
88	8F 8E 8D 8C 8B 8A 89 88	TCON
87	không được địa chỉ hóa bit	PCON
83	không được địa chỉ hóa bit	DPH
82	không được địa chỉ hóa bit	DPL
81	không được địa chỉ hóa bit	SP
80	87 86 85 84 83 82 81 80	P0

CÁC THANH GHI CHỨC NĂNG ĐẶC BIỆT

Bộ nhớ dữ liệu 8051

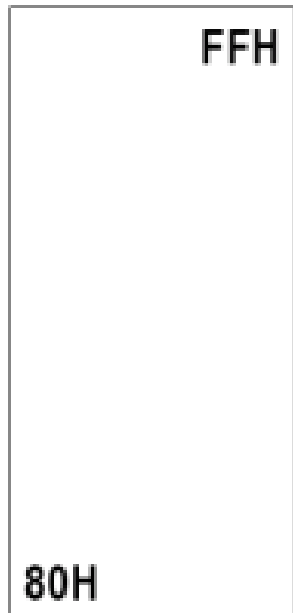


Lower 128 Bytes of Internal RAM



20H-2FH: 128 Bit-addressable bits occupying bit address 00H-7FH.
30H-7FH: General purpose RAM (can be accessed through direct or indirect addressing)

Upper 128 Bytes of Internal RAM



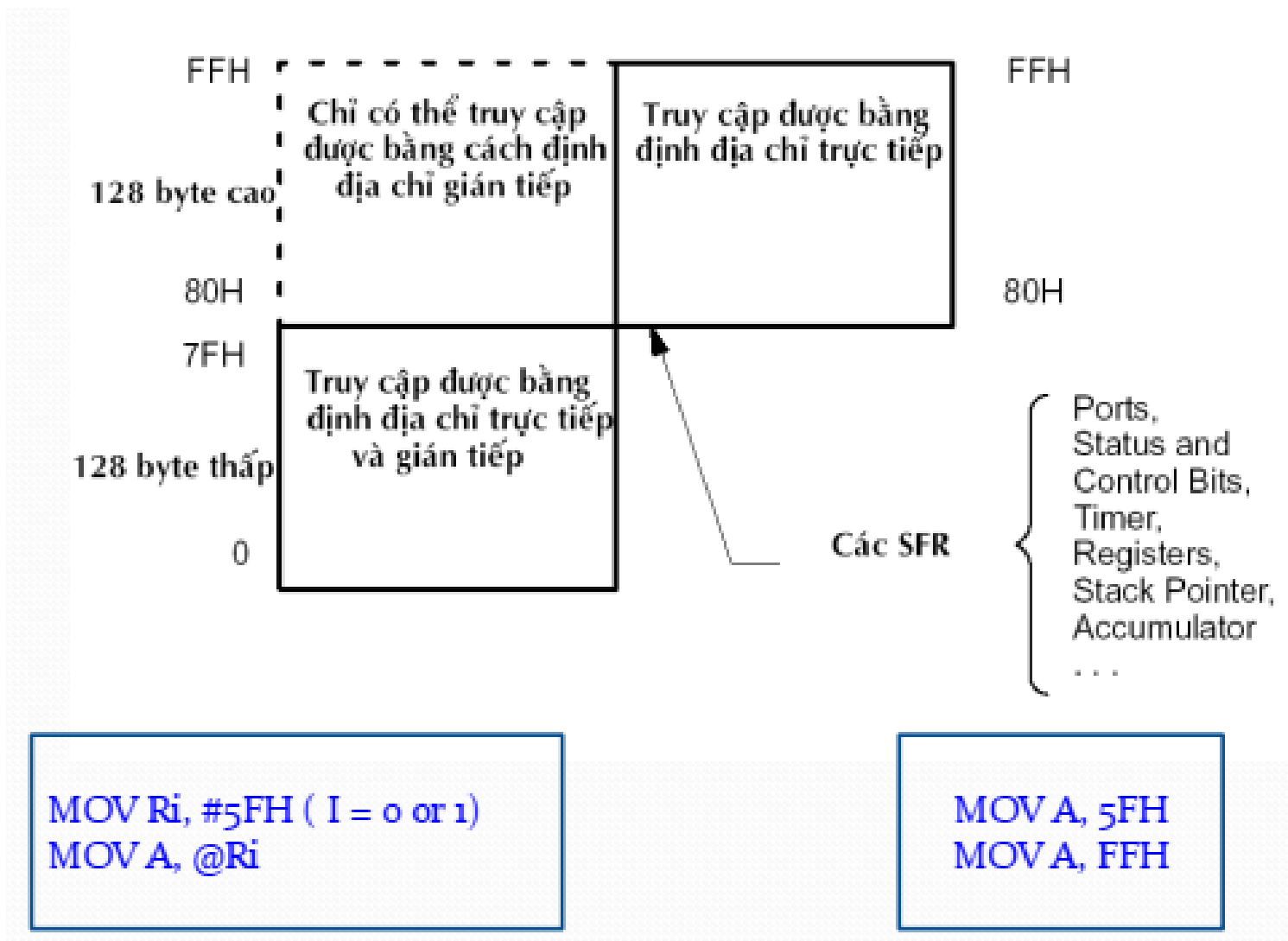
No bit-addressable spaces

Available as stack space in devices with 256 bytes RAM

Not implemented in 8051

Available only in 8052. Can be accessed by indirect addressing only (via @R0 or @R1). Can be used as stack area by setting SP to FFH.

Vùng nhớ 8032/8052



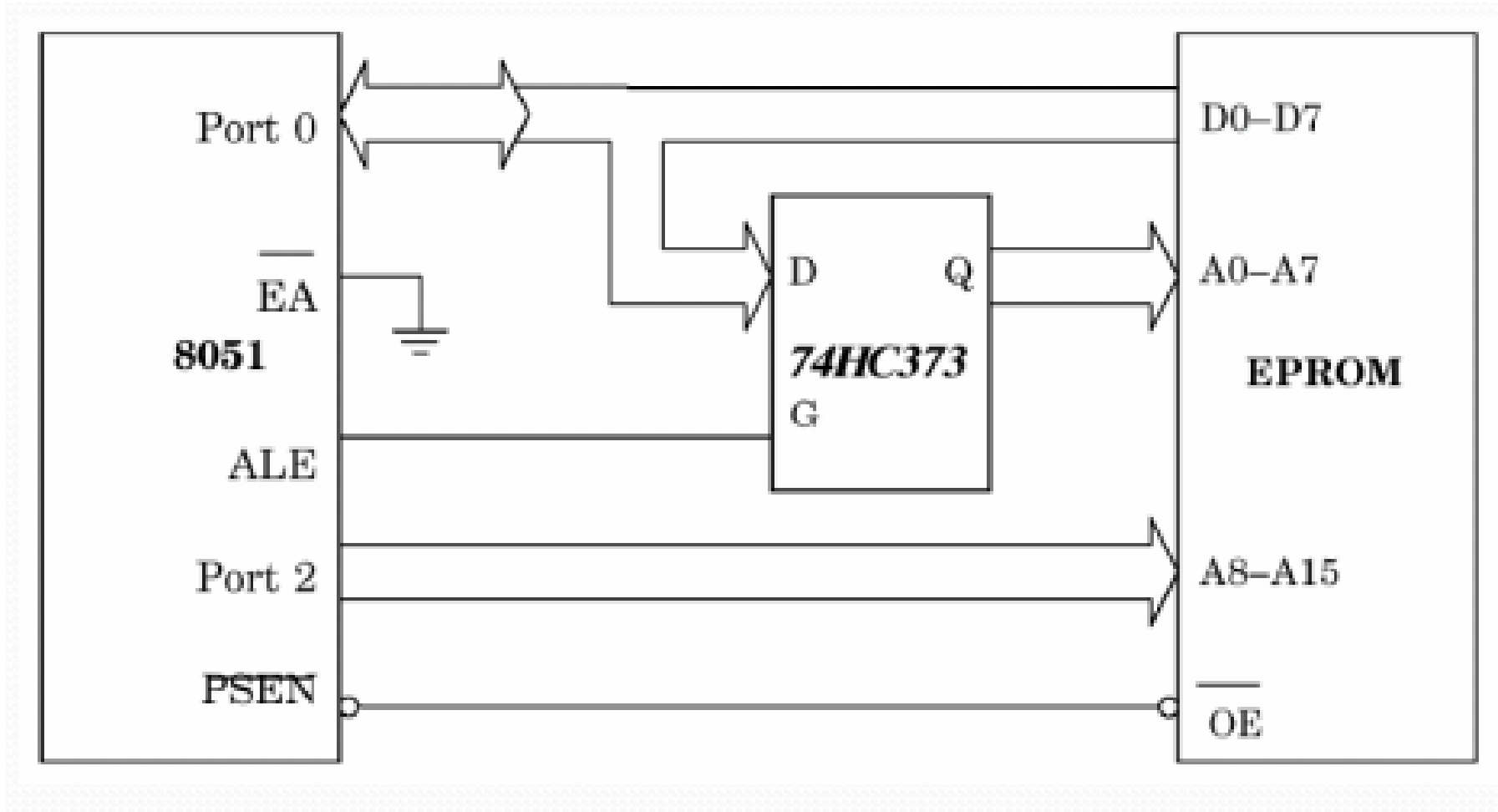
Tóm tắt thanh ghi PSW

Bit	Ký hiệu	Địa chỉ bit	Mô tả bit
PSW.7	CY	D7H	Cờ nhớ (Carry flag).
PSW.6	AC	D6H	Cờ nhớ phụ (Auxiliary carry flag).
PSW.5	F0	D5H	Cờ 0.
PSW.4	RS1	D4H	Chọn băng thanh ghi, bit 1.
PSW.3	RS0	D3H	Chọn băng thanh ghi, bit 0. 00 = bank 0; địa chỉ 00H–07H 01 = bank 1; địa chỉ 08H–0FH 10 = bank 2; địa chỉ 10H–17H 11 = bank 3; địa chỉ 18H–1FH
PSW.2	OV	D2H	Cờ báo tràn (Overflow flag).
PSW.1	–	D1H	Dự trữ.
PSW.0	P	D0H	Cờ kiểm tra chẵn (Even parity flag).

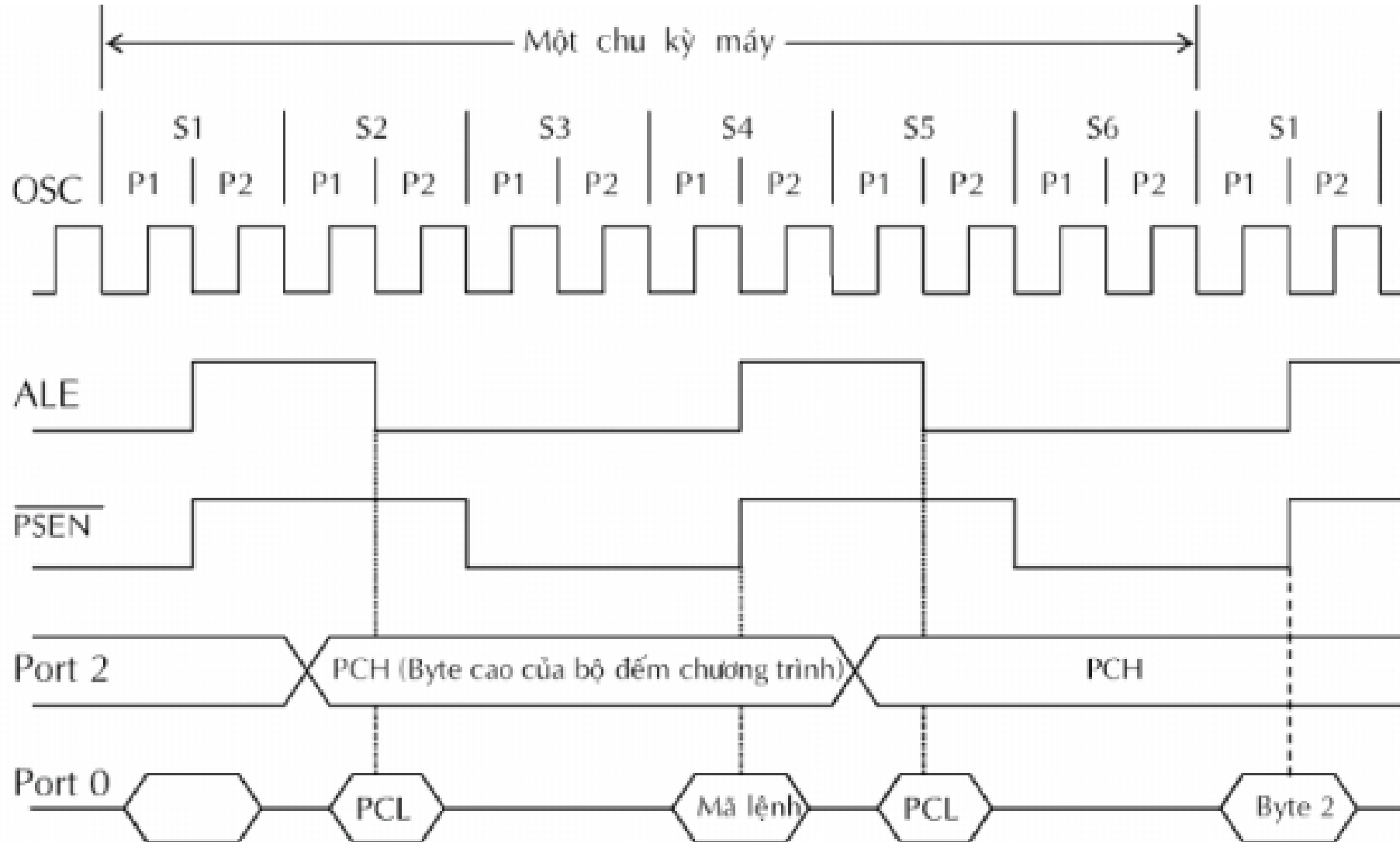
Tóm tắt thanh ghi PCON

Bit	Ký hiệu	Mô tả bit
7	SMOD	Bit tăng gấp đôi tốc độ baud; khi được đặt lên 1 thì tốc độ baud được tăng gấp đôi trong các chế độ cổng nối tiếp 1, 2, hoặc 3.
6	–	Không được định nghĩa.
5	–	Không được định nghĩa.
4	–	Không được định nghĩa.
3	GF1	Cờ đa dụng (General Purpose Flag), bit 1.
2	GF0	Cờ đa dụng, bit 0.
1	PD	Tắt nguồn (power down); được đặt lên 1 để kích hoạt chế độ tắt nguồn; chỉ thoát khi bị xóa về 0.
0	IDL	chế độ nghỉ; được đặt lên 1 để kích hoạt chế độ nghỉ; chỉ thoát khi có ngắt hoạt reset hệ thống.

Truy cập bộ nhớ chương trình bên ngoài

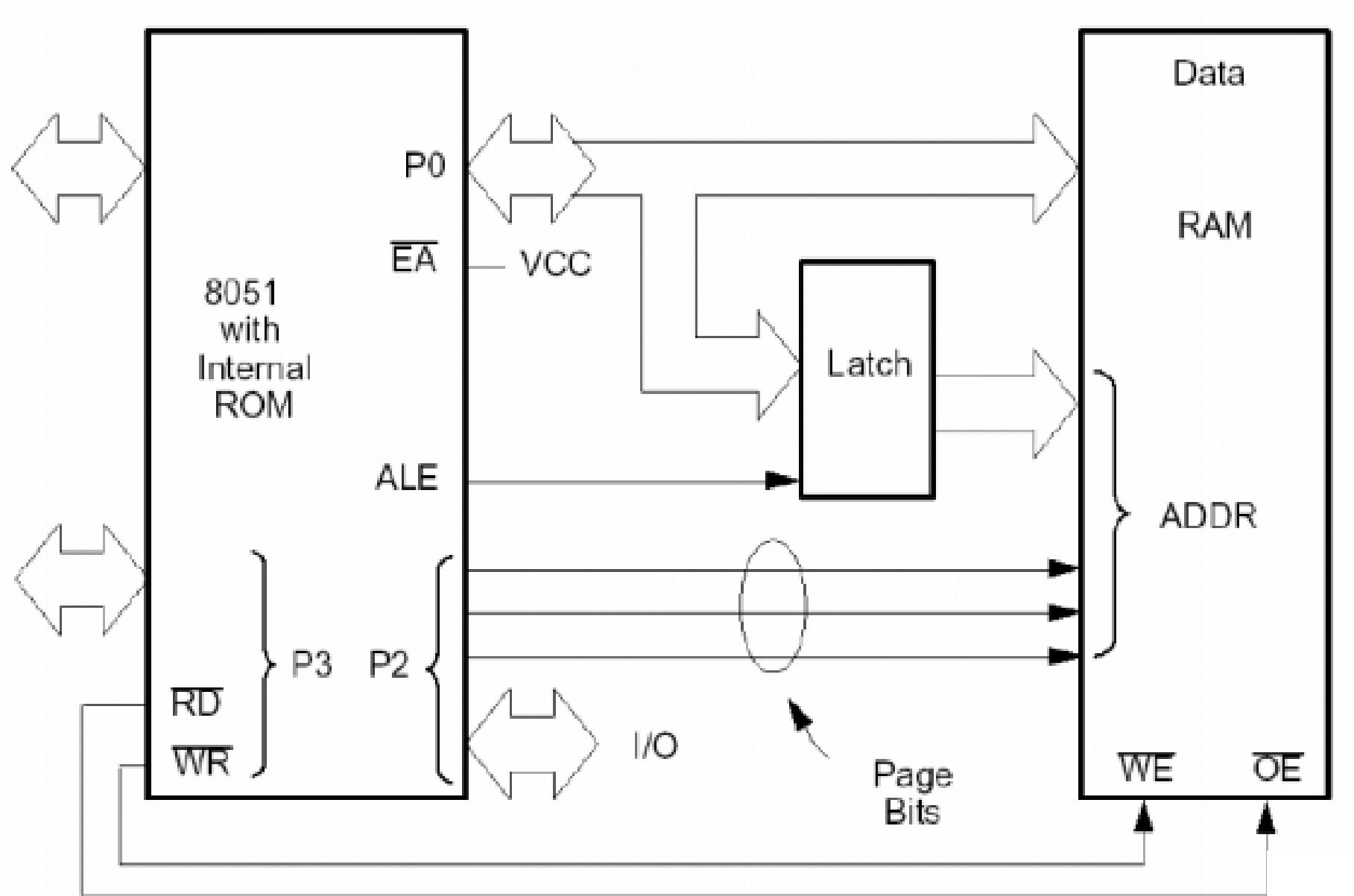


Định thì đọc bộ nhớ chương trình bên ngoài (PCH byte của PC và PCL là byte thấp của PC)

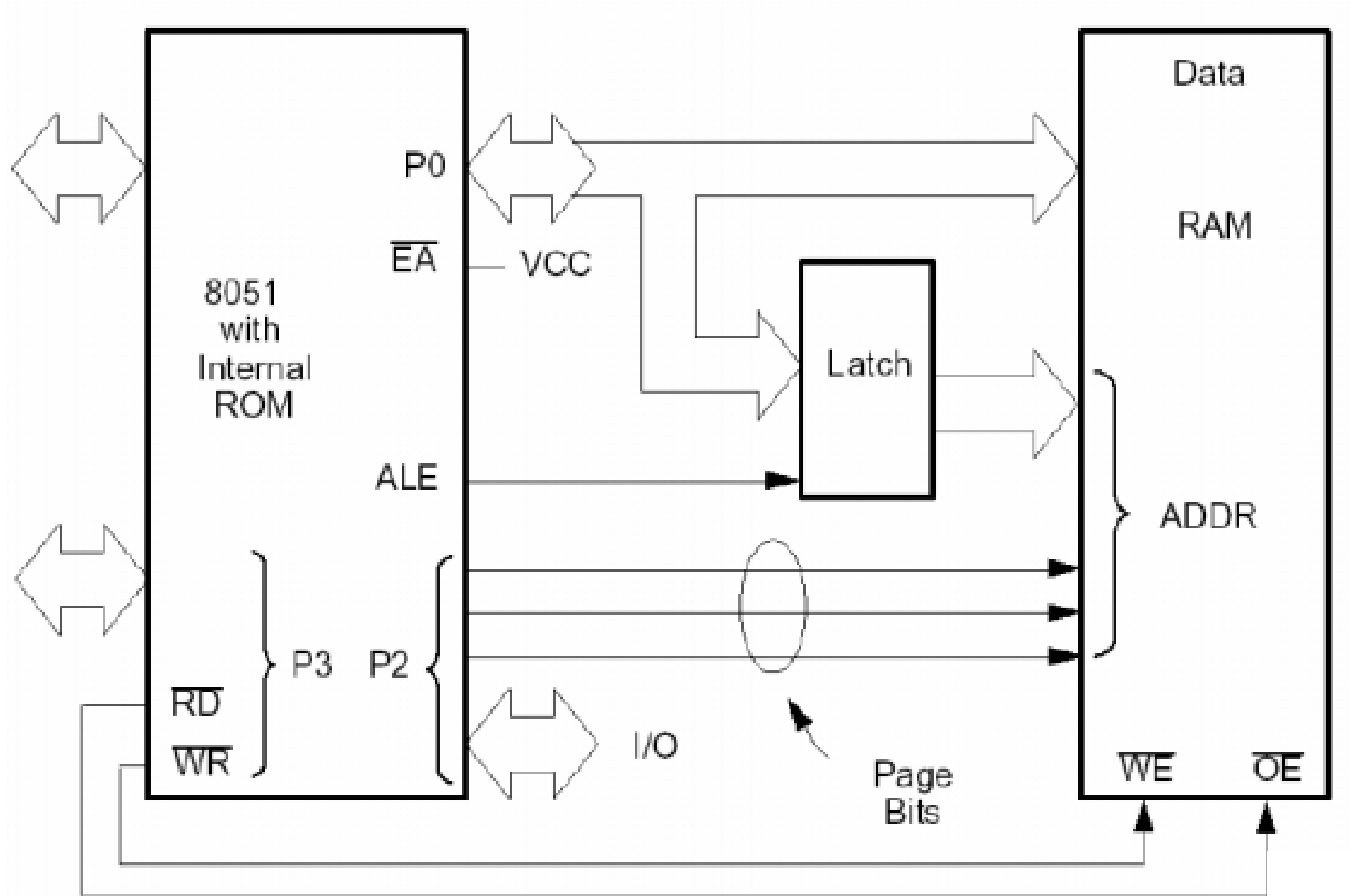


/PSEN ở mức thấp trong thời gian lấy lệnh

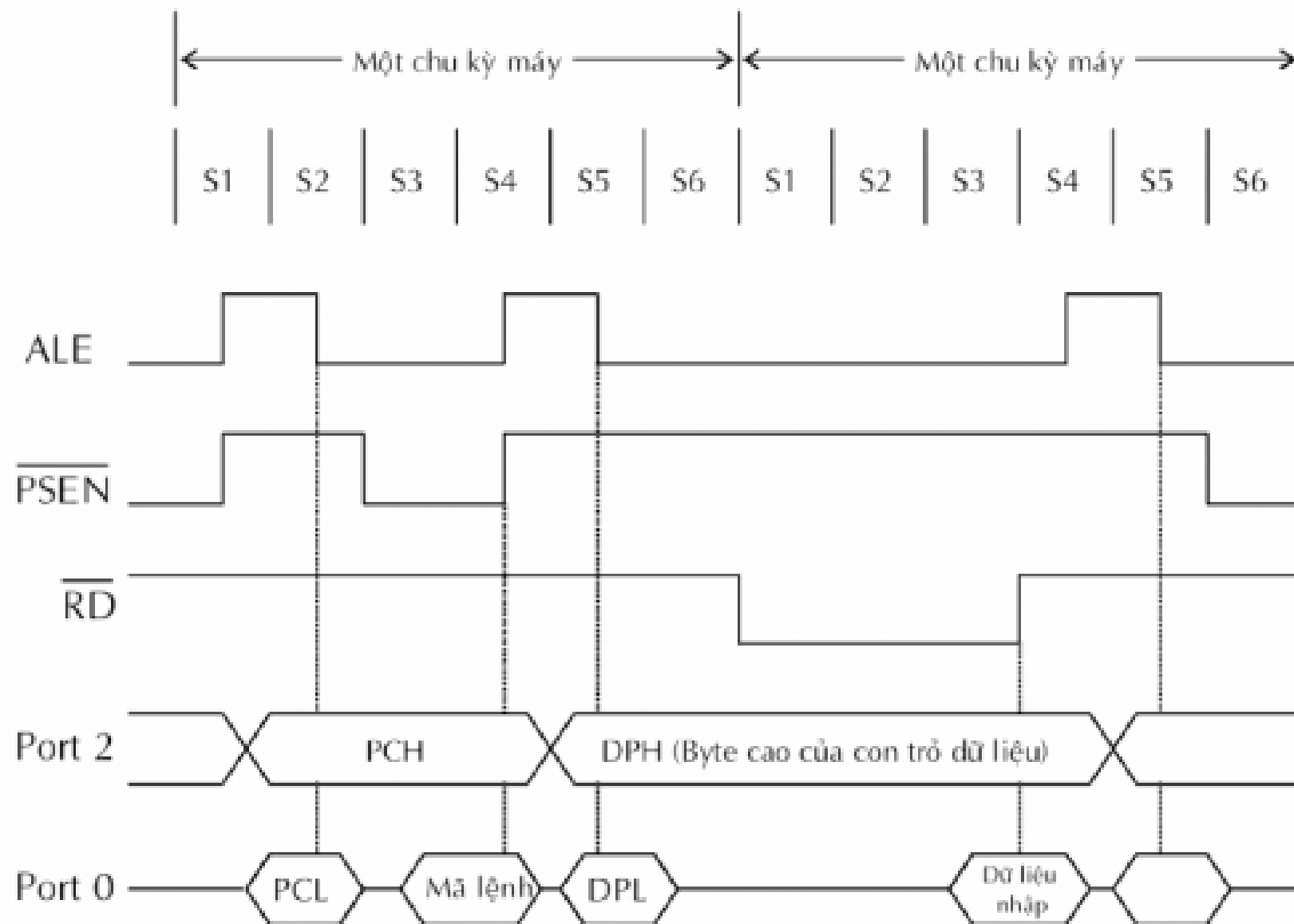
Truy cập bộ nhớ dữ liệu bên ngoài



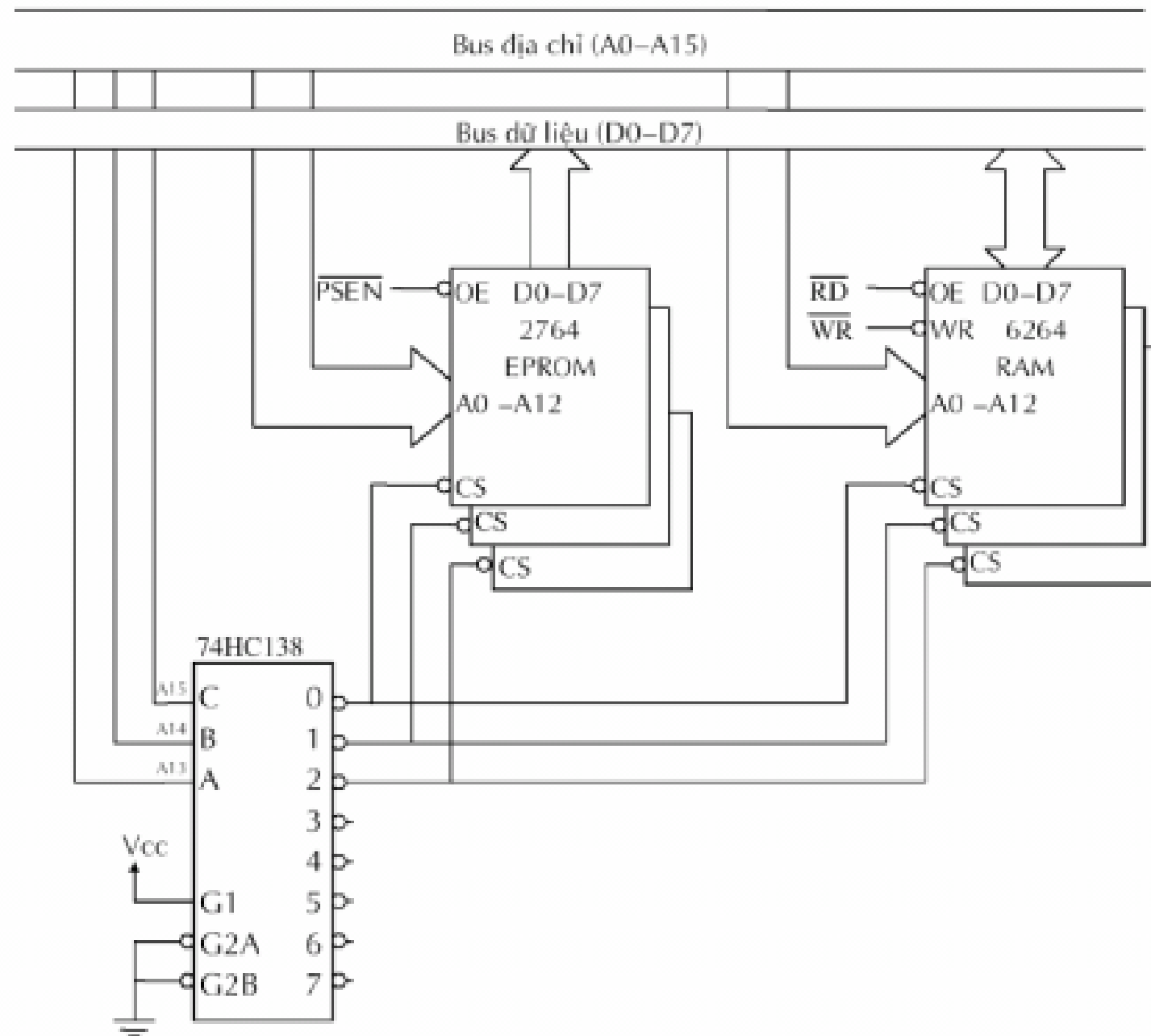
Truy cập bộ nhớ dữ liệu bên ngoài



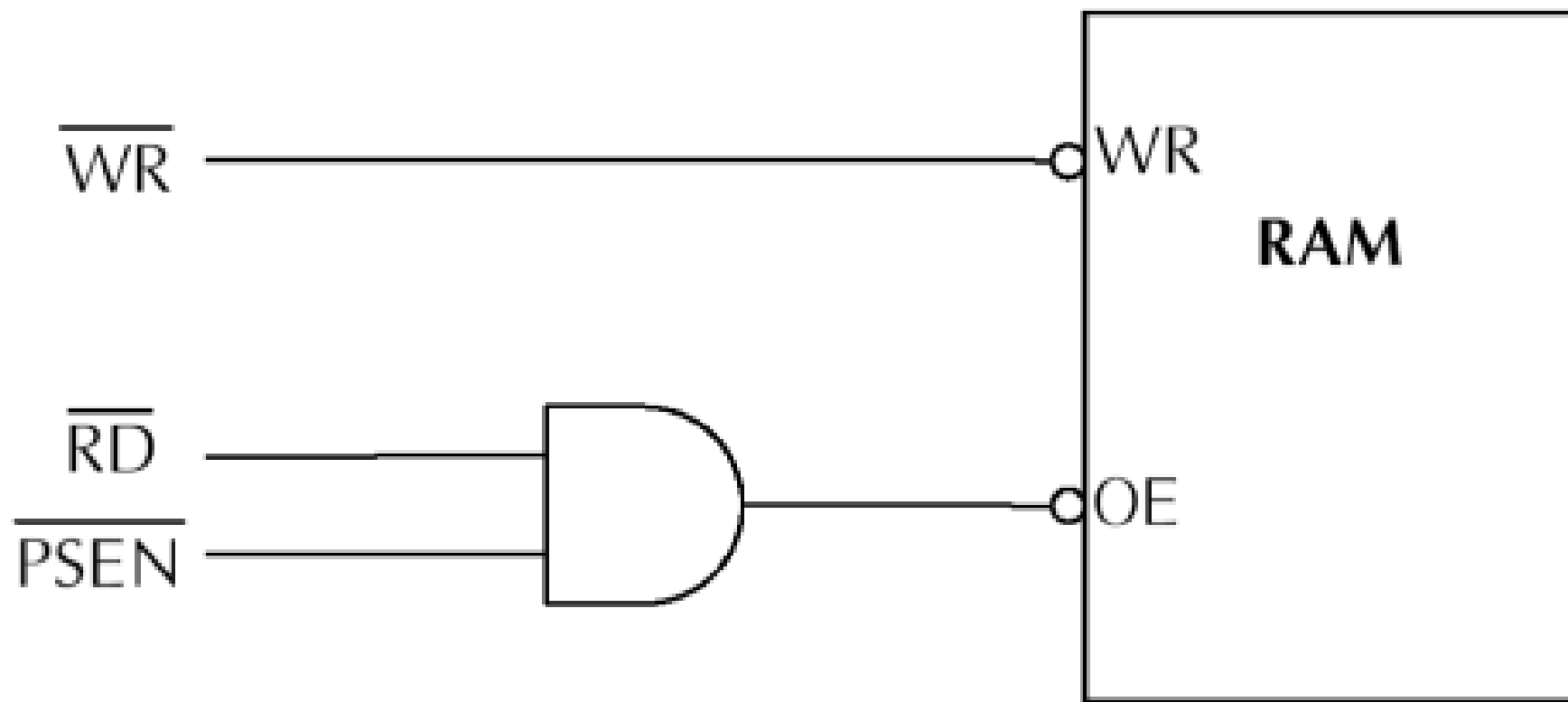
Giải đồ định thì cho lệnh MOVX



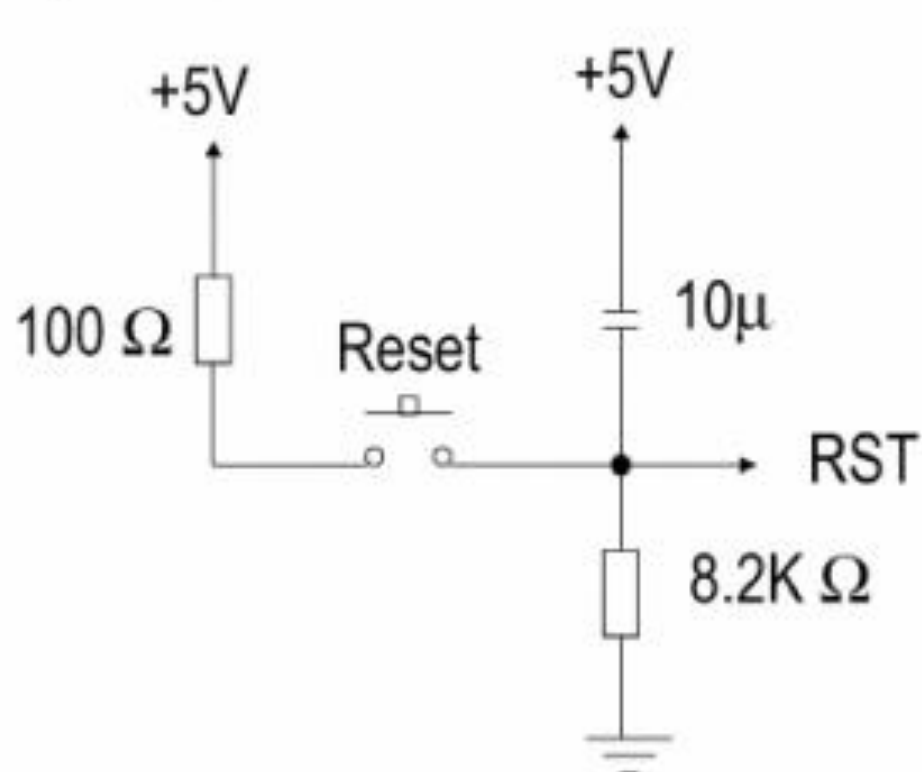
Mạch giải mã địa chỉ các EPROM 8KB và RAM 8KB với hệ 8051



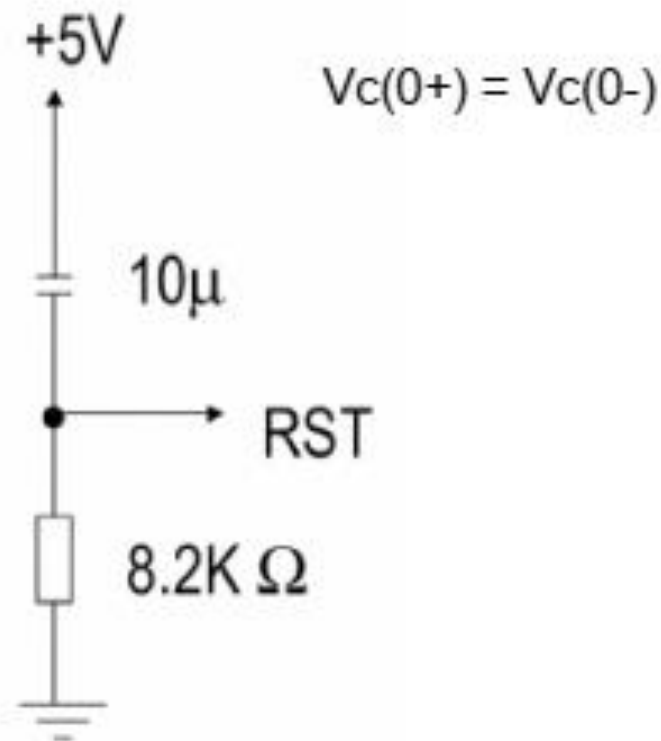
Phủ lấp vùng nhớ dữ liệu và chương trình bên ngoài



Mạch reset hệ thống



a) Reset bằng tay



b) Reset khi mở nguồn cấp điện

Các giá trị thanh ghi sau khi reset hệ thống

Thanh ghi	Nội dung
Bộ đếm chương trình PC	0000H
Thanh ghi tích lũy ACC	00H
Thanh ghi B	00H
PSW	00H
SP	07H
DPTR	0000H
Ports 0–3	FFH
IP (8031/8051)	XXX00000B
IP (8032/8052)	XX000000B
IE (8031/8051)	0XX00000B
IE (8032/8052)	0X000000B
Các thanh ghi Timer	00H
SCON	00H
SBUF	00H
PCON (HMOS)	0XXXXXXXB
PCON (CMOS)	0XX0000B