

CÁC PHƯƠNG PHÁP VÀO RA DỮ LIỆU

PIC 8259A

MỘT SỐ PHƯƠNG PHÁP VÀO RA DỮ LIỆU

❖ **Vai trò của vào ra dữ liệu:**

- ① Là phương tiện giúp CPU giao tiếp với thế giới bên ngoài
- ② Cung cấp dữ liệu đầu vào cho CPU xử lý
- ③ Cung cấp phương tiện để CPU kết xuất dữ liệu đầu ra

❖ **Các phương pháp vào ra chính:**

- ① Thăm dò (polling)
- ② Ngắt (Interrupt)
- ③ Truy nhập trực tiếp bộ nhớ (DMA-Direct Memory Access)

MỘT SỐ PHƯƠNG PHÁP VÀO RA DỮ LIỆU

❖ Các cổng vào ra của máy tính

- ① PS/2: cổng ghép nối với bàn phím và chuột
- ② COM: các cổng ghép nối nối tiếp
- ③ LPT: các cổng ghép nối song song
- ④ IDE, SATA, SCSI: các cổng ghép nối ổ đĩa
- ⑤ LAN: cổng ghép nối mạng cục bộ
- ⑥ Audio: cổng ghép nối âm thanh (speaker, mic và line-in)
- ⑦ Video: Cổng ghép nối với màn hình (tương tự)
- ⑧ DVI : Cổng ghép nối với màn hình (số)
- ⑨ USB: Cổng ghép nối theo chuẩn USB
 - USB 1.0: 12Mb/s
 - USB 2.0: 480Mb/s
 - USB 3.0: 1.5Gb/s

Vào ra bằng thăm dò

- ❖ Cơ chế vào ra bằng thăm dò:
 - CPU quản lý danh sách các thiết bị vào ra kèm theo địa chỉ các cổng giao tiếp;
 - Các thiết bị vào ra định kỳ cập nhật trạng thái sẵn sàng làm việc của mình lên các bit cờ trạng thái vào ra của mình;
 - CPU định kỳ lần lượt “quét” các thiết bị vào ra để “đọc” các bit cờ trạng thái vào ra;
 - + Nếu gặp một thiết bị sẵn sàng làm việc, 2 bên tiến hành trao đổi dữ liệu;
 - + Trao đổi dữ liệu xong, CPU tiếp tục quét thiết bị khác.
 - CPU là bên chủ động trong quá trình trao đổi dữ liệu

Vào ra bằng thăm dò

❖ Ưu điểm:

- Đơn giản, dễ cài đặt
- Có thể được cài đặt bằng phần mềm

❖ Nhược điểm:

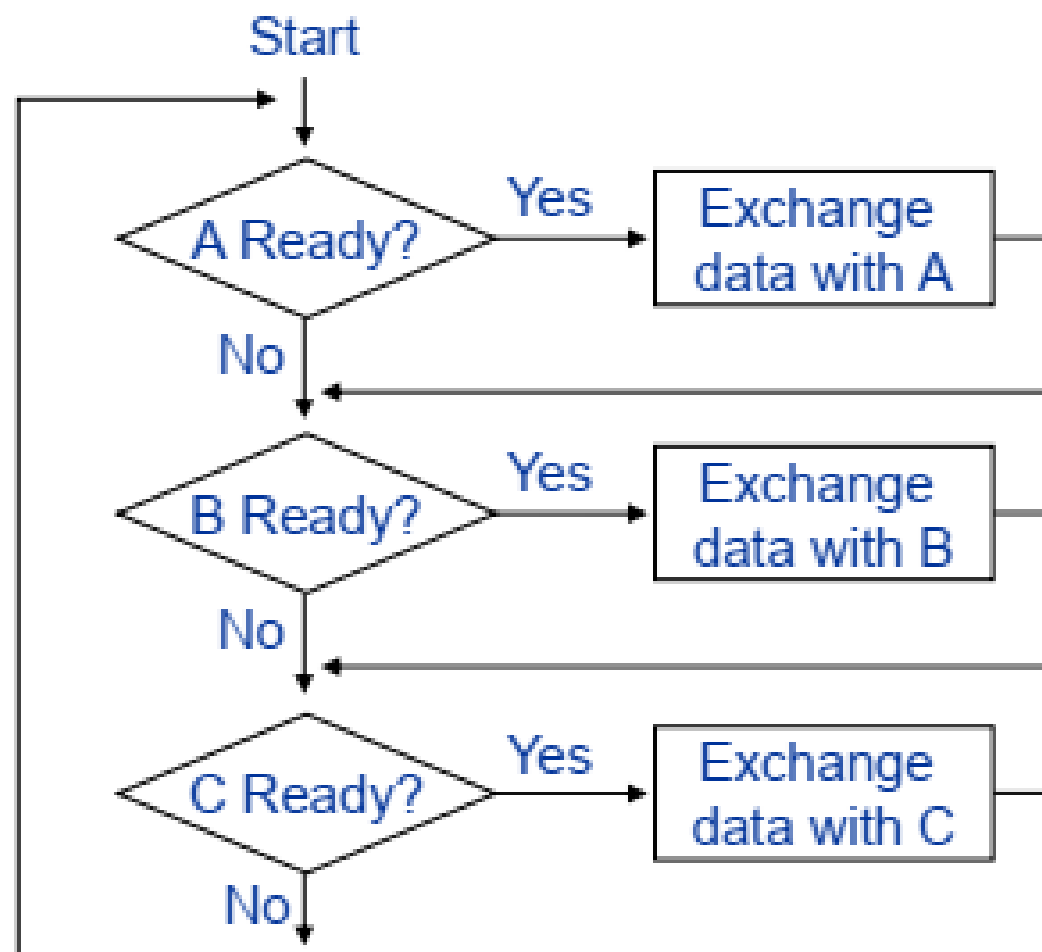
- Hiệu quả thấp do CPU tốn nhiều thời gian để thăm dò các thiết bị
- Không thực sự khả thi khi có nhiều thiết bị trong danh sách thăm dò

❖ Ứng dụng của vào ra bằng thăm dò:

- Thăm dò thường được sử dụng khi hệ thống khởi động: CPU thăm dò hầu hết các thiết bị để xác lập cấu hình
- Thăm dò được sử dụng trong quá trình hoạt động với các thiết bị rời (removable) như ổ đĩa CD/DVD, ổ mềm, ...

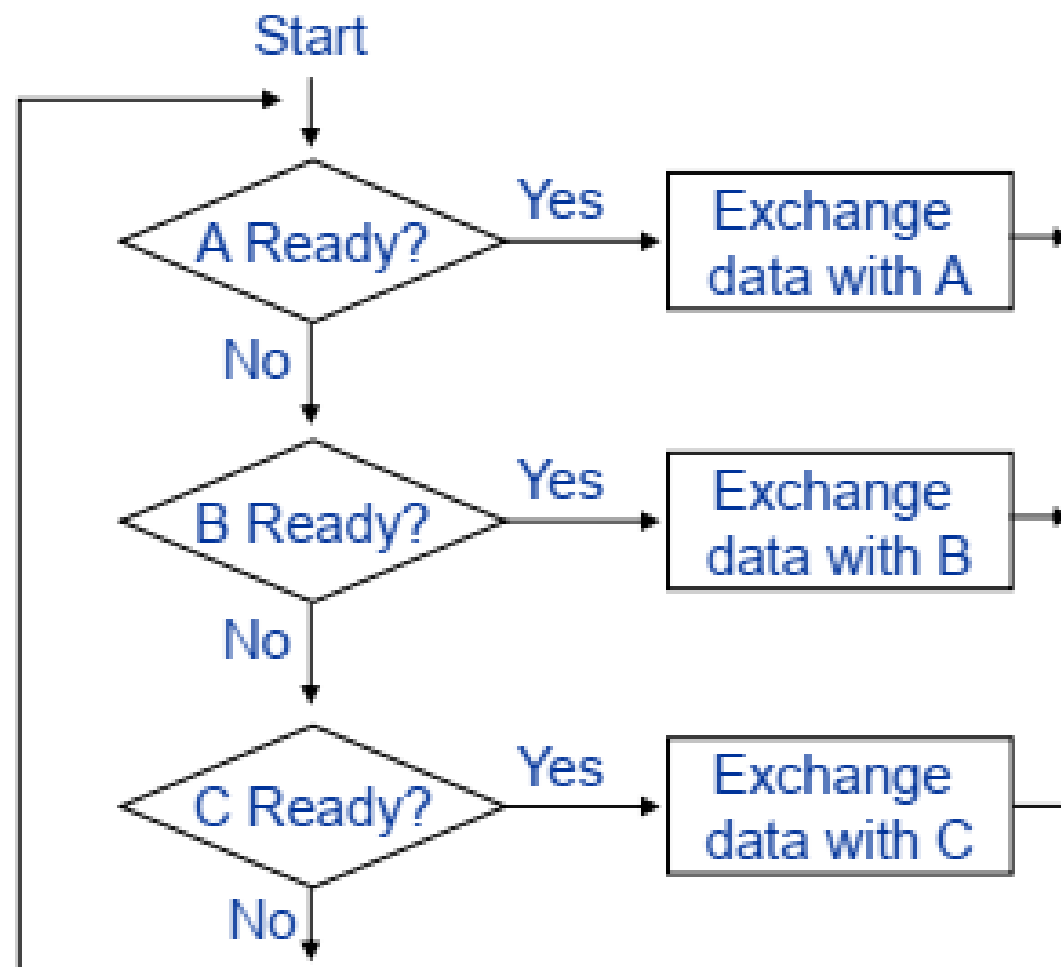
Vào ra bằng thăm dò – không ưu tiên

- ❖ Ba thiết bị A, B, C được thăm dò không ưu tiên
- ❖ CPU quét tất cả các thiết bị trong một chu trình thăm dò
- ❖ CPU có thể trao đổi dữ liệu với nhiều hơn 1 thiết bị trong một chu trình thăm dò
- ❖ Các thiết bị được “thăm” lần lượt, không phụ thuộc vào thiết bị đứng trước chu trình.
- ❖ CPU bắt đầu 1 chu trình thăm dò mới sau khi đã quét qua tất cả các thiết bị.



Vào ra bằng thăm dò – có ưu tiên

- ❖ Ba thiết bị A, B, C được thăm dò có ưu tiên theo thứ tự: A, B, C;
- ❖ CPU có thể quét tất cả các thiết bị trong một chu trình thăm dò
- ❖ CPU chỉ trao đổi dữ liệu với tối đa 1 thiết bị trong một chu trình thăm dò
- ❖ Các thiết bị có mức ưu tiên cao luôn được thăm trước;
- ❖ Các thiết bị có mức ưu tiên thấp chỉ được thăm nếu các thiết bị đứng trước nó không sẵn sàng.
- ❖ CPU bắt đầu 1 chu trình thăm dò mới ngay sau khi trao đổi dữ liệu với một thiết bị.



NGẮT VÀ XỬ LÝ NGẮT

❖ Ngắt là gì?

- Ngắt (Interrupt) là một sự kiện mà CPU tạm dừng thực hiện một chương trình để thực hiện một đoạn chương trình khác theo yêu cầu từ bên ngoài;
- Thông thường các yêu cầu từ bên ngoài thường xuất phát từ các thiết bị vào ra. Các yêu cầu này gọi là các yêu cầu ngắt;
- Đoạn chương trình CPU thực hiện trong thời gian ngắt được gọi là chương trình con phục vụ ngắt (CTCPVN).

❖ Các CTCPVN là các đoạn chương trình:

- Được viết sẵn và lưu trong ROM;
- Mỗi CTCPVN có nhiệm vụ riêng và thường là đảm nhiệm việc trao đổi dữ liệu với thiết bị vào ra.

❖ Khi nào CPU kiểm tra và xử lý ngắt: CPU kiểm tra yêu cầu ngắt tại chu kỳ đồng hồ cuối cùng của chu kỳ lệnh.

NGẮT VÀ XỬ LÝ NGẮT

❖ Phân loại ngắt

- Ngắt cứng: là các ngắt được kích hoạt bởi các bộ phận phần cứng gửi đến chân NMI và INTR của CPU; gồm:
 - Ngắt không che được NMI (Non-Maskable Interrupt): ngắt gửi đến chân NMI của CPU, không chịu sự ảnh hưởng của cờ ngắt; VD: ngắt Reset;
 - Ngắt che được INTR (Maskable Interrupt): ngắt gửi đến chân INTR của CPU, chịu sự chi phối của cờ ngắt; Cờ $IF=1 \rightarrow$ cho phép ngắt, $IF=0 \rightarrow$ cấm ngắt.
- Ngắt mềm: là các ngắt được kích hoạt bởi các chương trình thông qua lệnh gọi ngắt $INT <N>$. N là số hiệu ngắt, $N=0-255$.
- Các ngắt ngoại lệ: là các ngắt do các lỗi nảy sinh trong quá trình hoạt động của CPU:
 - Ngắt chia cho 0 (divide by zero)
 - Ngắt do tràn (overflow)

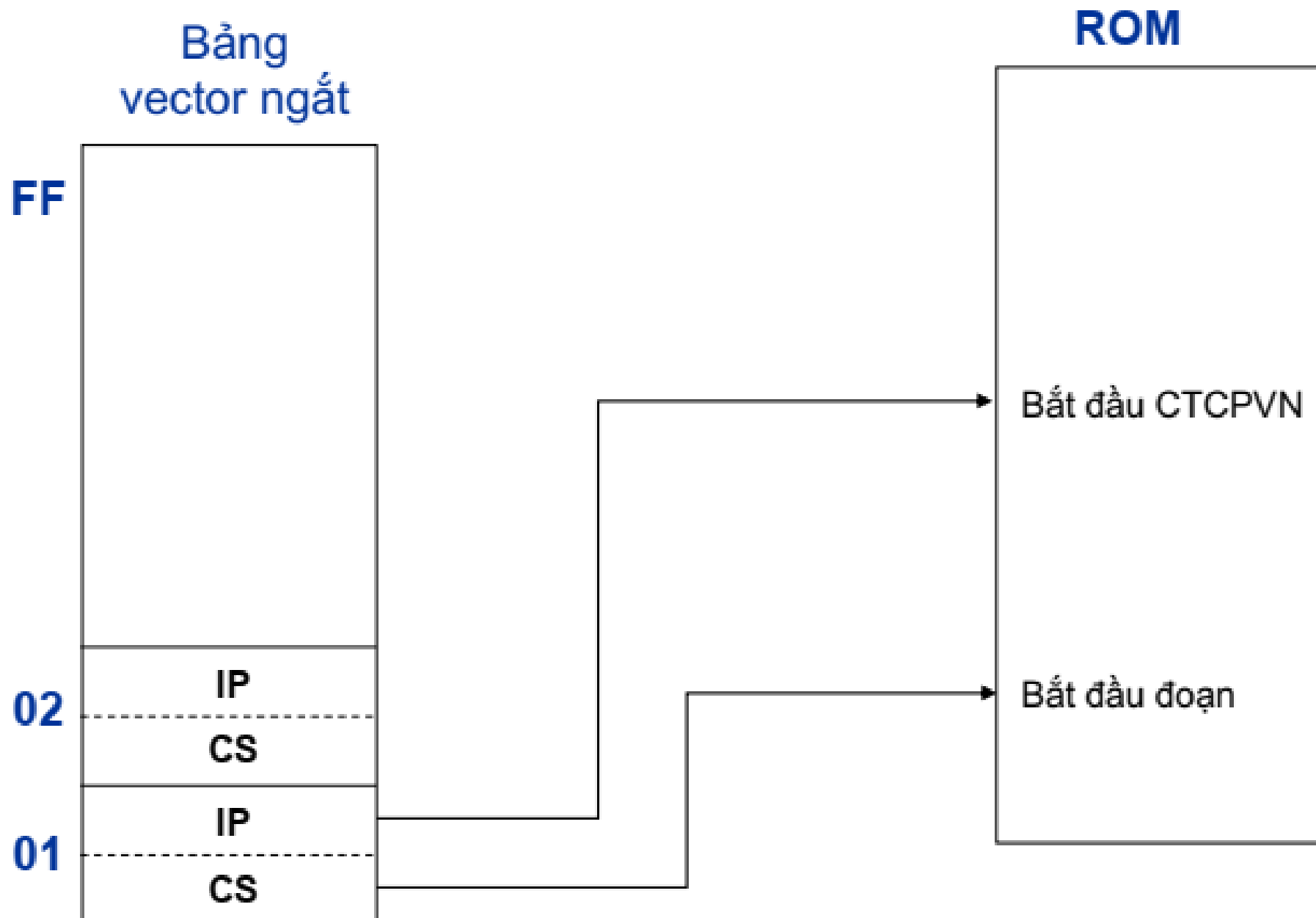
NGẮT VÀ XỬ LÝ NGẮT

- ❖ Trật tự ưu tiên trong xử lý các yêu cầu ngắt
 - Các yêu cầu ngắt được gán một mức ưu tiên
 - Khi nhận được nhiều yêu cầu ngắt đồng thời, CPU sẽ xử lý chúng theo mức ưu tiên định trước
- ❖ Mức ưu tiên các yêu cầu ngắt (từ cao nhất đến thấp nhất)
 1. Ngắt nội bộ: INT 0 (chia cho 0), INT N ($N \neq 0$)
 2. Ngắt không che được NMI
 3. Ngắt che được INTR
 4. Ngắt chạy từng lệnh: INT 1

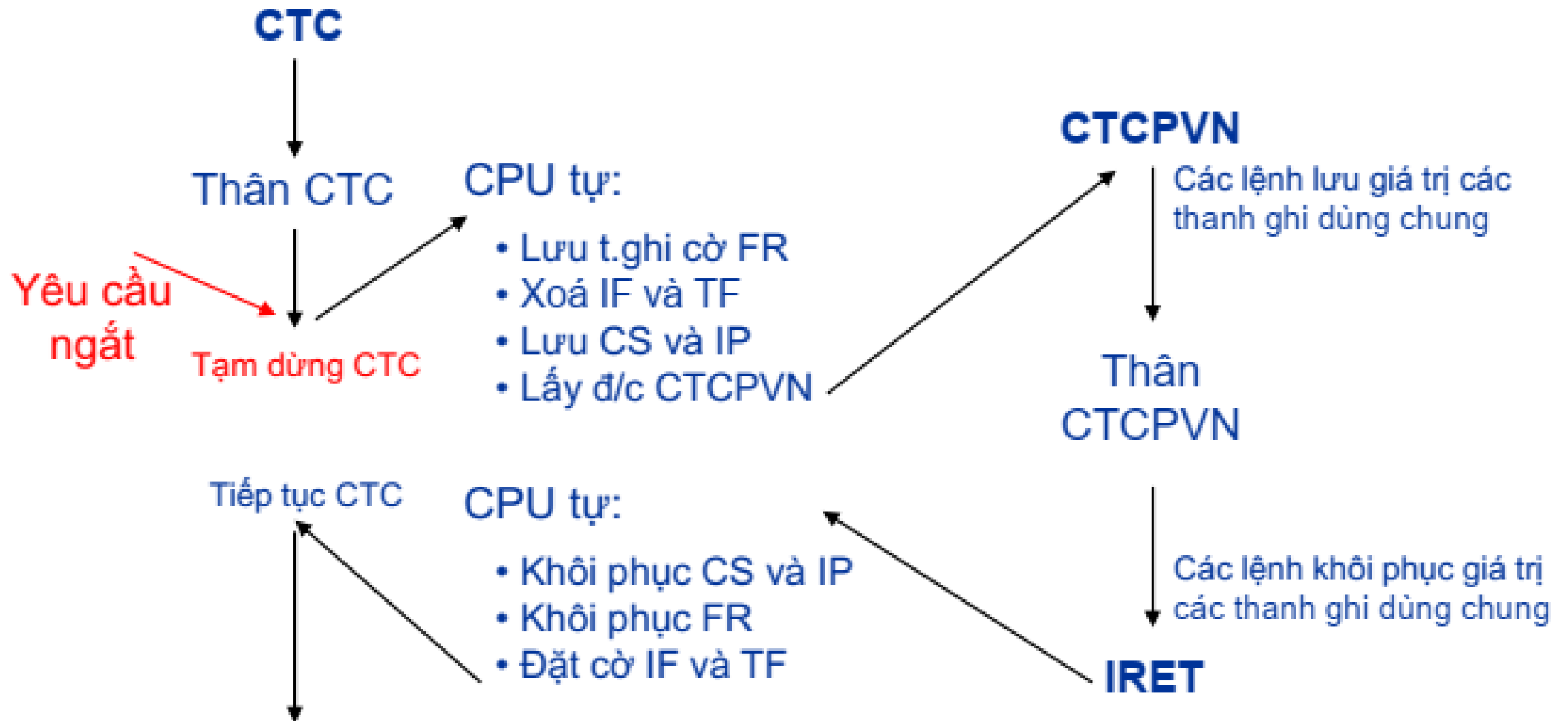
NGẮT VÀ XỬ LÝ NGẮT - BẢNG VECTOR NGẮT

- ❖ Vi xử lý 8086/8088 có 256 ngắt được đánh số từ 0-255
- ❖ Một vector ngắt gồm các thông tin:
 - Số hiệu ngắt N, N=0-255 hoặc 00-FFH
 - Địa chỉ đầy đủ chương trình con phục vụ ngắt (CTCPVN) lưu trong bộ nhớ ROM. Địa chỉ đầy đủ gồm:
 - Địa chỉ đoạn (CS)
 - Địa chỉ lệnh (IP)
- ❖ Bảng vector ngắt lưu thông tin về 256 vector ngắt. Mỗi bản ghi của bảng gồm các thông tin:
 - Số hiệu ngắt
 - Địa chỉ đoạn và địa chỉ lệnh của CTCPVN.

NGẮT VÀ XỬ LÝ NGẮT - BẢNG VECTOR NGẮT



NGẮT VÀ XỬ LÝ NGẮT - CHU TRÌNH XỬ LÝ NGẮT



NGẮT VÀ XỬ LÝ NGẮT - CHU TRÌNH XỬ LÝ NGẮT

1. **Khi nhận được yêu cầu ngắt, CPU thực hiện các việc:**
 - a. Hoàn tất lệnh đang thực hiện của chương trình chính (CTC)
 - b. Lưu giá trị của thanh ghi cờ FR vào ngăn xếp
 - c. Xoá cờ ngắt IF và cờ bẫy TF
 - d. Lưu giá trị của các t.ghi CS và IP vào ngăn xếp
 - e. Từ số hiệu ngắt N, lấy địa chỉ của CTCPVN từ bảng vector ngắt
2. **Nạp địa chỉ của CTCPVN vào CS và IP, CPU thực hiện CTCPVN, gồm:**
 - a. Lưu giá trị các thanh ghi dùng chung vào ngăn xếp
 - b. Thực hiện mã chính của CTCPVN
 - c. Khôi phục giá trị các thanh ghi dùng chung
3. **Gặp lệnh IRET kết thúc CTCPVN, CPU thực hiện các việc:**
 - a. Khôi phục giá trị của CS và IP
 - b. Khôi phục giá trị của thanh ghi cờ FR
 - c. Đặt cờ ngắt IF và cờ bẫy TF
4. **CPU tiếp tục thực hiện lệnh tiếp theo của CTC (nằm sau lệnh xảy ra ngắt).**

VÀO RA BẢNG NGẮT – CHU TRÌNH VÀO RA BẢNG NGẮT

1. Thiết bị vào ra có nhu cầu trao đổi dữ liệu, gửi yêu cầu ngắt đến chân tín hiệu INTR của CPU;
2. Khi nhận được yêu cầu ngắt, CPU thực hiện các việc:
 - a. Hoàn tất lệnh đang thực hiện của chương trình chính (CTC)
 - b. Lưu giá trị của thanh ghi cờ FR vào ngăn xếp
 - c. Xoá cờ ngắt IF và cờ bẫy TF
 - d. Lưu giá trị của các t.ghi CS và IP vào ngăn xếp
 - e. Gửi tín hiệu xác nhận ngắt đến thiết bị vào ra qua chân tín hiệu INTA
3. Nhận được hiệu xác nhận ngắt của CPU, thiết bị vào ra gửi số hiệu ngắt N đến CPU
4. Nhận được số hiệu ngắt N, CPU lấy địa chỉ của CTCPVN tương ứng từ bảng vector ngắt

VÀO RA BẰNG NGẮT – CHU TRÌNH VÀO RA BẰNG NGẮT

5. Nạp địa chỉ của CTCPVN vào CS và IP, CPU thực hiện CPCPVN, gồm:

- a. Lưu giá trị các thanh ghi dùng chung vào ngăn xếp
- b. Thực hiện mã chính của CTCPVN: đồng thời thực hiện việc trao đổi dữ liệu với thiết bị vào ra
- c. Khôi phục giá trị các thanh ghi dùng chung

6. Gặp lệnh IRET kết thúc CTCPVN, CPU thực hiện các việc:

- a. Khôi phục giá trị của CS và IP
- b. Khôi phục giá trị của thanh ghi cờ FR
- c. Đặt cờ ngắt IF và cờ bẫy TF

7. CPU tiếp tục thực hiện lệnh tiếp theo của CTC (nằm ngay sau lệnh xảy ra ngắt).

VÀO RA BẰNG NGẮT – ƯU VÀ NHƯỢC ĐIỂM

❖ Ưu điểm

- Hiệu quả hơn vào ra bằng thăm dò, do CPU không phải thăm dò từng thiết bị

❖ Nhược điểm

- Phức tạp hơn vào ra bằng thăm dò
 - Cần mạch phần cứng để điều khiển ngắt
- ## ❖ Bên chủ động trong vào ra bằng ngắt:
- Thiết bị vào ra

MẠCH ĐIỀU KHIỂN NGẮT 8259A

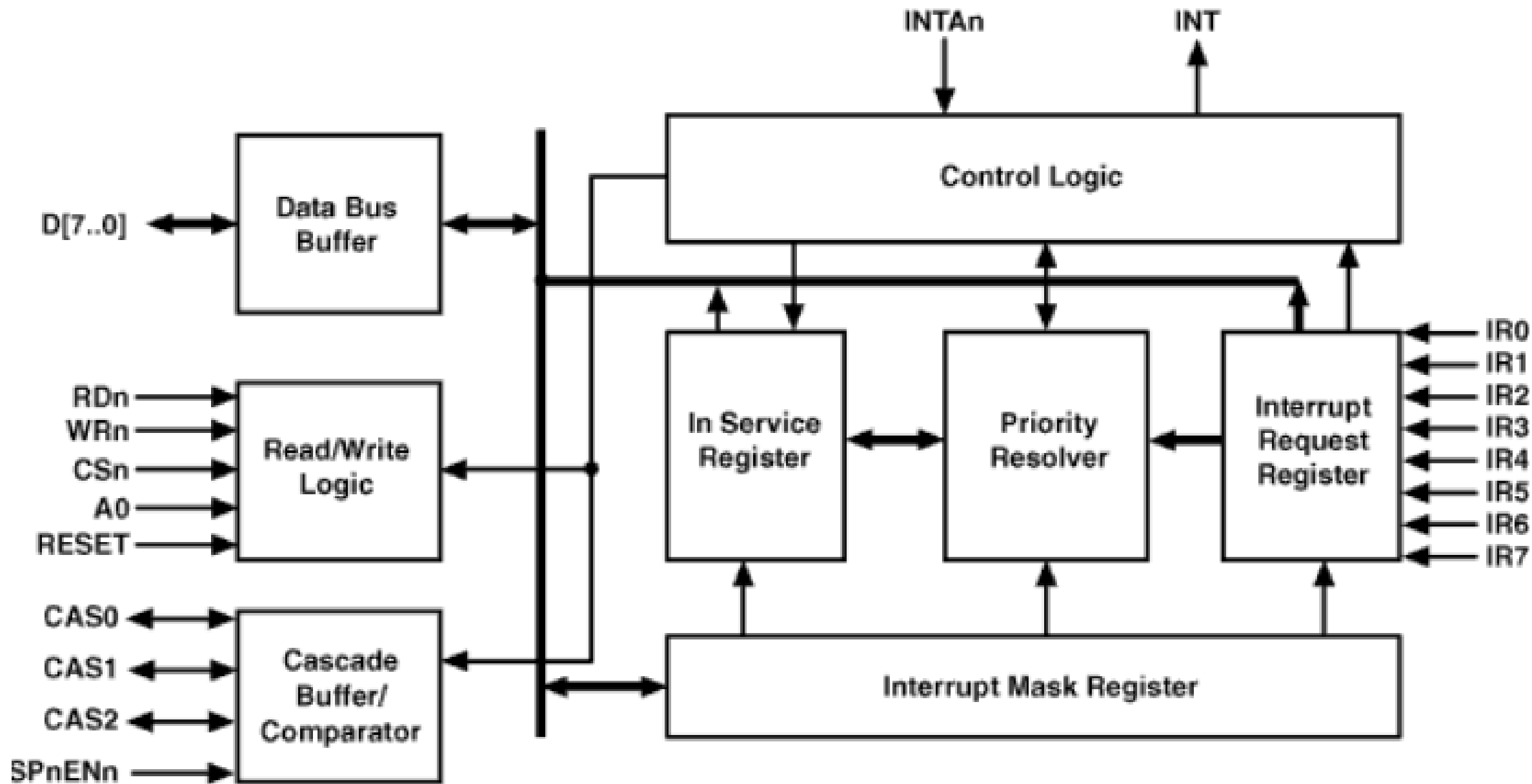
- ❖ Trường hợp có nhiều yêu cầu ngắt che được (ngắt gửi đến chân INTR), mạch điều khiển ngắt 8259A thường được sử dụng để giải quyết vấn đề ưu tiên xử lý các yêu cầu ngắt.
- ❖ Vi mạch 8259A được gọi là mạch điều khiển ngắt lập trình được (Programmable Interrupt Controller - PIC).
 - Là một vi mạch cỡ lớn có thể xử lý trước được 8 yêu cầu ngắt với các mức ưu tiên khác nhau để tạo ra một yêu cầu ngắt đưa đến đầu vào INTR của CPU 8086.
 - Nếu nối tầng 1 mạch 8259A chủ với 8 mạch 8259A thợ ta có thể nâng tổng số các yêu cầu ngắt với các mức ưu tiên khác nhau lên thành 64.

PIC 8259A – SƠ ĐỒ CHÂN VÀ CÁC TÍN HIỆU

\overline{CS}	1	28	Vcc
\overline{WR}	2	27	A0
\overline{RD}	3	26	\overline{INTA}
D7	4	25	IR7
D6	5	24	IR6
D5	6	23	IR5
D4	7	22	IR4
D3	8	21	IR3
D2	9	20	IR2
D1	10	19	IR1
D0	11	18	IR0
CAS0	12	17	\overline{INT}
CAS1	13	16	$\overline{SP/EN}$
gnd	14	15	CAS2

D0-D7	Dữ liệu
RD, WR	Đọc, Ghi (mức thấp)
A0	Địa chỉ thanh ghi
CS	Chọn chip
CAS0-2	Ghép tầng với PIC khác
SP	Xác định PIC chủ (master SP=1) thợ (slave SP=0)
EN	Mở đệm dữ liệu
INT	Yêu cầu ngắt ghép với INTR của CPU
\overline{INTA}	Xác nhận ngắt ghép với \overline{INTA} của CPU
D0-D7	Tín hiệu dữ liệu ghép với bus dữ liệu của CPU

PIC 8259A – SƠ ĐỒ KHỐI



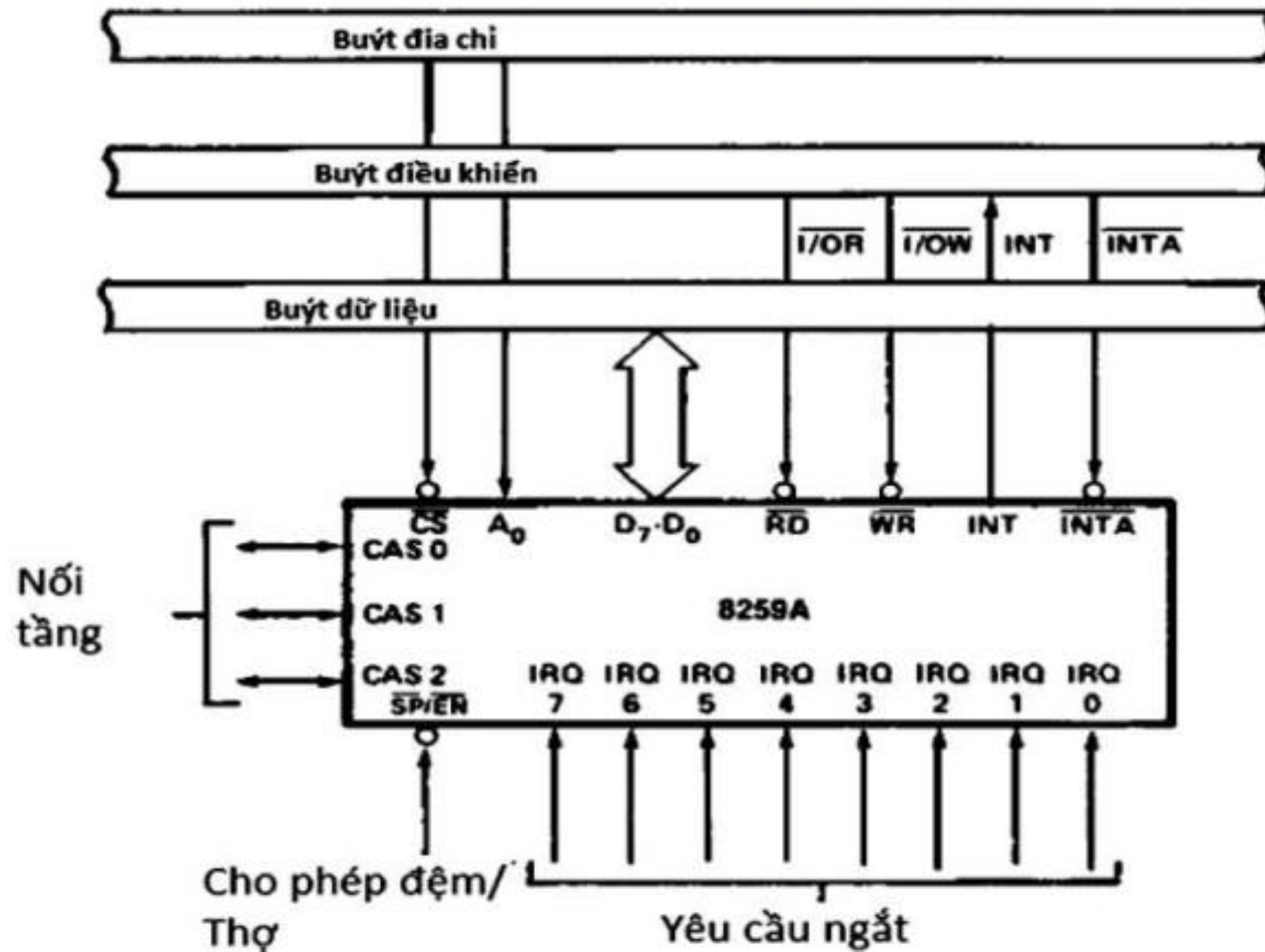
PIC 8259A – SƠ ĐỒ KHỎI

- ❖ Thanh ghi Interrupt Request Register (IRR): ghi nhớ các yêu cầu ngắt có tại đầu vào IR_i .
- ❖ Khối Priority resolver: xác định thứ tự ưu tiên của các yêu cầu ngắt.
- ❖ Thanh ghi Interrupt Service Register (ISR): ghi nhớ các yêu cầu ngắt đang được phục vụ trong số các yêu cầu ngắt IR_i .
- ❖ Thanh ghi Interrupt Mask Register (IMR): ghi nhớ mặt nạ ngắt đối với các yêu cầu ngắt IR_i .

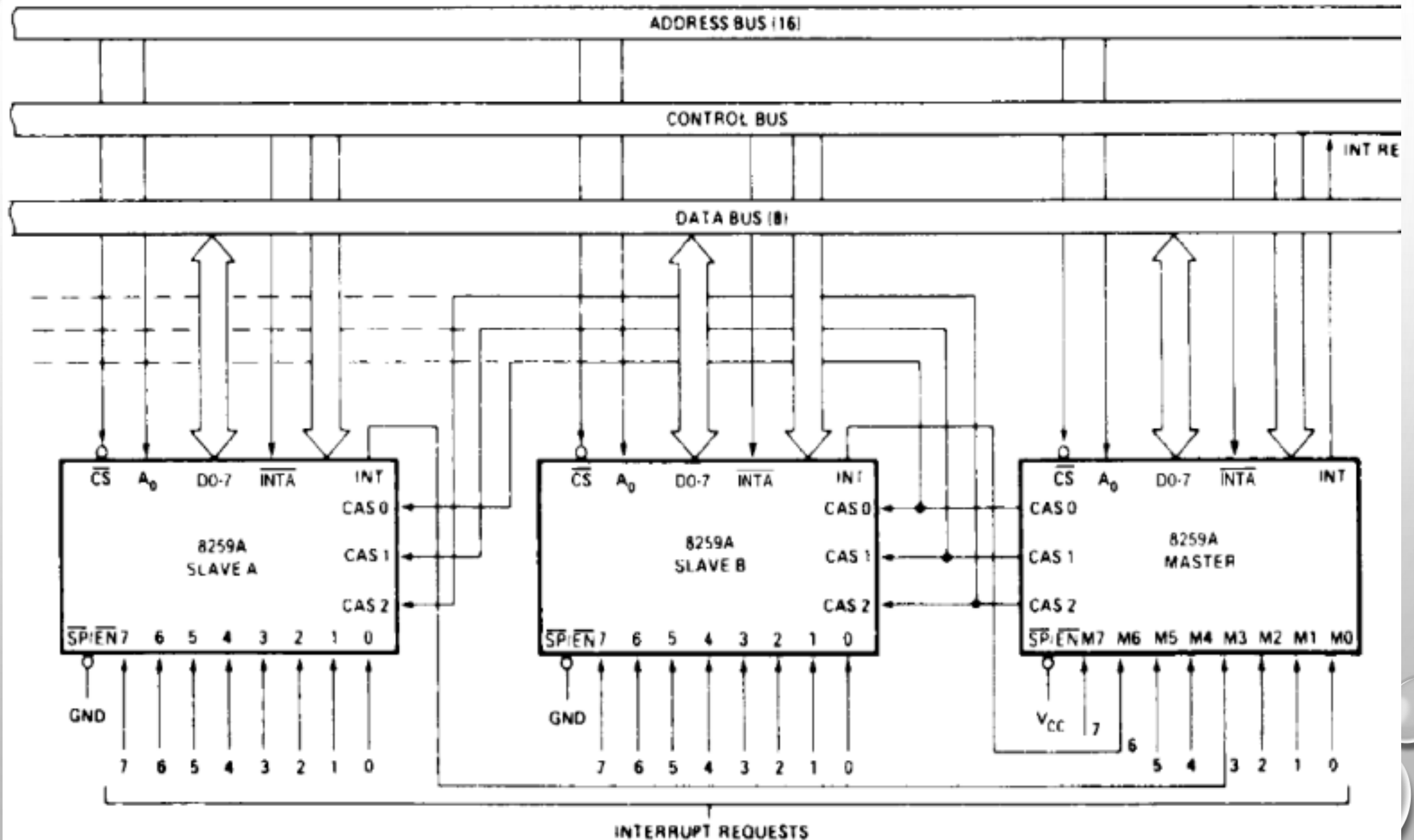
PIC 8259A – SƠ ĐỒ KHỐI

- ❖ Logic điều khiển (Control Logic): khối này có nhiệm vụ gửi yêu cầu ngắt tới INTR của 8086 khi có tín hiệu tại các chân IRi và nhận trả lời chấp nhận yêu cầu ngắt INTA từ CPU để rồi điều khiển việc đưa ra kiểu ngắt trên buýt dữ liệu.
- ❖ Đệm buýt dữ liệu (Data Bus Buffer): dùng để phối hợp 8259A với bus dữ liệu của CPU.
- ❖ Logic điều khiển ghi/đọc (Read/Write Logic): điều khiển việc ghi các từ điều khiển và đọc các từ trạng thái của 8259A.
- ❖ Khối đệm nối tầng và so sánh (Cascade buffer/ comparator): ghi nhớ và so sánh số hiệu của các mạch 8259A có mặt trong hệ vi xử lý.

PIC 8259A – GHÉP NỐI VỚI CPU



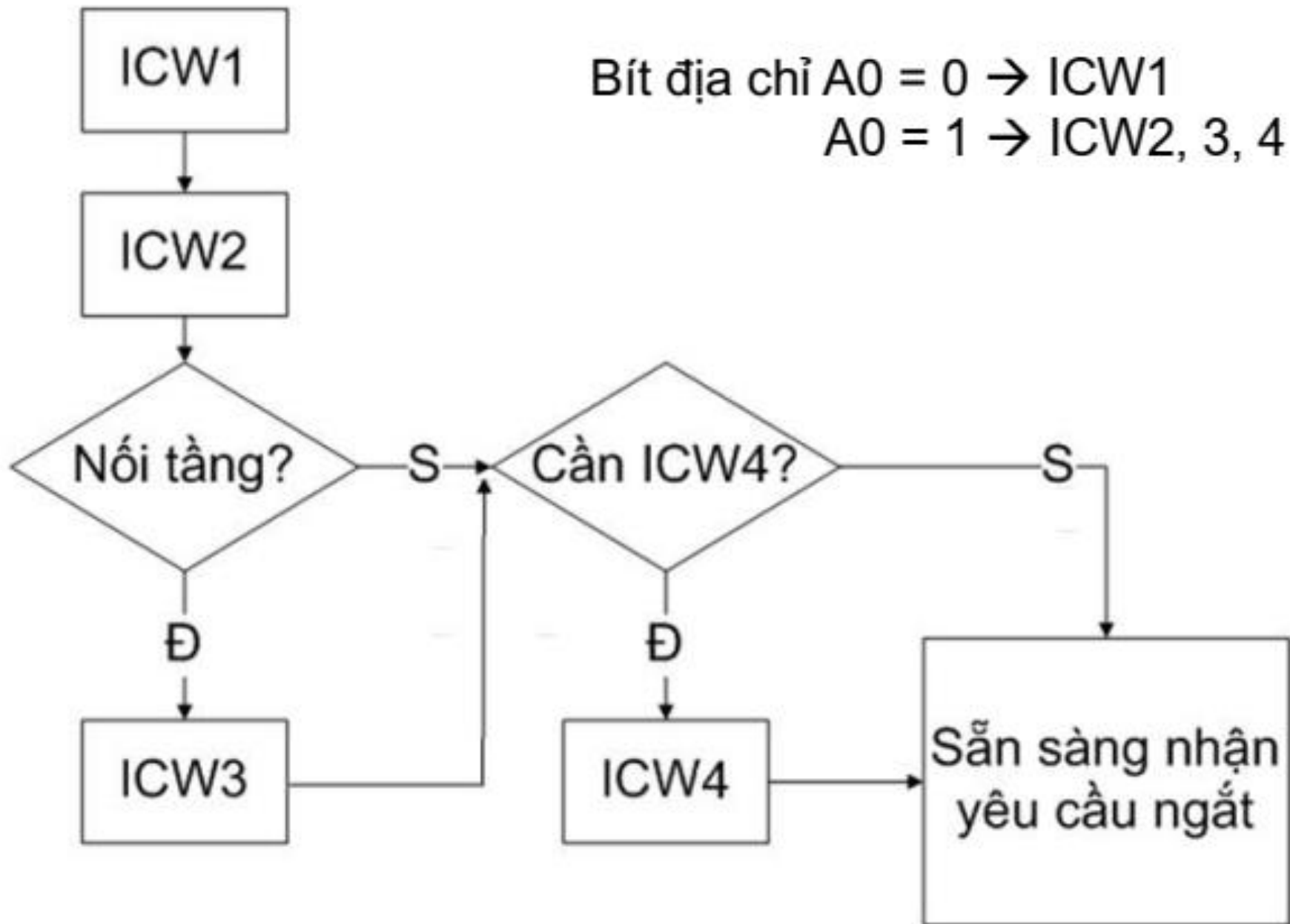
PIC 8259A – GHÉP NỐI NHIỀU TẦNG VỚI CPU



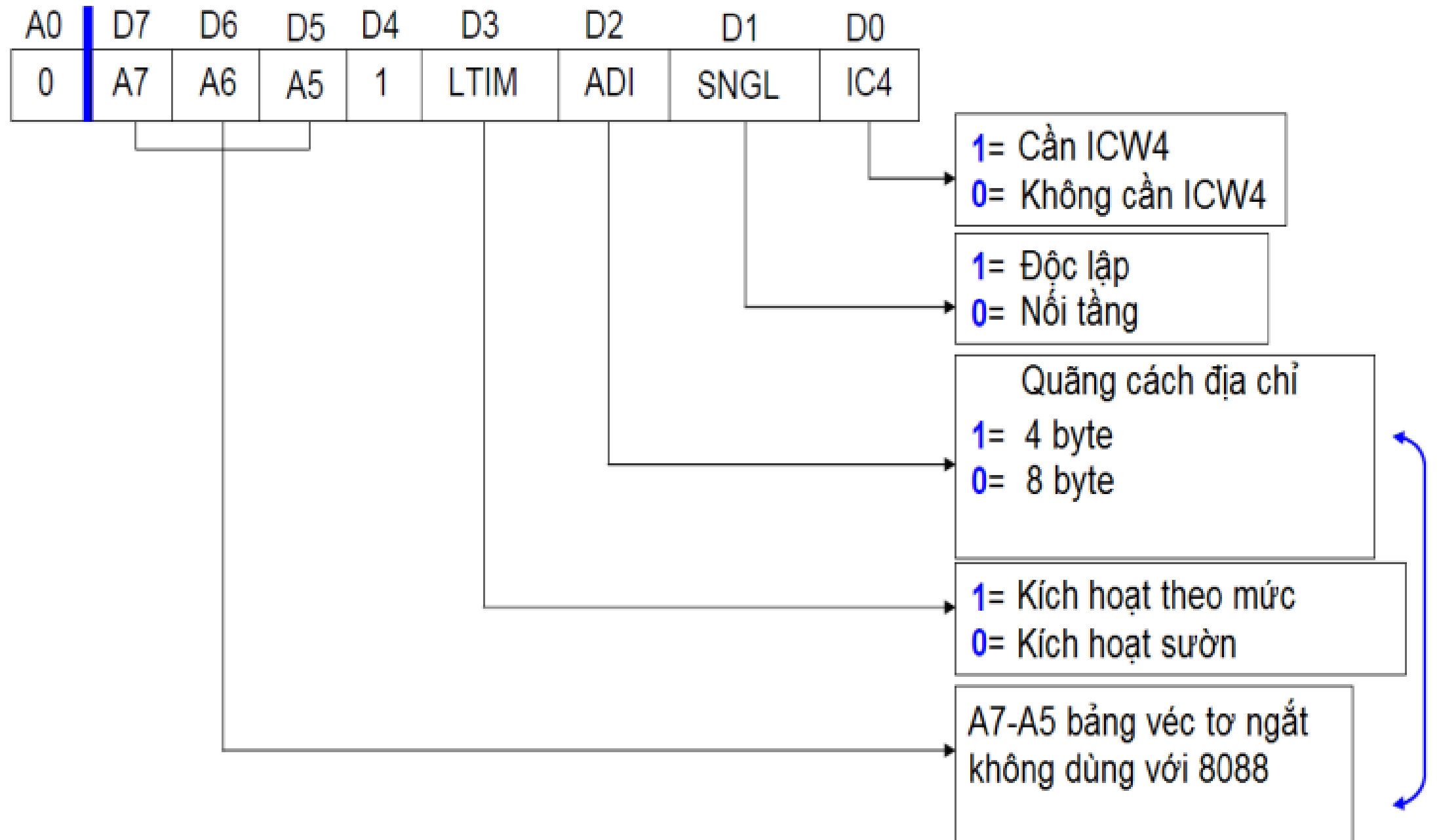
LẬP TRÌNH CHO PIC 8259A

- ❖ PIC được lập trình thông qua việc nạp các giá trị thích hợp cho 7 thanh ghi của 8259A:
 - 4 từ khởi tạo ICW (Initialization Control Word)
 - 3 từ điều khiển hoạt động OCW (Operation Control Word)
- ❖ ICW xác lập chế độ hoạt động cho PIC-8259A
- ❖ OCW điều khiển 8259A hoạt động ở các chế độ khác nhau

LẬP TRÌNH PIC 8259A – XÁC LẬP CHẾ ĐỘ LÀM VIỆC

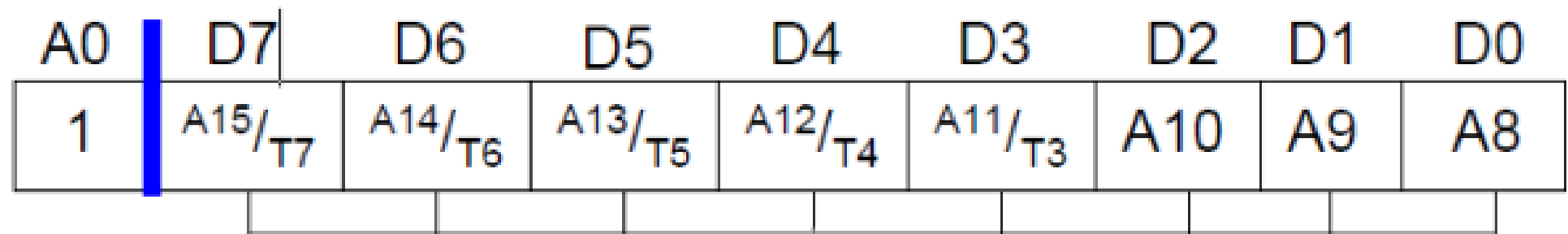


LẬP TRÌNH PIC 8259A – ICW1



LẬP TRÌNH PIC 8259A – ICW2

❖ Xác định số hiệu ngắt



A8-A15: 8085

T3-T7: Số hiệu vec tơ
ngắt 8088/8086

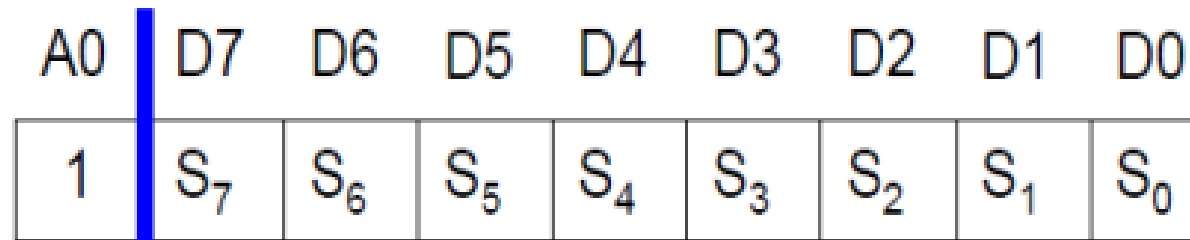
A8-A10: Số yêu cầu
ngắt

LẬP TRÌNH PIC 8259A – ICW2

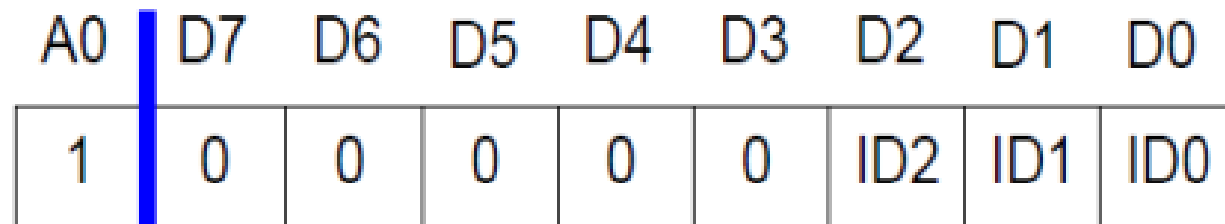
❖ ICW2 với 8088/8086

	D7	D6	D5	D4	D3	D2	D1	D0
IR7	T7	T6	T5	T4	T3	1	1	1
IR6	T7	T6	T5	T4	T3	1	1	0
IR5	T7	T6	T5	T4	T3	1	0	1
IR4	T7	T6	T5	T4	T3	1	0	0
IR3	T7	T6	T5	T4	T3	0	1	1
IR2	T7	T6	T5	T4	T3	0	1	0
IR1	T7	T6	T5	T4	T3	0	0	1
IR0	T7	T6	T5	T4	T3	0	0	0

LẬP TRÌNH PIC 8259A – ICW3

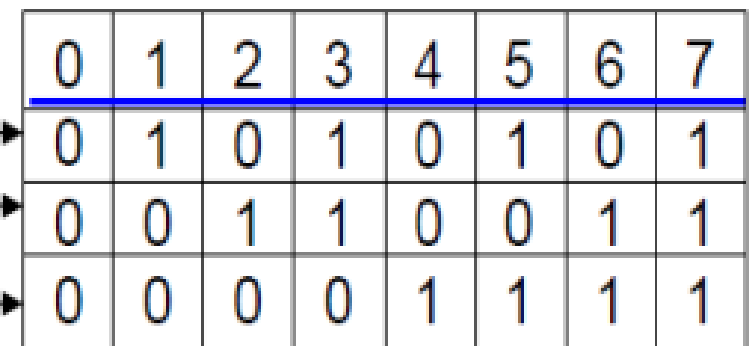


1= IR nối với PIC thợ
0= IR không nối với PIC thợ



Mã hóa số hiệu PIC thợ

0	1	2	3	4	5	6	7
0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1
0	0	0	0	1	1	1	1



LẬP TRÌNH PIC 8259A – ICW4

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	SFNM	BUF	M/S	AEOI	μPM

1=8086/8088
0=MCS-80/85

1=EOI tự động
0=EOI thường

0	X	Chế độ không đếm
1	0	Chế độ đếm PIC thợ
1	1	Chế độ đếm PIC chủ

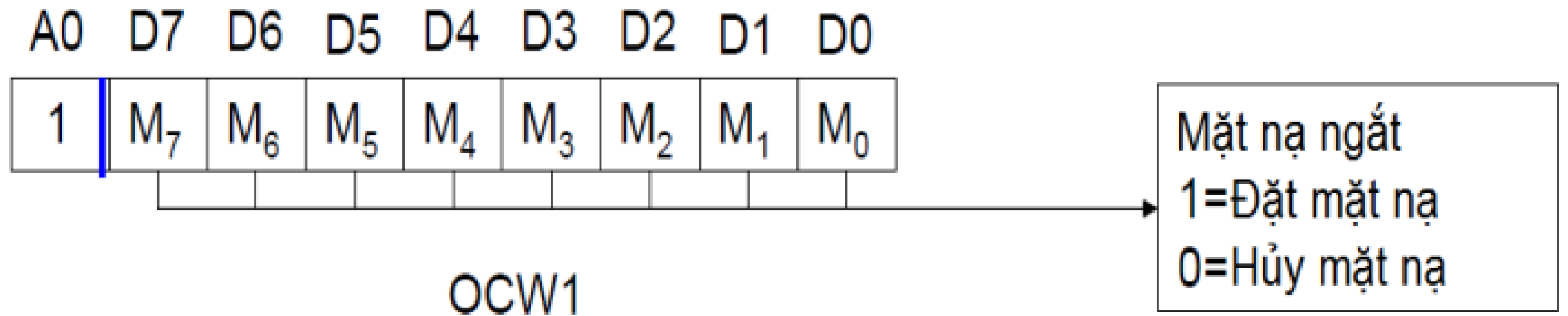
1=Chế độ ưu tiên cố định đặc biệt
0=Không phải ưu tiên đặc biệt

LẬP TRÌNH PIC 8259A – VÍ DỤ

❖ Xác định các từ khởi tạo cho 8259 ghép nối với 8086 ở chế độ độc lập, trong hệ có đệm bus, chế độ ưu tiên cố định và với EOI thường, IR kích hoạt theo mức, tín hiệu IR được gán số hiệu ngắt 50H.

LẬP TRÌNH PIC 8259A – OCW1

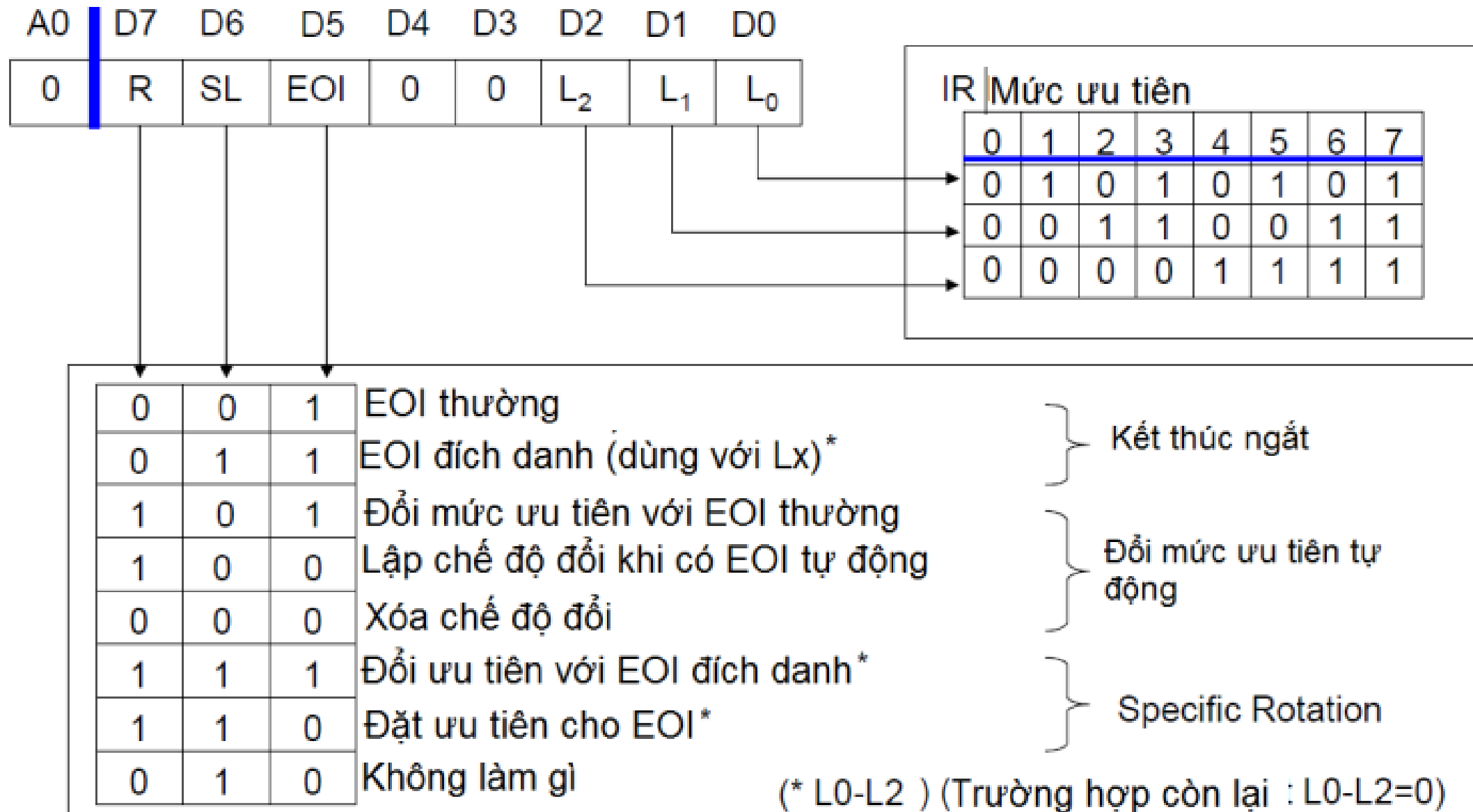
OCW1: Thiết lập và đọc trạng thái yêu cầu ngắt



VD: Nếu chỉ dùng IR0 IR1: 11111100

LẬP TRÌNH PIC 8259A – OCW2

OCW2: Xác định việc xử lý các yêu cầu ngắt của PIC



LẬP TRÌNH PIC 8259A – OCW2

❖ Xác định cách PIC xử lý yêu cầu ngắt

- Chế độ ưu tiên cố định:
 - $IR0 > \dots > IR7$
- Đảo mức ưu tiên tự động:
 - Quay vòng
- Ưu tiên đích danh
 - Gán mức độ ưu tiên cho từng yêu cầu ngắt

LẬP TRÌNH PIC 8259A – OCW2

Trước khi quay

Giả sử IR4 có mức ưu tiên cao

Trạng thái ngắt ^(ISR)

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
0	1	0	1	0	0	0	0

Mức ưu tiên

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

Thấp nhất

Cao nhất

Sau khi quay

Trạng thái ngắt

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
0	1	0	0	0	0	0	0

Mức ưu tiên

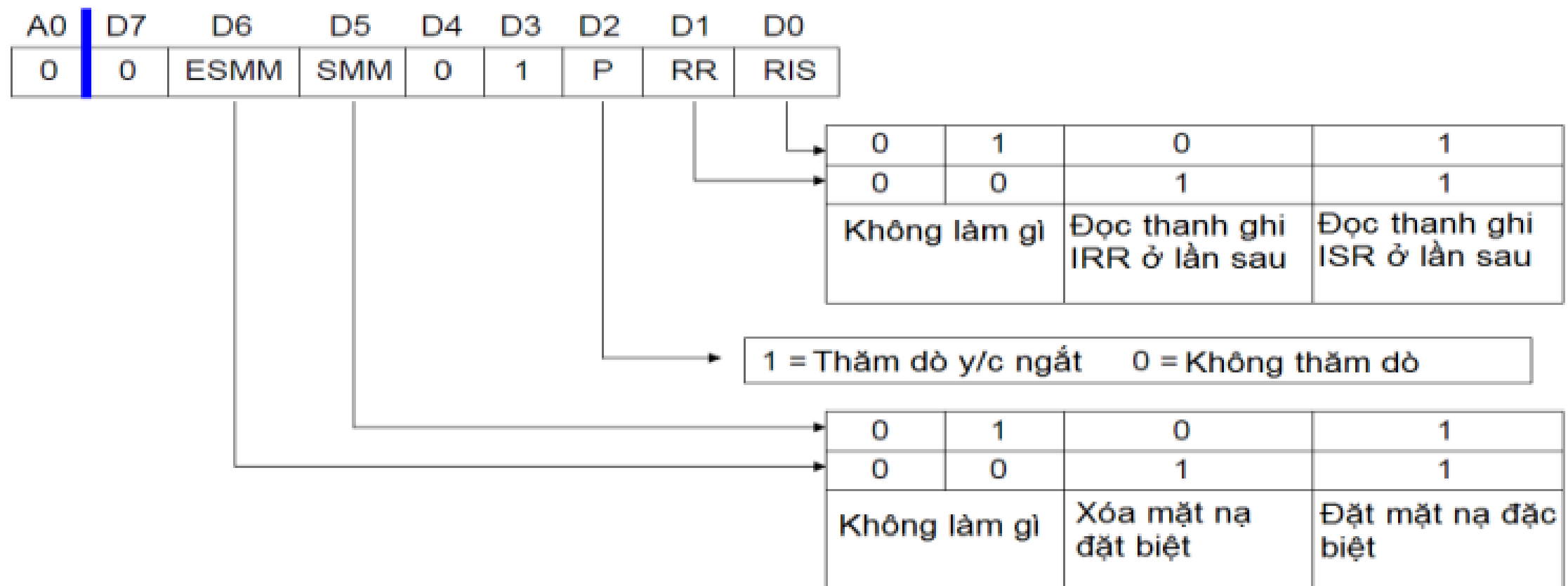
2	1	0	7	6	5	4	3
---	---	---	---	---	---	---	---

Cao nhất

Thấp nhất

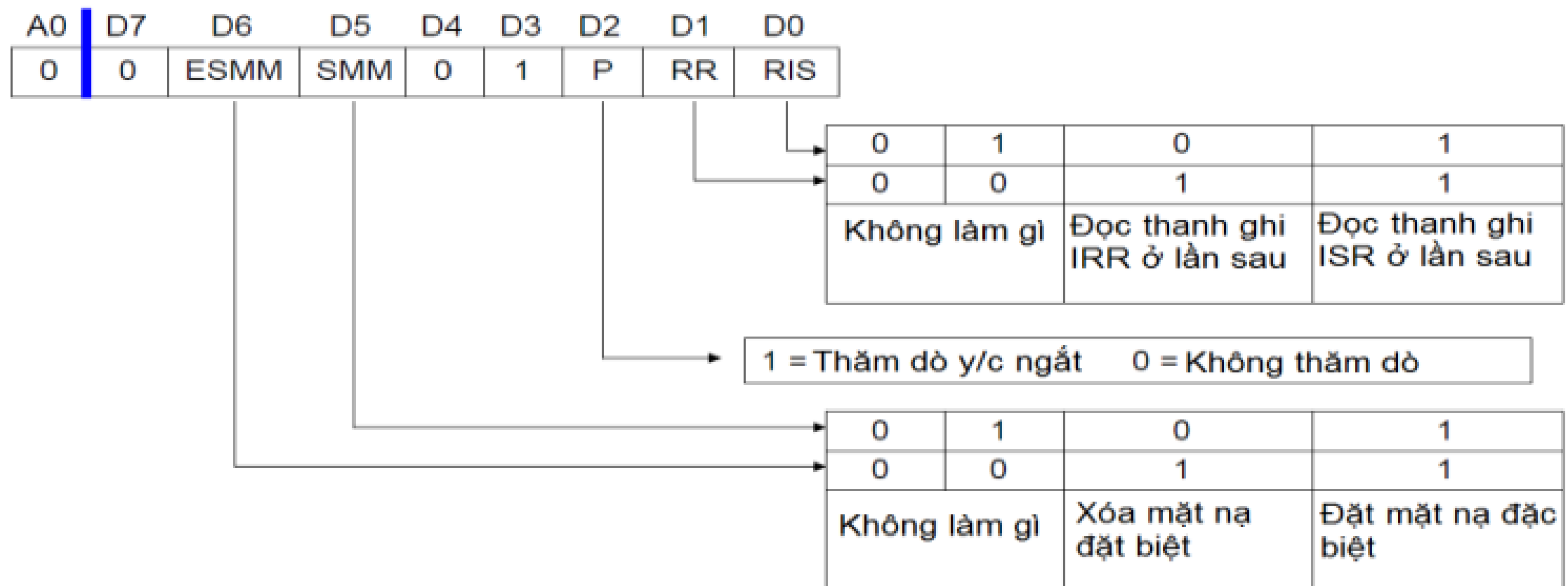
LẬP TRÌNH PIC 8259A – OCW3

- ❖ Chọn các thanh ghi để đọc
- ❖ Thăm dò trạng thái yêu cầu ngắt
- ❖ Thao tác với thanh ghi mặt nạ



LẬP TRÌNH PIC 8259A – OCW3

- ❖ Chọn các thanh ghi để đọc
- ❖ Thăm dò trạng thái yêu cầu ngắt
- ❖ Thao tác với thanh ghi mặt nạ



LẬP TRÌNH PIC 8259A – IRR VÀ ISR

IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
D7	D6	D5	D4	D3	D2	D1	D0

- ▶ 0 = Có yêu cầu ngắt
- ▶ 1 = Không có yêu cầu ngắt

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
D7	D6	D5	D4	D3	D2	D1	D0

- ❖ 0 = Yêu cầu ngắt IR_i không được phục vụ
- ❖ 1 = Yêu cầu ngắt IR_i đang được phục vụ

ĐỌC TỪ THĂM DÒ TR. THÁI YÊU CẦU NGẮT

❖ Đặt bit P=1 cho OCW3 → đọc từ thăm dò trạng thái yêu cầu ngắt trên bus dữ liệu ở lần đọc ngay tiếp sau:

D7	D6	D5	D4	D3	D2	D1	D0
1: có ngắt	X	x	X	x	Số hiệu yêu cầu ngắt		

Dạng thức của từ thăm dò trạng thái yêu cầu ngắt

PIC 8259 – TRÌNH TỰ XỬ LÝ CÁC SỰ KIỆN

- ❖ Các tín hiệu yêu cầu ngắt do thiết bị vào/ra gửi tới PIC làm cho các bit tương ứng trong IRR được bật lên
- ❖ PIC xem xét các yêu cầu ngắt và báo hiệu cho CPU khi cần (INTR)
- ❖ CPU xác nhận ngắt bằng cách đưa ra INTA
- ❖ Khi nhận được INTA, PIC xóa bit tương ứng trong IRR và bit ưu tiên cao nhất của ISR được bật
- ❖ CPU đưa ra INTA thứ 2, PIC đưa ra 1 byte dữ liệu về số hiệu ngắt
- ❖ Kết thúc chu kỳ ngắt. Nếu dùng AEOL thì bit ISR bị xóa vào cuối xung INTA thứ 2. Nếu không, bit ISR giữ nguyên cho đến khi có câu lệnh EOI.