

第四讲 SDRAM 理论基础讲解

最近更新日期：2017/01/04

大家看了我们的前三讲教程，想必已经非常期待第四讲课程了。从第四讲开始，就带大家真正的进入到的 SDRAM 的世界了。

第四讲的主要内容如下：

1. 普及 SDRAM 常识性知识；
2. 介绍 SDRAM 芯片相关引脚；
3. 学习 SDRAM 初始化的配置过程；
4. 编写 SDRAM 初始化模块并进行仿真。

一、SDRAM 常识性知识普及

关于 SDRAM 的基本概念，在这先引用《终极内存指南》这篇文章中的一段话：

“SDRAM（Synchronous Dynamic Random Access Memory），同步动态随机存储器。同步是指 Memory 工作需要同步时钟，内部的命令的发送与数据的传输都以它为基准；动态是指存储阵列需要不断的刷新来保证存储的数据不丢失，因为 SDRAM 中存储数据是通过电容来工作的，大家知道电容在自然放置状态是会有放电的，如果电放完了，也就意味着 SDRAM 中的数据丢失了，所以 SDRAM 需要在电容的电量放完之前进行刷新；随机是指数据不是线性依次存储，而是自由指定地址进行数据的读写。”

个人觉得这应该是对 SDRAM 作的一段比较完整详细的介绍了。。。。

这只是对 SDRAM 的概念介绍，下面再简单的看一下 SDRAM 的内部结构。

对于 SDRAM 的内容结构，就如同 Excel 的表格：

| | A | B | C | D | E | F | G |
|----|---|---|---|---|---|---|---|
| 1 | | | | | | | |
| 2 | | | | | | | |
| 3 | | | | | | | |
| 4 | | | | | | | |
| 5 | | | | | | | |
| 6 | | | | | | | |
| 7 | | | | | | | |
| 8 | | | | | | | |
| 9 | | | | | | | |
| 10 | | | | | | | |
| 11 | | | | | | | |
| 12 | | | | | | | |
| 13 | | | | | | | |

一个存储单元

其中的一个小表格就是 SDRAM 内部的一个存储单元，而要确定这个存储单元的为止，只需要知道行地址（row address）和列地址（col address）就可以了。

这样的一张表格就相当于是一个 Bank，一般 SDRAM 有 4 个 Bank，也就是相当于有 4 张这样的表格。

所以 SDRAM 的容量计算方式为：

SDRAM 容量 = 数据位宽 × 存储单元数量（行地址 × 列地址 × Bank 数）

二、SDRAM 引脚介绍

讲 SDRAM 的引脚，就必须要看 SDRAM 的 datasheet 咯。

PIN DESCRIPTION

| SYMBOL | TYPE | DESCRIPTION |
|---|---|--|
| CLK | Clock | The system clock input. All other inputs are registered to the SDRAM on the rising edge of CLK |
| CKE | Clock Enable | Controls internal clock signal and when deactivated, the SDRAM will be one of the states among power down, suspend or self refresh |
| \overline{CS} | Chip Select | Enables or disables all inputs except CLK, CKE, UDQM and LDQM |
| BA0, BA1 | Bank Address | Selects bank to be activated during \overline{RAS} activity Selects bank to be read/written during \overline{CAS} activity |
| A0 ~ A11 | Address | Row Address: RA0 ~ RA11, Column Address: CA0 ~ CA8 Auto-precharge flag: A10 |
| \overline{RAS} , \overline{CAS} , \overline{WE} | Row Address Strobe, Column Address Strobe, Write Enable | \overline{RAS} , \overline{CAS} and \overline{WE} define the operation Refer function truth table for details |
| UDQM, LDQM | Data Input/Output Mask | Controls output buffers in read mode and masks input data in write mode |
| DQ0 ~ DQ15 | Data Input/Output | Multiplexed data input / output pin |
| VDD/VSS | Power Supply/Ground | Power supply for internal circuits and input buffers |
| VDDQ/VSSQ | Data Output Power/Ground | Power supply for output buffers |
| NC | No Connection | No connection |

对于 SDRAM 的地址线，大家一定要注意，它的行列地址线是复用的。并且 A10 这根地址线还是一个 Auto-Refresh 的标志位。

对于这部分内容呢，就先介绍到这，如有不清楚的地方，可以观看我们录制的视频教程。

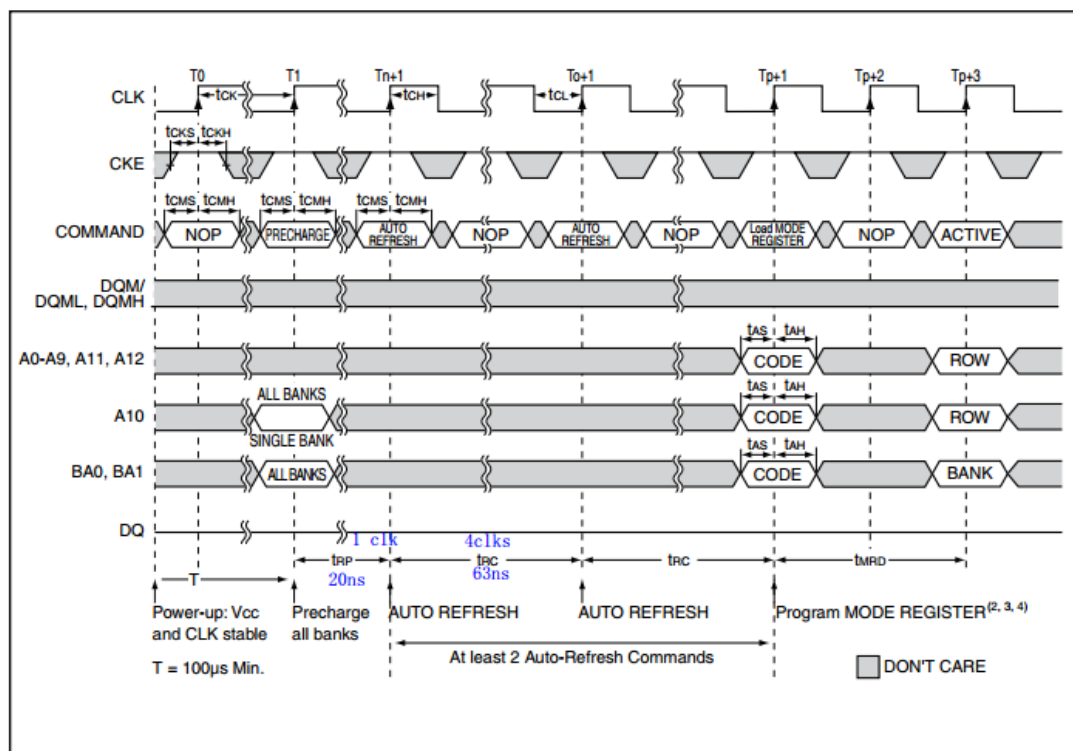
教程观看地址：<http://t.elecfans.com/1418.html>（本套视频教程已全部更新完毕）

百度网盘地址：<http://pan.baidu.com/s/1o88h0Ps> 密码：t9qg（已上传完毕）

三、学习 SDRAM 初始化的配置过程

对于的初始化，也是需要参考官方文档的。

INITIALIZE AND LOAD MODE REGISTER⁽¹⁾



对于初始化过程，首先需要有 200us 的一个延时，在延时满足之后，给一次 Precharge 命令，之后再给两次 Auto-refresh 命令，最后进行模式寄存器配置。

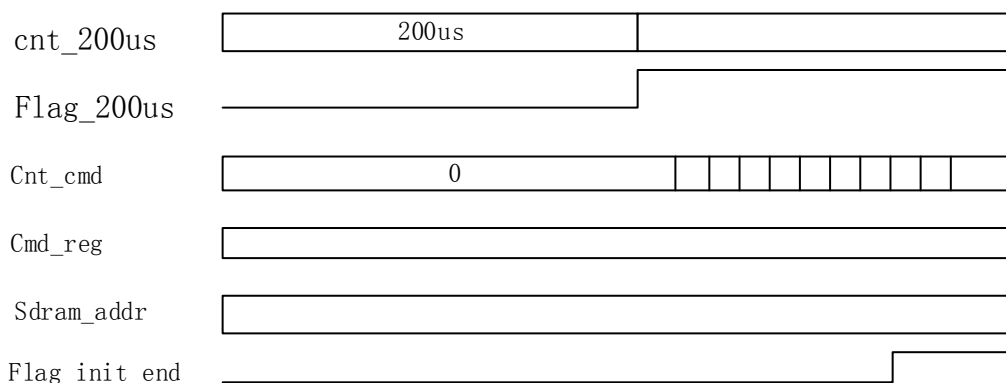
当然对于这些命令与命令之间的延时参数，也是需要结合文档来确定的。

在设置模式寄存器的时候，需要配置潜伏期、突发类型、突发长度这几个参数。这几个参数是在进行配置命令时给 Addr 这些引脚赋值决定的。

四、编写 SDRAM 初始化模块并进行仿真

对于 SDRAM 初始化模块的编写，我们可以先学习下 SDRAM 的初始化时序图，然后再根据时序图设计初始化模块的时序。

下边是 Kevin 设计的一个时序图，比较简单：



对这个时序图，相信大家已经不用 Kevin 作太多的解释就可以看懂了。

关于初始化模块的代码，就由大家自己来完成了哦。如果有疑惑的地方，可以先学习下本讲视频教程。

编写完代码后，就进入到了 SDRAM 的仿真阶段，仿真的话，需要用到 SDRAM 的仿真模型，并且修改对应的参数。

在例化好模块之后，可以先让 Modelsim 运行 201us，若初始化模块编写正确，就可以再 Modelsim 中看到如下的打印信息了：

```
VSIM 2> run 201us
# at time 200130 ns PRE : Bank = ALL
# at time 200150 ns AREF : Auto Refresh
# at time 200230 ns AREF : Auto Refresh
# at time 200310 ns LMR : Load Mode Register
#
# CAS Latency = 3
# Burst Length = 4
# Burst Type = Sequential
# Write Burst Mode = Programmed Burst Length
VSIM 3>]
```

这些信息中包含了模式寄存器的配置信息。在配置模式寄存器时，给它设置的潜伏期为 3，突发长度为 4。

关于潜伏期和突发长度的含义，大家可以学习《终极内存指南》（该文档在 Kevin 的个人博客提供下载：<http://dengkanwen.com/doc>）。当然也可以观看我们的视频教程进行学习，Kevin 在视频中也讲解得很详细。

好了，这一讲内容就先讲到着了哦，有啥问题大家可以先观看视频教程进行学习，或者加入开源骚客的 QQ 交流群，群内已有多数成员已成功设计出专属于自己的 SDRAM 控制器哦！！！！

特别提醒 #1

- a. 本套视频发烧友课堂在线观看地址：<http://t.elecfans.com/1418.html>
- b. 本套视频百度网盘下载地址：<http://pan.baidu.com/s/1o88h0Ps> 密码：t9qg
- c. 开源骚客 FPGA 交流群：312109973

特别提醒 #2

本套视频已全部更新完毕，并且该项目代码也已经公布。

如何获取 SDRAM 代码，请关注【开源骚客】公众号，回复关键词“代码”即可轻松掌握获取代码的方式哦！！！！

【开源骚客（微信号：OpenSoc）】公众号致力免费分享 **FPGA** 相关项目知识，既包括文章分享，也会包括视频教学。



扫一扫，关注开源骚客公众号

特别提醒 #3

若发现该项目代码有任何 **BUG**，请联系下方微信；

当然，若对该项目代码有任何不理解的地方，也可以加下方微信进行讨论。



【开源骚客公众号】创始人微信号