

第一讲 项目演示及整体框架介绍

最近更新日期：2016/10/26

一、前面的话

1.本系列电子书为【开源骚客】录制的《SDRAM 那些事儿第一季·轻松设计 SDRAM 控制器》视频教程的配套教材；

2.本套教程以项目形式进行教学，主要是带领大家实现一个通过串口调试助手发送“指令和数据”来控制 SDRAM 读写操作的小项目。

3.本项目由于是以项目形式教学，并无章节重点介绍 FPGA 基础知识，故不适合 FPGA 零基础的小白进行学习，学习本套视频教程，至少需要有 Verilog HDL 的语法基础；

4.通过学习本套教程，您可达目标如下：

- a. 熟练掌握 SDRAM 控制器的设计方法；
- b. 了解仲裁机制的核心思想；
- c. 熟练掌握串口收发模块的编写；
- d. 了解 SVN 版本管理工具的使用；
- e. 了解如何根据 datasheet 中的时序图进行编写代码的方法。

。 。 。 。 。

5.本系列电子书视频教程获取地址如下：

- a. 发烧友课堂在线观看地址：<http://t.elecfans.com/1418.html>
- b. 百度网盘下载地址：<http://pan.baidu.com/s/1o88h0Ps> 密码：t9qg

二、项目演示

由于本项目中，是使用串口发送数据和指令给 FPGA 来控制 SDRAM 读写操作的，所以我们先要有一个串口调试助手（软件下载地址：）。

首先需要将 PC 机与 FPGA 的串口连接好，然后打开串口调试助手，进行如图 1 所示设置。

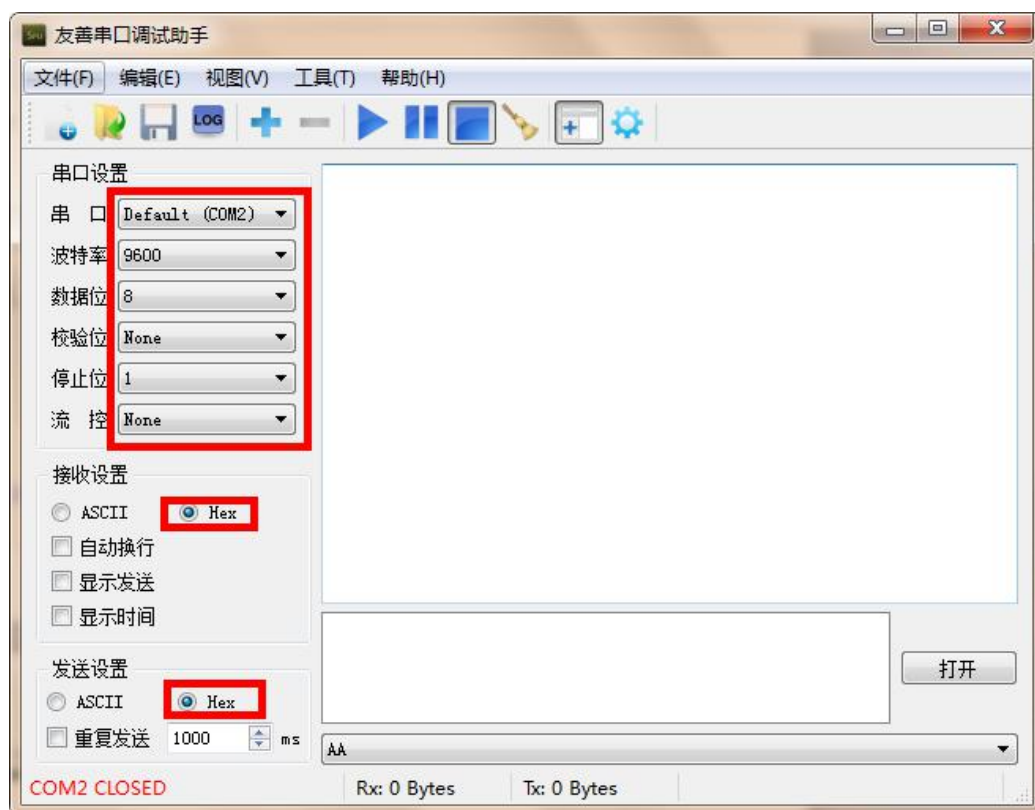
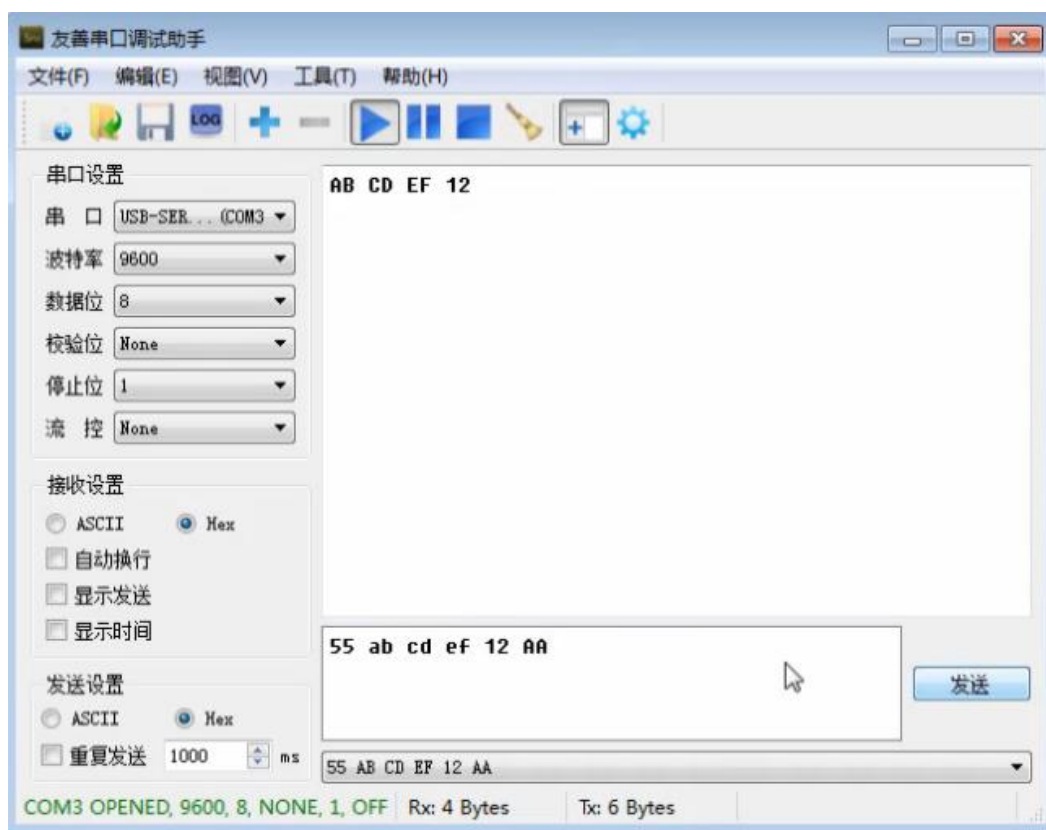


图 1 串口调试助手设置



图二 串口调试助手显示界面

按图一所示设置之后，发送 **55 AB CD EF 12 AA** 这六个字节的数据，数据发送完成之后，串口接收界面会显示 **AB CD EF 12** 这四个字节数据。如图二所示。

接下来，我们再简单介绍下发送的这六个字节 **55 AB CD EF 12 AA** 的含义是什么。

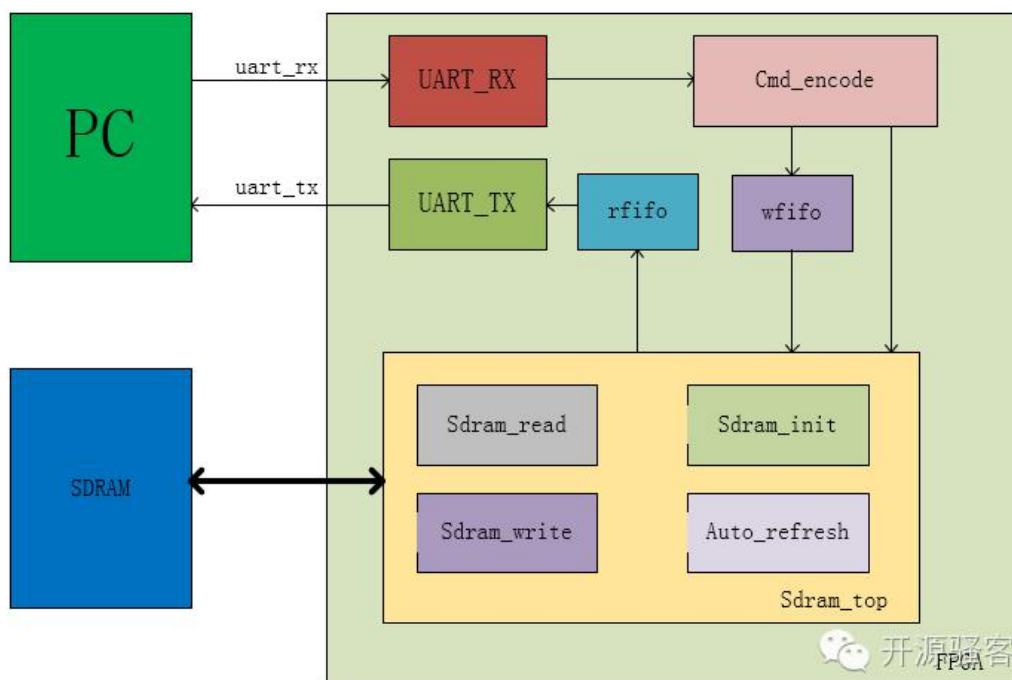
首先，**55** 表示的是写 SDRAM 命令，也就是往 SDRAM 写入数据的命令。

接着的四个字节 **AB CD EF 12** 表示的是写入 SDRAM 中的数据。

最后的一个字节 **AA** 表示的是读 SDRAM 的命令，将前一次写入 SDRAM 的数据读出。

三、项目整体框架介绍

在本套教程中所需要完成的项目演示之后,下面再对其整体框架作简单的介绍。



图三 项目整体框图

我们先按照框图的数据流来介绍这个项目的思路：

- ① PC 端通过串口发送指令和数据给 FPGA 开发板, 发送的指令总共只有两条指令, 一个是写指令, 即将串口发送的数据写入到 SDRAM, 一个是读指令, 将之前写入到 SDRAM 的数据读出来, 并将读出来的数据让 FPGA 通过串口返回到 PC 端;

- ② FPGA 内部有串口接收模块 UART RX, 主要的作用是将串口的数据进行

一个串转并的操作，并将接收到的数据或指令传送给 CMD_ENCODE 命令解析模块；

③ 命令解析模块的作用则是将接收到的指令和数据进行分离，待写入的数据先存到 wfifo 中，命令则通过另一个通道直接送到 Sdram_top 模块；

④ Sdram_top 模块接收到写指令后，则会将 wfifo 中的数据读出，并写入到 SDRAM 芯片中，而 Sdram_top 模块其实就是一个 SDRAM 控制器；

⑤ 当接收到读指令后，则 Sdram_top 模块将会执行读 SDRAM 的操作，将前一次写入到 SDRAM 的数据读出，将其存入 rfifo 中；

⑥ 当串口发送模块 UART_TX 检测到 rfifo 中不为空时，则会读取 rfifo 中的数据，并将其发送到 PC 端。

这就是整个项目的一个完整思路了，大家看完是不是觉得还是挺简单的哦。



啊，什么，觉得不简单，为什么不讲讲 SDRAM_TOP 这个模块是怎么控制 SDRAM 读写的呀?????????

大家先别急，我们先一步一步来，在后续章节中，我们会一点一点的给大家讲清楚。

包括整个项目的代码，都会在视频教程中带着大家从零开始一起敲一遍，只要你想学，我们就一定会给你讲清楚!!!!

先简单瞄一眼该项目的顶层模块代码吧，嘿嘿。

```
23 module top(  
24     // system signals  
25     input          sclk  
26     input          s_rst_n  
27     // uart interface  
28     input          uart_rx  
29     output wire    uart_tx  
30     // sdr interface  
31     inout [15:0]   sdram_dq  
32     output wire    [ 3:0] sdram_dqm  
33     output wire    sdram_clk  
34     output wire    sdram_cs_n  
35     output wire    sdram_ras_n  
36     output wire    sdram_cas_n  
37     output wire    sdram_we_n  
38     output wire    sdram_cke  
39     output wire    [11:0] sdram_addr  
40     output wire    [ 1:0] sdram_bank  
41 );  
42  
43 // =====  
44 // ----- Define Parameter and Internal signals -----  
45 // =====  
46 wire [ 7:0]      uart_data  
47 wire            uart_flag  
48 wire            wfifo_wr_en  
49 wire [ 7:0]      wfifo_data  
50 wire [ 7:0]      fifo_data  
51  
52 wire [ 7:0]      data_num  
53
```

图四 项目顶层模块部分代码

欲知后事如何，请听下回分解！！！！！！

本套视频教程有【开源骚客】团队录制，欢迎关注开源骚客公众号获取本套视频教程最新录制进度。。。

特别提醒 #1

【开源骚客（微信号：OpenSoc）】公众号致力免费分享 FPGA 相关项目知识，既包括文章分享，也会包括视频教学。



扫一扫，关注开源骚客公众号

特别提醒 #2

若发现该项目代码有任何 **BUG**，请联系下方微信；

当然，若对该项目代码有任何不理解的地方，也可以加下方微信进行讨论。



【开源骚客公众号】创始人微信号