

Lab8 — Sorting

系級：資工二

學號：409410121

姓名：吳年茵

協作者學號、名稱： 409410120 劉哲嘉

一、程式貢獻比例

吳年茵： 60 % 劉哲嘉： 40 %

二、程式面積

Flow Status	Successful - Mon May 16 23:41:07 2022
Quartus Prime Version	20.1.0 Build 711 06/05/2020 SJ Lite Edition
Revision Name	lab8
Top-level Entity Name	lab8
Family	MAX 10
Device	10M50DCF484C7G
Timing Models	Final
Total logic elements	1,760 / 49,760 (4 %)
Total registers	230
Total pins	36 / 360 (10 %)
Total virtual pins	0
Total memory bits	0 / 1,677,312 (0 %)
Embedded Multiplier 9-bit elements	30 / 288 (10 %)
Total PLLs	0 / 4 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0

三、設計心得

我覺得這次的實驗沒有到很難，在題目出來後其實使用原本的 code (非 sample code) 就可以寫出了一個大概，因為其實 sorting 的部分並沒有很難，與我們平常使用 C 寫的一樣，但是我卡了滿長的時間在我下面說的第一個問題，因為一開始一直以為是自己寫的 code 有問題，最後是在 testbench 檢查是否有將 data 讀入時，才發現原來是讀 data 的問題，但我的檔案是從 ecourse 下載下來的，所以也不知道是檔案出問題還是什麼，因此只好自己寫一個同內容的 data.txt 檔；這次的實驗我有時候還是會以我寫 C 的邏輯去寫，但是 C 跟 verilog 是不太一樣，因此我覺得我應該要更熟悉 verilog 的邏輯語法，才能使我在往後的實驗更順利。

四、 遭遇的困難

1. 在執行時發現 lab8_tb 無法正確讀取助教給的 data.dat 檔，程式永遠不會執行當 line=="input" 那些判斷式所以執行的結果永遠長這樣。

```
-----  
-- Simulation Start --  
-----  
cycle      14  
cycle      15  
cycle      16  
cycle      17  
cycle      18  
cycle      19  
cycle      32  
cycle      33  
cycle      34  
cycle      35  
cycle      36  
cycle      37  
cycle      50  
cycle      51  
cycle      52  
cycle      53  
cycle      54  
cycle      55  
-----  
-- Simulation Failed. --  
-----
```

2. 在一開始設計 sorting 的 swap 時我是使用 <= 作 assign，但是執行出來的結果是錯的，在最後一個測資時我的某一個值在 swap 的過程中會被覆蓋變成另為一個值，然後原本的值就消失了。

五、 解決的方法

1. 這個問題的最後解決方法是我寫一個名為 data.txt 的檔案，而其內容是原本在 data.dat 檔的內容，並將 lab8_tb.v 檔的 'define PAT "data.dat" 改為 'define PAT "data.txt"，就可以正確地讀入測資了。
2. 我將原本的『<=』改為使用『=』作 assign，就可以執行出正確的結果，並且不會發生上面所說的值會被覆蓋的問題。