

TECNOLOGIE PER CIRCUITI INTEGRATI
ESPERIENZA DI LABORATORIO #2

Per i transistor nMOS e pMOS si utilizzino i modelli N_12_HSL130E e P_12_HSL130E della libreria umc13mmrf. Per tutti i transistor si utilizzi la lunghezza di canale minima (disegnata) $L_{\min} = 120 \text{ nm}$.

- Si scelga una funzione logica a 3 ingressi, supponendo di avere a disposizione *solo* gli ingressi diretti (e quindi di non avere a disposizione gli ingressi negati). Si progetti la funzione logica scelta come una *sola* porta logica CMOS complementare statica: si disegni lo schematico e si dimensionino i transistor in modo da avere un comportamento bilanciato ($t_{pLH} = t_{pHL}$) nel caso peggiore.
- Si valutino, tramite simulazione, i tempi di propagazione (t_{pLH} e t_{pHL}) nel caso peggiore. Si confronti il risultato ottenuto con una stima manuale.
- Si realizzi il layout fisico della porta logica progettata, aiutandosi con lo stick diagram. Si assuma una distanza di grid $d_g = 0.4 \mu\text{m}$ e una altezza della cella di $15 \cdot d_g$. Si svolgano le verifiche di correttezza del layout: DRC e LVS.
- Si realizzi l'estrazione degli elementi parassiti del layout utilizzando lo strumento PEX. Si svolga una simulazione post-layout per valutare i tempi di propagazione (t_{pLH} e t_{pHL}) nel caso peggiore includendo l'effetto degli elementi parassiti. Si confronti il risultato ottenuto con quello precedentemente ottenuto mediante la simulazione dello schematico (ovvero senza gli elementi parassiti del layout).