

Chapter 8. 조합회로설계와 시뮬레이션

⊕ 조합회로 총 정리 (메모리 X, 출력 = f(입력)) 기판사 연결하면 순차회로가 됨

기본 [진리표 만들기 → 카노맵, 쿨-맥클러스키 방법 등을 이용해 간략화된 대수식 만들기
변수가 많고 항의 수가 적으면 문제 설명에서 대수적 식을 직접 표현 → 대수적으로 간략화하기

→ 간략화된 대수식은 게이트의 유형에 따라 적절한 식으로 조작

유형① → 인수화 또는 곱을 이용하여 게이트의 수 또는 게이트 입력 수 감소시키기

(조건) 회로가 2개 이상의 출력을 가질 때, 카노맵을 이용하여 공통항을 찾아 게이트 수/게이트 입력 수 줄이기

(조건) 회로가 3개 이상의 단을 가질 때, 항수를 개별적으로 최소화하고 공통항을 만들 수 있는 방법으로 인수화

유형② → 직접 변환이 가능한 회로 (NAND 게이트로 바꾸기)

(조건) 각 출력에 OR 게이트를 가지고, AND 게이트 (또는 OR 게이트) 출력이 같은 게이트에 연결되지 않는 회로는

모든 AND와 OR 게이트를 NAND 게이트로 교체하고

→ 첫번째, 세번째, 다섯번째, ... 단으로 입력되는 문자들을 보수화

하면 NAND 게이트가 됨

(조건) AND-OR 회로가 같은 유형의 게이트에 연결된 AND 게이트 (또는 OR 게이트) 출력을 가지면,

위 과정에 인버터가 필요

유형③ → 직접 변환이 가능한 회로 (NOR 게이트로 바꾸기)

(조건) 각 출력에 OR 게이트를 가지고, AND 게이트 (또는 OR 게이트) 출력이 같은 유형의 게이트에 연결되지 않는 회로는

출력함수의 보수에 대한 최소 논리곱의 합 표현으로 바꾸기

→ AND와 OR 게이트 회로를 그리면

NOR 게이트가 됨

(조건) AND-OR 회로가 같은 유형의 게이트에 연결된 AND 게이트 (또는 OR 게이트) 출력을 가지면,

위 과정에 인버터가 필요

8.2 한정된 게이트 팬-인을 갖는 회로의 설계

tb_elec_engineer@naver.com

팬-인 (Fan-in) : 게이트 입력 수

gm

팬-아웃 (Fan-out) : 게이트 출력 수

⊗ 회로는 한정된 팬-인과 팬-아웃을 가짐

예제 1) 3입력 NOR 게이트를 이용해 $f(a, b, c, d) = \sum m(0, 3, 4, 5, 8, 9, 10, 14, 15)$ 를 구현하라

조건 ① fan-in = 3

② NOR 게이트 이용

→ NOR 게이트로 변환하는 법) 0을 이용하여 최소 논리곱의 합으로 표현
→ 보수화하기

sol)

cd \ ab	00	01	11	10
00	1	1	0	1
01	0	1	0	1
11	1	0	1	0
10	0	0	1	1

$$f' = a'b'c'd + ab'cd + abc' + a'bc + a'cd'$$

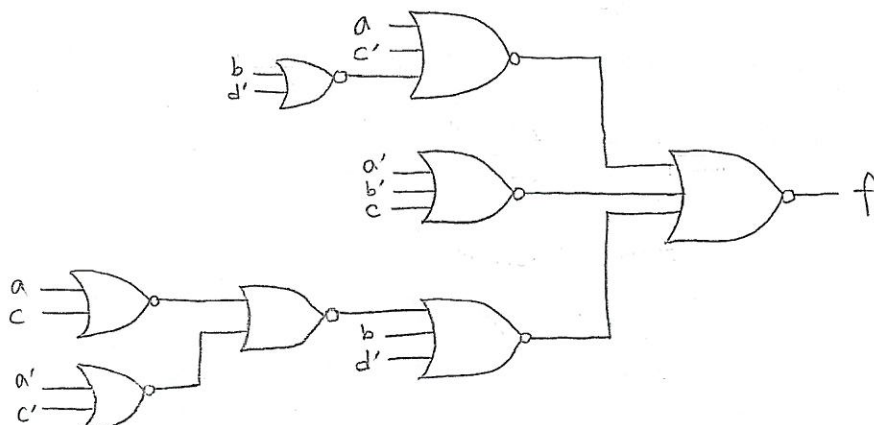
게이트 입력 수를 3으로 줄이기 위해 인수화하기

$$\rightarrow f' = b'd(a'c' + ac) + a'c(b+d') + abc'$$

보수화하기 (드모르간 법칙 적용)

$$\begin{aligned} \rightarrow f &= [b'd(a'c' + ac)]' [a'c(b+d')] [abc']' \\ &= [b+d' + (a+c)(a'+c')] [a+c' + b'd] [a'+b'+c] \end{aligned}$$

결과 → 3개의 입력을 갖는 NOR 게이트



예제 2) 오직 2 입력 NAND 게이트와 인버터만을 이용하여 주어진 함수를 표시하라.

$$f_1 = \sum m(0, 2, 3, 4, 5)$$

$$f_2 = \sum m(0, 2, 3, 4, 7)$$

$$f_3 = \sum m(1, 2, 6, 7)$$

tb_elec_engineer@naver.com

gm

sol) 조건 ① fan-in = 2

② NAND로 표현

③ 인버터만 이용

$$f_1 = \sum m(0, 2, 3, 4, 5)$$

bc \ a	0	1
00	1	1
01		1
11	1	
10	1	

$$f_1 = b'c' + ab' + a'b$$

$$f_2 = \sum m(0, 2, 3, 4, 7)$$

bc \ a	0	1
00	1	1
01		
11	1	1
10	1	

$$f_2 = b'c' + bc + a'b$$

$$f_3 = \sum m(1, 2, 6, 7)$$

bc \ a	0	1
00		
01	1	
11		1
10	1	1

$$f_3 = a'b'c + ab + bc'$$

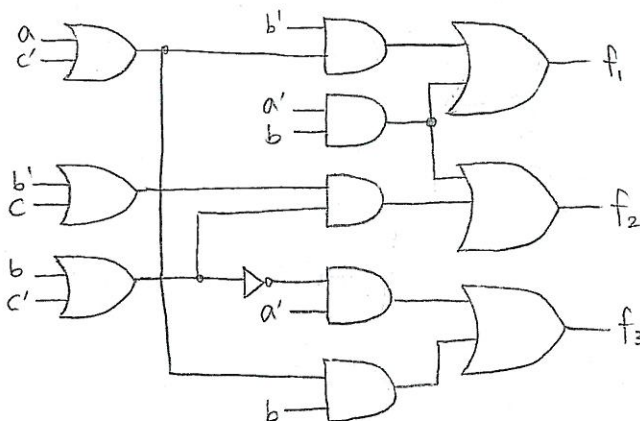
2입력의 OR 게이트로 바꾸기 위해 인수화 하기

$$f_1 = b'(a+c') + a'b$$

$$f_2 = b'c' + cc' + bc + bb' + a'b = (b'+c)(b+c') + a'b$$

$$f_3 = a'(b'c) + b(a+c') = a'(b+c')' + b(a+c')$$

회로로 구현



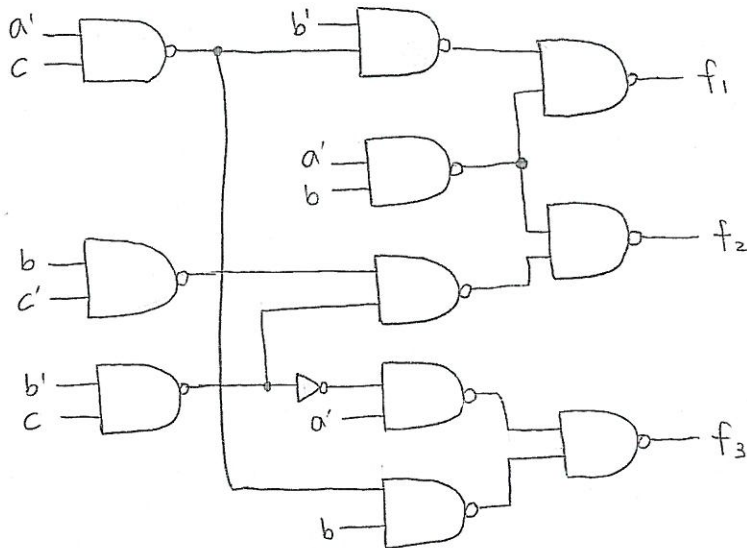
각출력 게이트가 OR

→ NAND 게이트로 바로 변환하기

결과 \Rightarrow 인버터만을 이용하여 2개의 입력을 갖는 NAND 게이트로 변환하기

tb_elec_engineer@naver.com

Gm

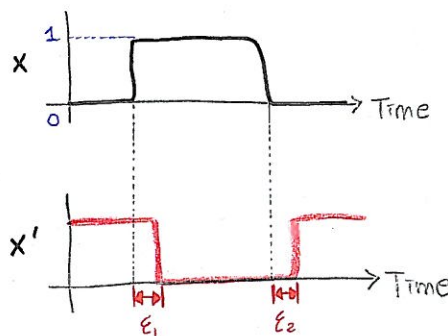
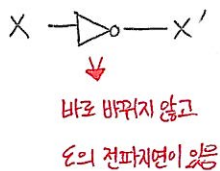


8.3 게이트 지연 (=전파지연) 과 타이밍도 (= 시간 다이어그램)

논리게이트에 입력이 변할 때, 출력은 바로 변하지 않고 "게이트 지연" 이 있다

예제 1) 인버터에 대한 입출력 파형 (타이밍도) 살펴보기

Δ 의 전파지연을 가진다고 가정



인버터를 지나면 1은 0으로
0은 1로 바뀌는데

ϵ_1 과 ϵ_2 의 시간지연 후 바뀐다.

ϵ_1 과 ϵ_2 는 같을 수도, 다를 수도 있다

Gm

예제 2) 두 게이트를 갖는 회로의 타이밍도 살펴 보기

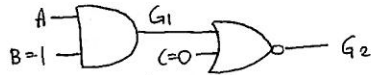
각 게이트가 20ns의 전파지연을 갖는다고 가정

(설정) 입력 A는 $t=40\text{ns}$ 에서 1로 변화하고 $t=100\text{ns}$ 에서 0으로 다시 돌아옴

입력 B = 1

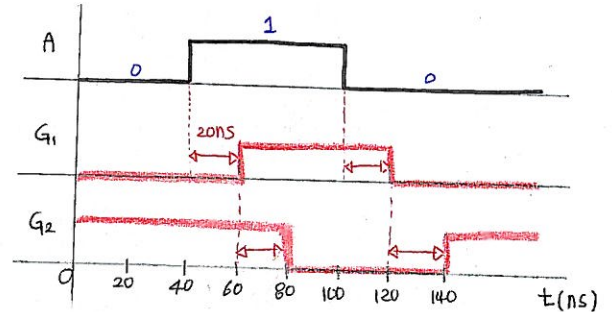
입력 C = 0

G_1 과 G_2 게이트의 출력 타이밍도 살펴보기



⇒ G_1 게이트 : A와 B가 AND 게이트로 연결됨
 ∴ 둘다 1일 때 G_1 게이트의 출력이 1이다

G_2 게이트 : G_1 과 C가 NOR 게이트로 연결됨
 ∴ 둘다 0일 때 G_2 게이트의 출력이 1이다



각 게이트가 20ns의 전파지연을 가지므로

A와 비교하여 G_1 은 20ns의 전파지연을

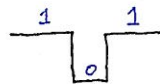
G_2 는 40ns의 전파지연을 갖는다.

8.4 조합논리의 해저드

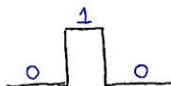
해저드란? 조합회로의 입력이 변할 때, 입력으로부터 출력까지 다른 경로가 다른 전파지연을 가져 일어나는 원치않는 스위치 과도현상

해저드의 종류

① 정적 1-해저드 : 회로 출력이 상수 1을 유지하다가 중간에 순간적으로 0으로 바뀌는 경우



② 정적 0-해저드 : 회로 출력이 상수 0을 유지하다가 중간에 순간적으로 1로 바뀌는 경우



③ 동적 해저드 : 값이 계속 바뀌는 경우



예제 1) 1-해저드를 갖는 경우

(설정) 주어진 회로에 대해

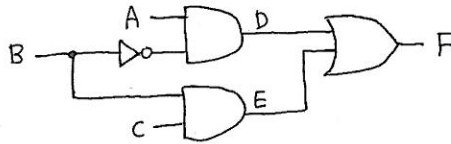
tb_elec_engineer@naver.com

$$A=C=1$$

(gm)

B는 20ns에서 1→0 바뀌기

각 게이트는 10ns의 전파지연을 가짐

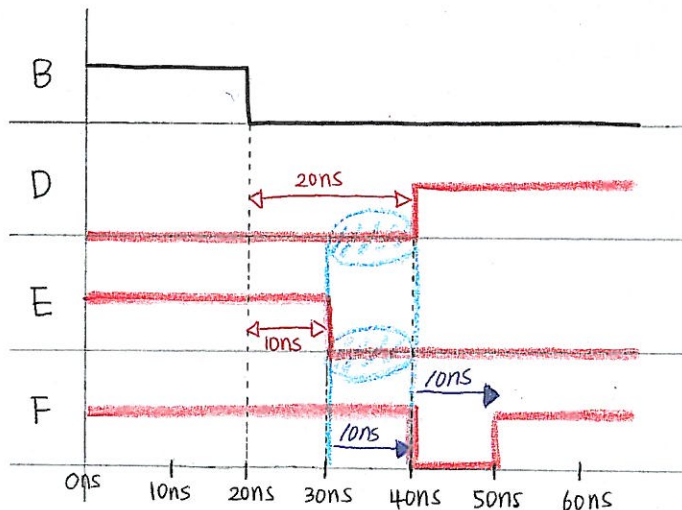


$$F = AB' + BC$$

sol) $A=C=1$ 이므로 $F = B' + B = 1$

∴ 출력 F는 상수 1로 유지해야 한다

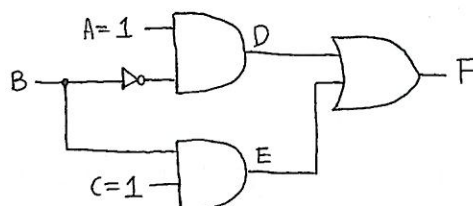
회로의 타이밍도 살펴보기



⇒ 30ns ~ 40ns 에 D와 E가 모두 0

F가 10ns의 전파지연을 가져 40ns ~ 50ns에

"1-해저드 발생"



D: 인버터와 AND 게이트로 20ns의 전파지연을 가짐

A=1로 고정되어 있어 B'의 변화가 D 게이트 출력이 됨

E: AND 게이트로 10ns 전파지연을 가짐

C=1로 고정되어 있어 B의 변화가 E 게이트 출력이 됨

F: OR 게이트로 10ns 전파지연을 가짐

OR 게이트임으로 D와 E 중 하나가 1이면 1

해저드 제거하기

tb_elec_engineer@naver.com

예제 1 식 $\rightarrow F = AB' + BC$

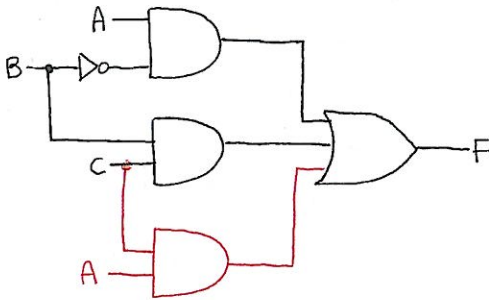
gm

BC \ A	0		1	
	0	1		
00	0	1	1	AB'
01	0	1		
11	1	1	1	BC
10	0	0		

AC 여분의 항 만들기 (합의 정리를 이용)

\therefore 해저드가 제거된 회로

$$F = AB' + BC + AC$$



예제 2) 0-해저드를 갖는 경우

tb_elec_engineer@naver.com

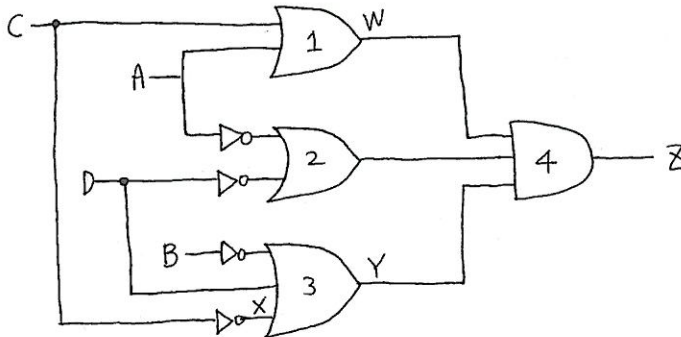
(gm)

(설정) 주어진 회로에 대해

$A=0, B=1, D=0$

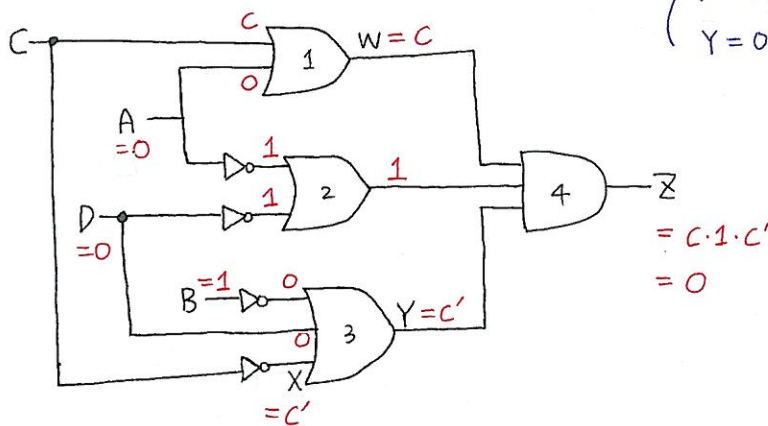
C가 5ns에서 $0 \rightarrow 1$ 바뀜

인버터는 3ns, AND/OR 게이트는 5ns의 전파지연을 가짐



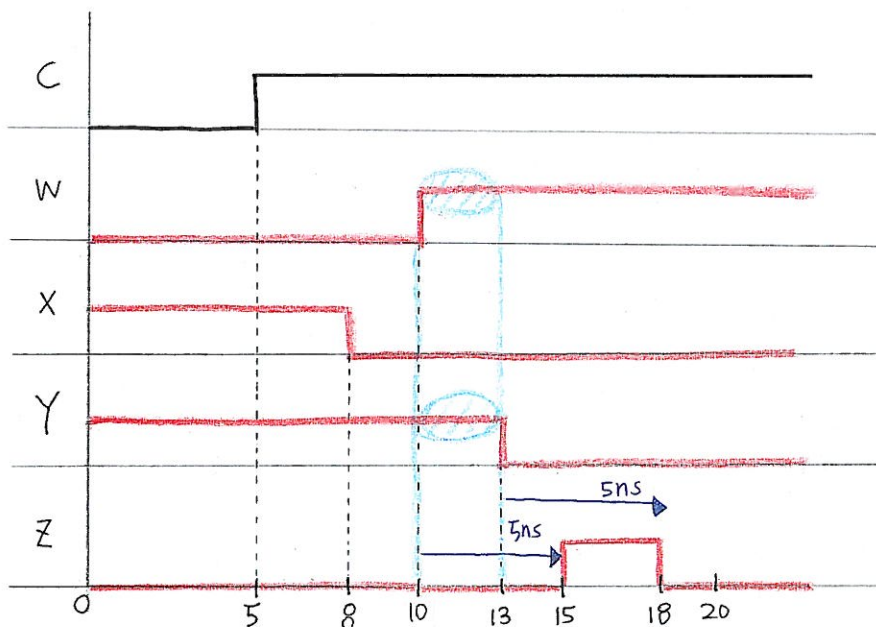
$$F = (A+C)(A'+D')(B'+C'+D)$$

sol) 설정된 내용에 근거하여 회로 분석하기



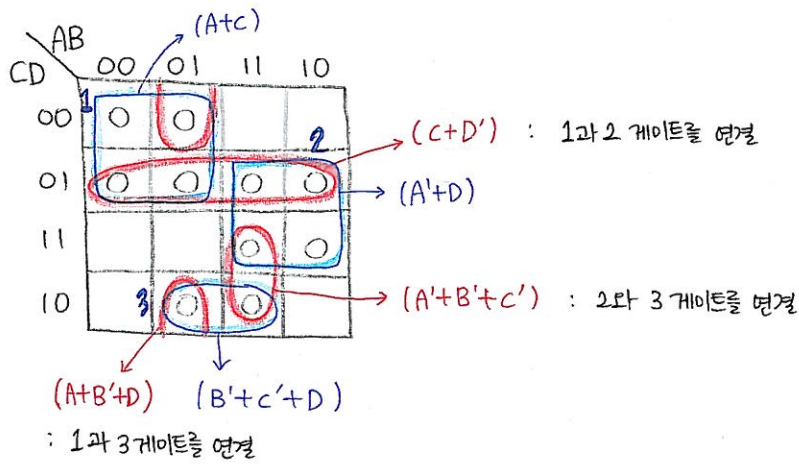
$$\begin{cases} W = C + 0 = C \\ Y = 0 + 0 + C' = C' \end{cases}$$

$$\begin{aligned} Z &= C \cdot 1 \cdot C' \\ &= 0 \end{aligned}$$



⇒ 10ns ~ 13ns에서
W와 Y가 모두 1
Z가 5ns의 전파지연을 가져
15ns ~ 18ns에서
"0-해저드 발생"

예제 2 식 $\rightarrow F = (A+C)(A'+D)(B'+C'+D)$



해저드가 제거된 회로

$$F = (A+C)(A'+D)(B'+C'+D)(C+D')(A+B'+D)(A'+B'+C')$$

