

Chapter 11. 래치와 플립플롭

11.1 개요

순서회로란? 현재입력과 과거입력에 대한 출력을 갖는 회로

조합회로에 기억소자를 연결하면 '순서회로'가 됨

기억소자로 '래치'와 '플립플롭'을 사용

기억소자 ① 래치 : 클럭 입력을 가지지 않는 기억소자

종류 { SR 래치 (11.2)
D 래치 (11.3)

② 플립플롭 : 클럭 입력을 가져 클럭 입력에 반응하여 출력의 상태를 바꾸는 기억소자

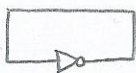
종류 { 에지트리거 D 플립플롭 (11.4)
S-R 플립플롭 (11.5)
J-K 플립플롭 (11.6)
T 플립플롭 (11.7)
MASTER-SLAVE 플립플롭

⇒ 래치나 플립플롭 등 기억소자를 가지는 회로를 구성하기 위해서는 회로에 커환 (Feedback) 을 가져야 한다.

커환 (Feedback) 이란? 되먹임, 쉽게 말해 다시 들어오는 것!

게이트의 어떤 출력이 회로 내 다른 게이트의 입력으로 다시 연결되는 것

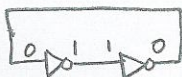
예 1)



인버터 입력에 0 이 들어감 → 인버터를 통과하여 출력이 1 이 됨
→ 출력 1 이 다시 입력으로 들어감 → 출력이 0 이 됨

0 → 1 → 0 → 1 이 반복된다 ⇒ "안정된 상태에 이르지 못하게 된다"

예 2)



첫번째 인버터의 입력이 0 이면 출력이 1 이 됨 → 두번째 인버터의 입력은 1 이고 출력은 0 이 됨 → 두번째 인버터의 출력 0 이 첫번째 인버터의 입력으로 다시 들어감 → 이미 입력이 0 인 상태로 변화가 일어나지 않음

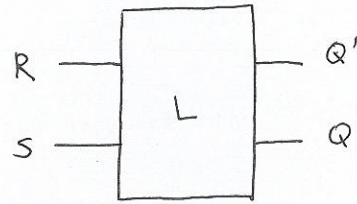
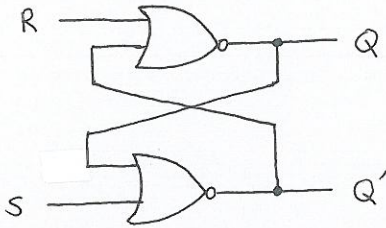
⇒ "이 회로는 안정상태에 있다"

11.2 셋-리셋 래치

셋-리셋 래치 (set-Reset Latch) \Rightarrow S-R Latch or R-S Latch

중요

NOR 게이트를 활용한 S-R 래치

NAND 게이트를 활용한 \bar{S} - \bar{R} 래치

전리표	R	S	Q	Q ⁺
	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	1
	1	0	0	0
	1	0	1	0
	1	1	0	x
	1	1	1	x

Q: 현재상태

Q⁺: 다음상태 \Rightarrow 입력 R, S 와 현재출력 Q에 의해다음출력 Q⁺가 결정된다S=1 이면 Q⁺=1R=1 이면 Q⁺=0S=R=0 이면 Q⁺=Q

⊗ S=1 은 출력 Q=1로 셋 (set)

R=1 은 출력 Q=0으로 리셋 (reset)

R과 S가 동시에 1이 될 수

없다는 제한이 있을 때

이 회로를 셋-리셋 (S-R) 래치

로 부름.

카노맵

S\R	0	1
00	0	0
01	1	0
11	1	x
10	1	x

$$Q^+ = S + R'Q$$

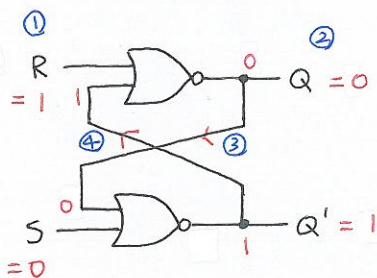
: 조합회로와 다른 SR 래치의 특징

 \Rightarrow '차기상태식'

다음출력을 결정하는 부울대수식에 현재출력이 들어감

'특정식' 이라고 함

⊕ SR 래치 회로 보논법



① R=1, S=0 입력 하면 Q=0, Q'=1 이 출력됨 (①, ②)

② 출력 Q=0 값이 다시 입력 S가 연결된 게이트에
입력으로 들어감 (③)

③ 0, 0 이 입력되고 NOR 게이트에 의해 1이 출력

④ 출력된 1 이 R이 입력된 게이트에 들어감 (④)

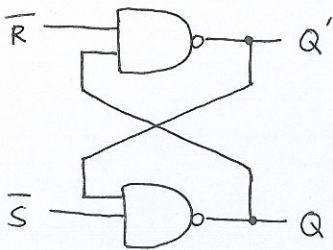
⑤ 1, 1 이 입력되고 NOR 게이트에 의해 0이 출력

⑥ Q=0 이 되고 위 과정이 계속 반복된다

래치 동작의 기본 규칙'을 위반

$S=R=1$ 이면 $Q=???$

NAND 게이트를 활용한 $\overline{S}\text{-}\overline{R}$ 래치



\bar{S}	\bar{R}	Q	Q^+
1	1	0	0
1	1	1	1
1	0	0	0
1	0	1	0
0	1	0	1
0	1	1	1
0	0	0	x
0	0	1	x

$$\bar{R}=0 \text{ 이면 } Q=0$$

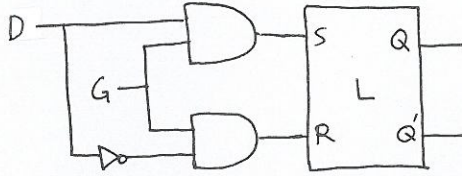
↳ 허용되지 않은
입력

11.3 게이트형 D 래치

tb_elec_engineer@naver.com

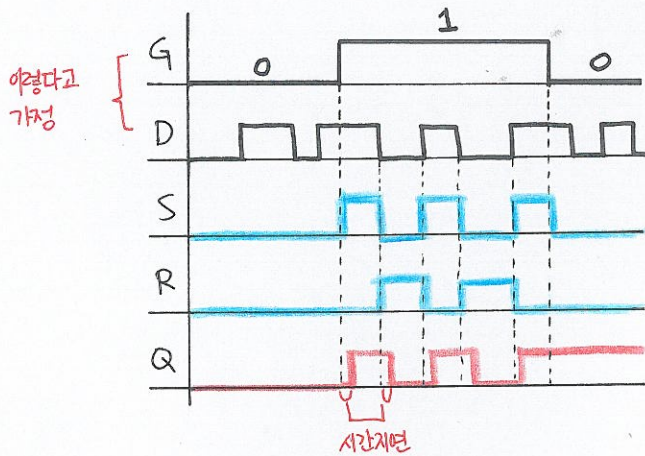
gm

회로



SR 래치 앞에 AND 게이트가 있고

입력 D와 SR 래치 동작을 제어해주는 G 입력으로 구성됨



$G=0$ 이면 $S=R=0 \rightarrow G=1, D=1$ 이면 $S=1, R=0$

$\rightarrow G=1, D=0$ 이면 $S=0, R=1$ (반복)

$S=R=0$ 이면 $Q=0 \rightarrow S=1$ 이면 $Q=1 \rightarrow R=1$ 이면 $Q=0$ (반복)

$\Rightarrow G=0$ 이면 $S=R=0 \therefore Q$ 가 이전값 유지

$G=1$ 이면 Q 는 D 를 따라감

진리표

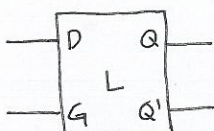
G	D	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

카노맵으로 표현

		G	
		0	1
D	0	0	0
	1	1	0
Q	0	1	1
	1	0	1

$$Q^+ = G'Q + GD$$

심볼

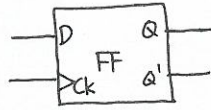


11.4 에지트리거 D 플러플롭 (D FF/F)

⊗ 플러플롭은 클럭 압력을 가져 클럭 입력에 반응하여 출력의 상태를 바꾸는 게이트소자이다

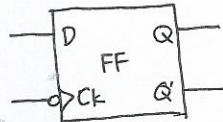
D 플러플롭 종류

상승 에지트리거



클럭입력이 0 → 1 이 될 때

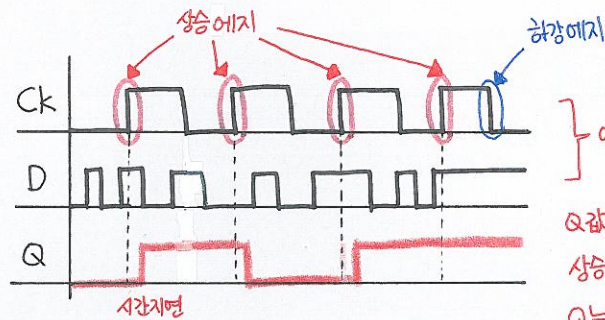
하강 에지트리거



클럭입력이 1 → 0 이 될 때

D 플러플롭의 타이밍도

(상승에지트리거)



Q값이 0 부터 시작한다고 가정

상승에지를 만날 때 D=1 → 다음 상승에지를 만나기 전까지 Q는 1을 유지

→ 다음 상승에지에서 D=0 ∴ Q는 0 이 되어 계속유지

→ 다음 상승에지에서 D=1 ∴ Q는 1을 유지

∴ 에지에서만 D값에 따라 Q값이 변함

진리표

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

Q: 에지에서서의 Q값

Q⁺: 다음에지에서의 Q값

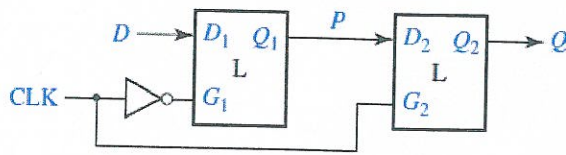
$$\therefore Q^+ = D$$

에지트리거 D 플러플롭의 내부구조

→ 게이트형 D 래치 2개를 붙여만든다

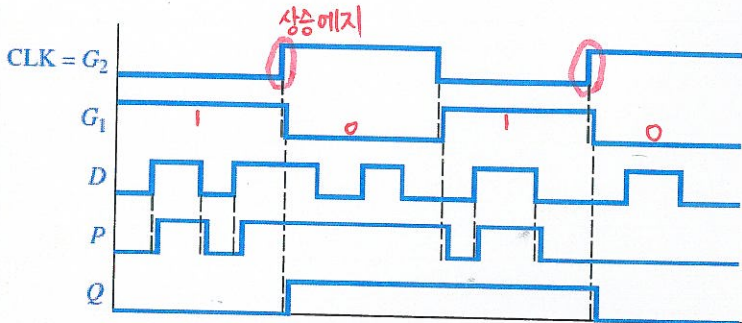
⇒ 동작

내부구조



(a) Construction from two gated D latches

타이밍도



(b) Timing analysis

⇒ 분석 : G_1 은 CLK을 반전시킨 것
 G_2 는 CLK 입력과 같음
 $G_1=1$ 인 경우에는 D 값은 그대로 Q_1 으로 전달됨
 $G_2=1$ 인 경우에는 P 값이 그대로 Q_2 로 전달됨

(b) 타이밍도 분석하기

⇒ $G_1=1$ 인 구간에서는 $D=P$

$G_1=0$ 인 구간에서는 이전의 P 값 그대로 유지

$G_2=0$ 인 구간에서는 Q 값이 그대로 유지 (Q가 0에서 시작한다고 가정함)

$G_2=1$ 인 구간에서는 $P=Q$

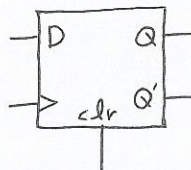
∴ 상승에지에서 D 값이 그대로 Q 값으로 입력됨

⊗ 메지트라거 D 플립플롭에서 CLK 이외의 추가입력들

리셋 = 클리어 (clr) : clr=0 이면 Q 값을 0으로 보냄
 프리셋 : pre=0 이면 Q 값을 1로 보냄

목적 : FF 초기화위해

리셋 심볼



리셋 과 프리셋 신호의 종류 2가지

① 저레벨활성 (active-low) : 리셋, 프리셋 입력이 0 일 때 → 반전표시 0 을 붙여서 표시함

② 고레벨활성 (active-high) : 리셋, 프리셋 입력이 1 일 때

gm

클리어와 프리셋을 가진 D 플립플롭

진리표

Ck	D	PreN	ClrN	Q ⁺
x	x	0	0	(not allowed)
x	x	0	1	1
x	x	1	0	0
↑	0	1	1	0
↑	1	1	1	1
0,1,↓	x	1	1	Q (no change)

클리어 (Clr) = 0 → 플립플롭의 출력 Q = 0

프리셋 (Pre) = 0 → 플립플롭의 출력 Q = 1

* 클리어와 프리셋은 출력이나 D 입력보다 우선시한다

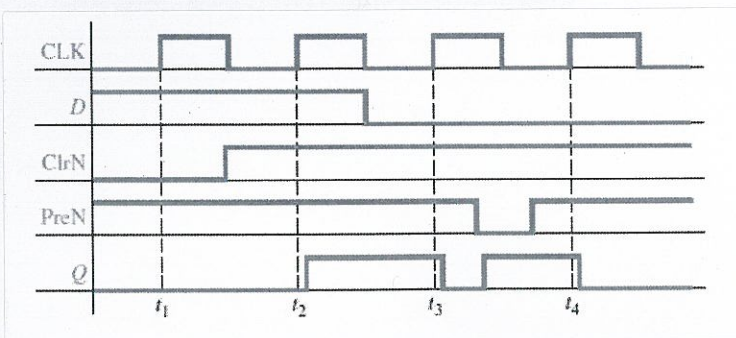
∴ Clr = 0 이면 출력이나 D 입력과 상관없이 Q = 0 이된다.

Clr 과 Pre 에 동시에 0이 가해지는 경우는 허용되지 않는다.

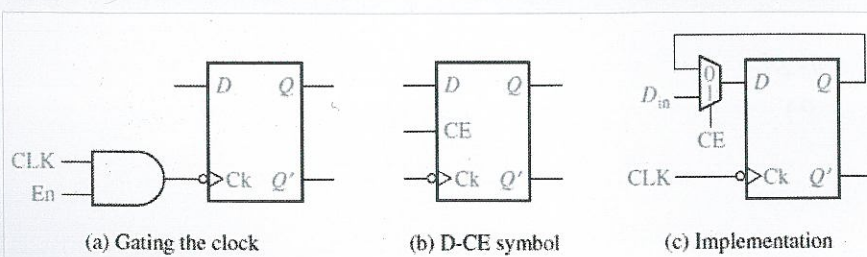
Clr 과 Pre 가 동시에 1일 때는 Ck의 상승에지에서의 D 값이 Q가 된다.

그 외에 Clr 과 Pre 가 동시에 1 인데 Ck가 0, 1, 하강에지일 경우 Q⁺ = Q가 된다.

타이밍도



Clock enable (클럭 인에이블) = D-CE 플립플롭 : 클럭을 무시하고 싶을 때

CE = 0 이면 클럭을 무시하여 Q⁺ = QCE = 1 이면 정상동작하여 Q⁺ = D

$$\therefore Q^+ = Q \cdot CE' + D \cdot CE$$

플립플롭의 입력이 변하더라도 이전의 데이터를 그대로 유지하고자 할 때

(a) 클럭을 게이트화 하는 방법 (b) (a)의 문제점을 보완한 D-CE 플립플롭

(c) D-CE 플립플롭을 D 플립플롭과 멀티플렉서로 구현한 것

11.5 S-R 플립플롭 → 잘사용 X

tb_elec_engineer@naver.com

$S=1$ 이면 $Q^+=1$

$R=1$ 이면 $Q^+=0$ ⇒ S-R 래치와 같음

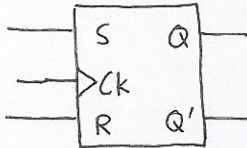
$S=R=0$ 이면 $Q^+=Q$

$S=R=1$ 은 허용되지 않음

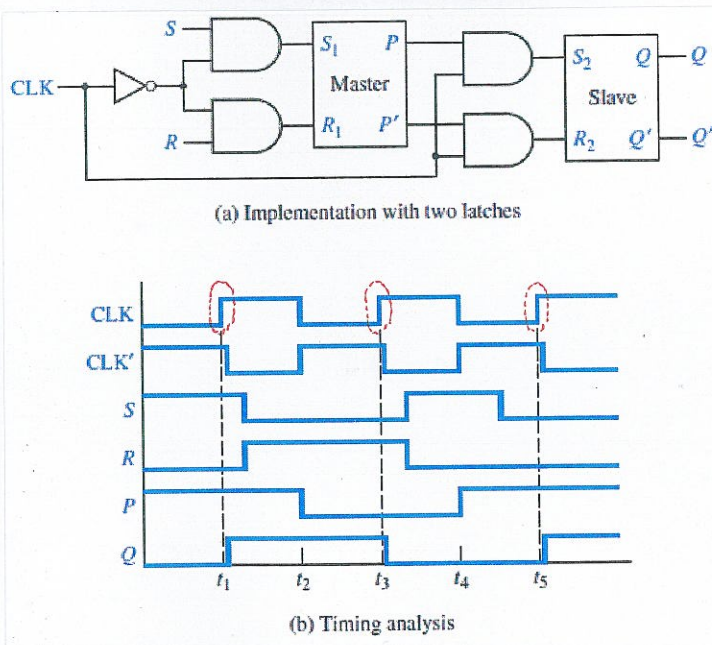
S-R 래치와 차이점은 플립플롭은 클럭입력을 가지고 상승에지에서 동작한다.

gm

심볼



두 개의 S-R 래치들로 구성된 S-R 플립플롭 = 마스터-슬레이브 플립플롭



t_1 에서 $S=1$ 이므로 $Q=1$ 로 바뀐다

다음 상승에지까지 $Q=1$ 로 유지하다

t_3 에서 $R=1$ 이므로 $Q=0$ 으로 바뀐다

다음상승에지 t_5 에서 $S=R=0$ 이므로 $Q^+=Q$ ∴ $Q=0$ 을 계속유지해야한다

→ S-R 플립플롭의 특성으로 S, R 입력이 $Clk=1$ 일 때만 변할 수 있도록 하면 해결가능하다

11.6 J-K 플립플롭

S-R 플립플롭의 확장 $\rightarrow \therefore$ S-R 플립플롭을 잘 안쓰는 것

J 입력이 S, K 입력이 R 에 비유된다.

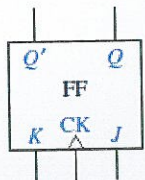
$\therefore J=1$ 이면 $Q^+=1$

$K=1$ 이면 $Q^+=0$

$J=K=0$ 이면 $Q^+=Q$

$J=K=1$ 이면 $Q^+=Q'$ $\rightarrow J=K=1$ 이 컸음이라는 것이
S-R 플립플롭과의 차이점이다

진리표



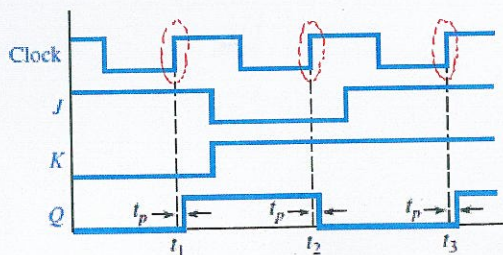
(a) J-K flip-flop

J	K	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$Q^+ = JQ' + K'Q$$

(b) Truth table and characteristic equation

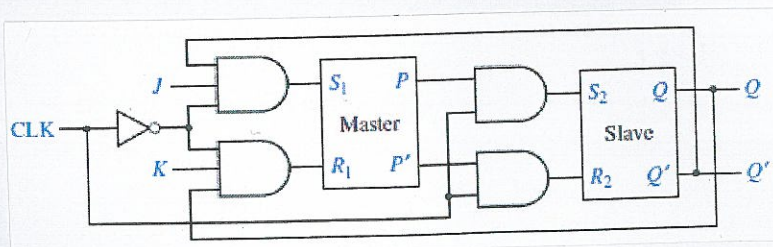
타이밍도



(c) J-K flip-flop timing

상승메지에서 Q가 변함

J-K 플립플롭을 구성하는 방법 : 두 개의 S-R 래치를 마스터-슬레이브로 연결하는 것



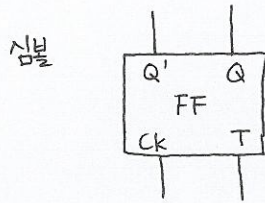
11.7 T 플립플롭 = 토글 플립플롭

gm

카운터 (12개) 을 구성하는 데 자주 사용됨

$T=0$ 이면 $Q^+ = Q$

$T=1$ 이면 $Q^+ = Q'$

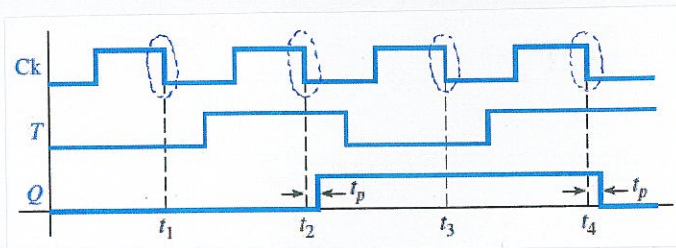


진리표

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

$$Q^+ = T'Q + TQ'$$

타이밍도



하강에지에서 Q가 변함

T 플립플롭을 구성하는 방법

- ① 두 입력 J, K 를 하나로 묶기 : (a) 그림
- ② D 플립플롭과 XOR 게이트를 사용하기 : (b) 그림

