

Sumário

1.	ARQUITETURA DA FAMÍLIA 8086.....	1
1.1	Distribuição funcional.....	1
1.2	Microprocessadores.....	2
1.3	Controle de interrupção 8259A.....	3
1.4	Componentes da interface de barramento	4
1.5	Multiprocessamento	4
1.6	Organização do barramento.....	5
1.7	Módulos de processamento.....	6
2.	UNIDADES CENTRAIS DE PROCESAMENTO 8086 E 8088	7

1. ARQUITETURA DA FAMÍLIA 8086

Considerados individualmente, o 8086, 8088 e 8089 são microprocessadores de terceira-geração.

Além disso, esses processadores são elementos de uma linha de produtos maior, a família 8086.

A arquitetura da família 8086 é caracterizada em três princípios principais:

1. Funções de sistema são distribuídas entre componentes especializados.
2. Capacidade de multiprocessamento são herdadas no hardware.
3. Uma organização de barramento hierárquica provê complexos fluxo de dados requeridos por sistemas de alta performance sem sobrecarregar sistemas mais simples com capacidades desnecessárias.

1.1 Distribuição funcional:

A seguinte lista contém os componentes que constituem a família de microprocessadores 8086.

Microprocessador	Descrição
8086 Unidade de processamento central (CPU)	- Microprocessador de propósito-geral de 8/16 bits; - Caminho de dados externo de 16-bits.

8088 Unidade de processamento central (CPU)	- Microprocessador de propósito-geral de 8/16 bits; - Caminho de dados externo de 8-bits.
8089 Processador de Entrada/Saída (IOP)	- Microprocessador otimizado para operação de E/S de alta-velocidade de 8/16 bits; - Caminho de dados externo de 16-bits e 8-bits.

Componentes de suporte	Funções
Octal Bus Transceiver 8286 Octal Bus Transceiver (Inverting) 8287	Aumenta drive no barramento de dados.
Controlador de interrupções programável 8259A (PIC)	Identifica requerimentos de interrupção de alta-prioridade.
8282 Octal Latch 8283 Octal Latch (Inverting)	Demultiplexa (distribui informações de uma única entrada para uma das diversas saídas) e aumenta drive de endereço de barramento .
Gerador de Clock e Driver 8284	Provê base de tempo
Controlador de barramento 8288	Gera sinais de comando de barramento
Arbitro de barramento 8289	Controla o acesso de microprocessadores a barramentos de sistemas multimaster

1.2 Microprocessadores

- Velocidade de operação de 5MHz (200ns de tempo de ciclo); uma versão de 8MHz da CPU 8086 também está disponível;
- Processadores operam em ambos 8 e 16 bits de tipos de dados; caminhos de dados interno são no mínimo de 16 bits de largura;
- 1 megabyte de memória pode ser endereçado, juntamente com um espaço de E/S de 64k bytes.
- O endereço/dado e status de interface dos processadores são compatíveis (o endereço e barramentos de dados são multiplexados em tempo no processador,

uma transmissão de endereço é seguida por uma transmissão de dados **over a subset** da mesma linhas físicas).

8088 – Transfere dados entre ele mesmo e outros componentes do sistemas 8-bits por vez.

8086 – Transfere 8 ou 16-bits em um ciclo de barramento e é portanto, capaz de maior **throughput**.

8088 e 8086 possuem dois modos operacionais:

- **Modo mínimo:** CPUs emitem os sinais de controle de barramento necessário à memória e componentes periféricos de E/S.
- **Modo máximo:** O controlador de barramento 8288 assume responsabilidade por controlares os dispositivos conectados ao sistema de barramento. Os pins da CPU não são mais necessários para o controle de barramento e são então redefinidos para prover sinais de suporte a sistemas de multiprocessamento.

8089

- Microprocessador independente otimizado para transferência de dados.
- É tipicamente executado sob a direção de uma CPU, mas executa uma instrução separada e pode operar em paralelo com outros sistemas de processamento.
- Contém dois canais de E/S independentes que combinam atributos de ambas as CPUs e controladores de DMA (acesso direto à memória) avançados.
- Pode transferir dados por DMA, a velocidade de 1.25 MB por segundos (versão de 5MHz).
- Os canais podem suportar misturas de dispositivos de E/S e memória de 8 e 16-bits.
- Combinando velocidade com inteligência programável, o 8089 pode assumir o **bulk** do processamento de E/S overhead e deixar a CPU livre para executar outras tarefas.

1.3 Controle de interrupção 8259A

- Aceita requerimentos de interrupção de oito fontes; mas até 64 podem ser acomodadas por adicionais 8259As em cascata.
- Identificando continuamente a solicitação de interrupção ativa de mais alta prioridade.
- Gerando uma solicitação de interrupção à CPU se a solicitação tem prioridade maior que a atual solicitação que está sendo processada.
- Quando a CPU reconhece a solicitação de interrupção, o 8259^a transfere o código à CPU que identifica a fonte da interrupção.

1.4 Componentes da interface de barramento

Exceto pelo 8284, todos os componentes são opcionais.

1.4. Octal Latches 8282 ou 8283:

- Podem ser adicionadas ao sistemas para demultiplexar os combinados endereços/dados de barramento gerados pela família de microprocessadores 8086.
- Um barramento demultiplexado fornece endereços estáveis e linhas de dados separados requeridos por muitos componentes periféricos.

1.4.2 Octal Bus Transceivers 8286 ou 8287:

- Provem mais drive em linhas de dados que os processadores.

1.4.3 Controlar de Barramento 8288:

- Decodifica status de sinais que saem do 8089 ou um modo máximo do 8086/8088.
- Quando os sinais indicam que o processador está pronto para executar um ciclo de barramento, o 8288 identifica o ciclo de barramento (leitura ou escrita de memória, leitura ou escrita de E/S, etc.)

1.4.4 Arbitro de Barramento 8289:

- Controla o acesso do processador a um sistema de barramento multimaster.

Barramento multimaster: caminho para fontes de sistemas, como memória, que é compartilhado por dois ou mais microprocessadores (masters).

1.5 Multiprocessamento

Vantagens do uso de múltiplos processadores em sistema de médio e grande porte:

- Tarefas de sistemas podem ser alocadas para processadores de propósito específico que foram otimizados para executar certas tarefas de maneira mais eficiente.
- Processamento paralelo.
- Robustez é aumentada por isolar funções de sistema, então um erro/falha numa parte do sistema tem efeito limitado no resto do sistema.
- Promove o desenvolvimento paralelo de subsistemas, quebrando a aplicação em tarefas menores, ajudando assim a isolar o efeito de modificações no sistema.

A arquitetura suporta dois tipos de processadores:

1.5.1 Processador independente: Executa sua própria instrução.

- 8086 e 8088: Executam um programa em resposta a uma interrupção.

- 8089: Inicia seu canal em resposta a uma interrupção como sinal chamada **channel attention**; o sinal é tipicamente **issued** por uma CPU.

1.5.2 Coprocessador: obtém suas instruções de outro processador, chamado host. Em efeito, estende o **instruction set** do processador host.

1.5.3 Arbitragem do barramento pode ser definida por:

- Uma lógica de solicitação de barramento do processador
- Arbitro de barramento 8289
- Combinação dos dois métodos quando os processador tem de acessar múltiplos barramentos compartilhados.

1.5.4 Mútua exclusão:

- Cada processador tem um sinal de LOCK na qual o programa pode ativar para prevenir outros processadores de obter um barramento de sistema compartilhado.
- Cada processador tem uma instrução que examina e atualiza um byte de memória com o barramento bloqueado. Tal instrução pode ser usada para implementar um mecanismo de semáforo para controlar o acesso de múltiplos processadores a recursos compartilhados.

1.6 Organização do barramento

Microprocessadores são conectados ao barramento local, enquanto memória e componentes de E/S residem no barramento de sistema.

1.6.1 Barramento local: Como memória e componentes de E/S são estão conectados, a informação pode ser multiplexada e **encoded** para fazer um uso eficiente dos pinos do processador

Processadores conectados ao mesmo barramento local são ditos **locais**.

Processadores em diferentes barramento local são ditos **remotos**.

Um chip de logica de arbitragem determina qual processador controla o barramento.

Por conta dos processadores no barramento local compartilharem os mesmos componentes de interface de barramento, a configuração local de múltiplos processadores provê um compacto e não tão caro sistema de multiprocessamento.

1.6.2 Barramento de sistema:

Uma implementação de uma barramento de sistema completo consiste em 5 sinais:

- Endereço de barramento;
- Dados de barramento;
- Linhas de controle;
- Linhas de interrupção;
- Linhas de arbitragem.

Endereço e dados de barramento são demultiplexados e **sinais de controle** (leitura-escrita de E/S e memória, etc.) são providos pelo sistema de barramento.

Linhas de arbitragem não são necessárias em sistemas de um único processador ou em sistemas de múltiplos processadores que possuem arbitragem no nível de barramento local.

Um **grupo de componentes de interface de barramento** transforma os sinais do barramento local em barramento de sistema.

1.7 Módulos de processamento

- Processadores, grupos de interface de barramento conectados a um barramento local constituem um módulo de processamento.

- Todos os processadores no barramento local obtêm acesso ao barramento de sistema por meio de um único grupo de componentes de interface.

- Um grupo de interface de barramento tipicamente conecta os processadores do módulo a um sistema de barramento público.
- Se existem múltiplos módulos de processamento no sistema, toda memória ou E/S conectada ao barramento público é acessível para todos os módulos neste barramento público. Assim, o 8289 de cada módulo controla o acesso dos módulos ao barramento público.
- Um **segundo grupo de interface de barramento** pode ser conectado ao barramento local de um módulo, gerando um segundo barramento. Este pode prover ao módulo um **espaço de endereço privado** que não é acessível a outros módulos. Tal distribuição de recursos de memória e E/S pode aumentar a robustez do sistema, ao isolar os efeitos de falhas.
- **Adicionar um segundo 8288** ao barramento local permite um 8086/8088 no módulo **dividir seu espaço de endereço em sistema e seções residentes**. Um **PROM ou decoder** é usado para direcionar uma referência de endereço ao barramento de sistema ou barramento residente. O uso do barramento residente permite a CPU executar seu próprio espaço de endereço para minimizar o uso do barramento de sistema.

Exemplo de um projeto multimaster:

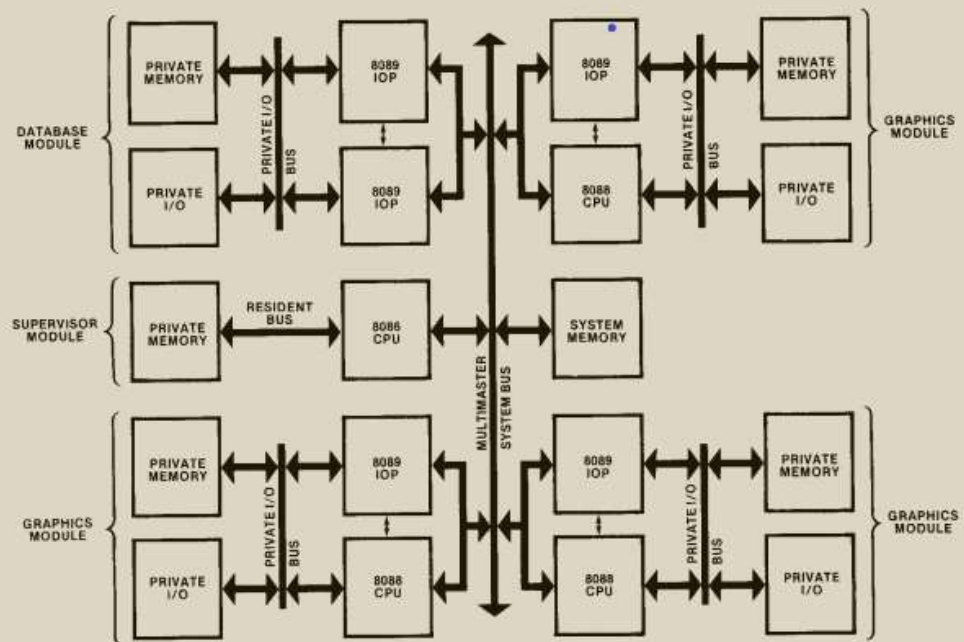


Figure 1-8. Multimaster Design Example

2. UNIDADES CENTRAIS DE PROCESAMENTO 8086 E 8088