

## **AC Test 2: temas 3 y 4**

**1. Un cierto procesador GPR soporta modo de ejecución Registro-Memoria. Los operandos de memoria pueden tener modo de direccionamiento directo o absoluto a memoria e indirecto a memoria. Suponer que solo permite un formato para las instrucciones y suponer que los modos de direccionamiento son ortogonales respecto al código de operación.**

- a. Como es un procesador GPR, el formato de la instrucción solo puede contener las direcciones de los registros.
- b. El formato de la instrucción debe contener un campo para especificar el modo de direccionamiento.
- c. **No es necesario especificar explícitamente en la instrucción los modos de direccionamiento ya que son ortogonales.**

### **2. Sobre los modos de direccionamiento**

- a. El modo de direccionamiento inmediato o literal suele ser utilizado para el acceso a variables locales
- b. Los estudios de utilización del modo de direccionamiento desplazamiento indican que los desplazamientos utilizados suelen ser muy pequeños, siendo posible codificar la mayoría de los casos mediante la utilización de 8 bits
- c. **El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de direccionamiento. Los modos de direccionamiento reducen el RI pero complican la implementación pudiendo incrementar el CPI medio** (T3, transp. 30 y 31)

**3. Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:**

**L\_1:sub \$s1, \$s2, \$s3**

**L\_2:and \$s2, \$s3, \$s1**

**L\_3: sw \$s2, 24(\$s1)**

**Si hay forwarding, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?**

- a. 9 ciclos de reloj.
- b. 7 ciclos de reloj.
- c. 8 ciclos de reloj.

### **4. Sobre la arquitectura como objeto del compilador**

- a. **La mayoría de instrucciones ejecutadas son salida de un compilador. La arquitectura a nivel lenguaje máquina es un objeto del compilador** (T3, transp. 60)
- b. El coloreado de grafos es un algoritmo para la ubicación de variables en registros. Este algoritmo mejora su rendimiento cuando la CPU dispone de pocos registros de propósito general disponibles
- c. La generación de código por parte de los compiladores sigue una serie de pasos de optimización cuyo efecto inmediato es el incremento del recuento de instrucciones

### **5. ¿Qué problemas surgen al segmentar una máquina MIPS partiendo de la original multiciclo?**

- a. **Nos encontramos con un riesgo estructural en el banco de registros con las operaciones de carga y almacenamiento**
- b. Siempre, con todas las operaciones nos encontramos con un riesgo estructural si tenemos una sola memoria para datos e instrucciones
- c. El sistema de memoria debe proporcionar un ancho de banda cinco veces mayor al de la máquina original

**6. Indica las ventajas de las arquitecturas que utilizan operandos Memoria-Memoria**

- a. Se destruye un operando fuente
- b. El código es más compacto** (T3, transp. 19)
- c. Las instrucciones emplean números de ciclos similares para ejecutarse

**7. Sobre el concepto de segmentación. Indica la respuesta NO correcta**

- a. La segmentación es una de las claves que permite aumentar el rendimiento en los computadores pero que no afecta a la productividad** (T4 (I), transp. 6)
- b. En la segmentación se opera de forma serie para una tarea determinada
- c. La ejecución de una tarea se divide en etapas, cada elemento de procesamiento se especializa en realizar una subtarea concreta

**8. Considerar que vamos a diseñar una máquina segmentada a partir de una máquina multiciclo con 5 pasos de ejecución cuyas duraciones son 20ns, 45ns, 30ns, 11ns y 52ns. Suponed que el tiempo dedicado en actualizar los registros intermedios es 2ns. ¿Cuál será el ciclo de reloj de la máquina segmentada (expresad el resultado en ns)?**

Respuesta: **54 ns** (T4 (II), transp. 45 y ejemplo transp. 47 visto en clase en un documento Excel)

-Pasos de ejecución: 20ns, 45ns, 30ns, 11ns, 52ns

-El tiempo del ciclo de reloj (CLK) debe ser el tiempo de la etapa más larga (52ns) + tiempo de actualización (2ns) = 54ns

-CLK =  $\max(\text{duración\_etapas}) + \text{tiempo\_actualización\_registros} = 52 + 2 = 54\text{ns}$

**9. Sobre las formas de especificar la condición del salto. Elige la respuesta correcta**

- a. Cuando está incluida la condición en el salto, el trabajo que tiene que realizar la máquina para ejecutar la instrucción puede ser demasiado** (T3, transp. 57)
- b. Cuando se utiliza un registro de condición, se reduce el recuento de instrucciones
- c. Cuando se utiliza un código de condición, las comparaciones nunca pueden eliminarse

**10. Sobre los tipos de operaciones del repertorio**

- a. Las arquitecturas RISC suelen proporcionar instrucciones para operar con cadenas, datos decimales y gráficos
- b. Las instrucciones utilizadas más extensamente de un conjunto de instrucciones son las operaciones complejas
- c. Las arquitecturas RISC suelen proporcionar instrucciones "aritmético-lógicas", "transferencias de datos", "control", "sistema" y "punto flotante"** (T3, transp. 46 y 47)

**11. Suponed que en cierta máquina segmentada con una profundidad del cauce de 8, el CPI ideal ignorando cualquier riesgo es de 1. Suponer que sólo se producen detenciones de 5 ciclos en el 30% de las instrucciones, ¿Cuál es la ganancia de velocidad de la segmentación considerando las detenciones?**

Respuesta: (escribir) (T4(II), transp. 54)

12. El retardo para cada etapa en un procesador segmentado es la siguiente:

IF	ID	EXE	MEM	WB
350ps	400ps	370ps	450ps	200ps

¿Cuánto tardaría en ejecutarse la instrucción lw del MIPS en el procesador segmentado?

- a. La duración de lw sería 450 ps.
- b. La duración de lw sería 2250 ps.
- c. La duración de lw sería 1770 ps.

13. Sobre el tipo y tamaño de los operandos

- a. El estándar más frecuente para la representación de datos en punto flotante es el IEEE 754, que proporciona precisión simple de 16 bits y doble de 32 bits
- b. El método más utilizado para identificar los tipos de datos de los operandos de una instrucción es el de datos identificados o autodefinidos, donde el dato se anota con identificadores que especifican el tipo de cada operando

c. Algunas arquitecturas soportan un formato denominado habitualmente decimal empaquetado (BCD). Se utilizan 4 bits para codificar los valores 0-9 (T3, transp. 44)

14. ¿Cuál será aproximadamente la ganancia de velocidad obtenida al segmentar un procesador de forma lineal y síncrona con 20 etapas si ejecuta un programa de 50 instrucciones comparada con la versión multiciclo donde todas las instrucciones tardan los mismos ciclos?

- a. ~ 25
- b. ~ 14
- c. ~ 19

15. Señalar la opción correcta sobre los modos de direccionamiento de una arquitectura de registros de propósito general.

- a. Las otras dos opciones son correctas (T3, transp. 27)
- b. Pueden especificar posiciones de memoria.
- c. Pueden especificar constantes y/o registro.

16. En cuanto a los repertorios de instrucciones según el tipo de almacenamiento interno de la CPU. Indica la respuesta NO correcta

- a. A partir de 1980, los computadores frecuentemente han utilizado arquitecturas de registro de propósito general
- b. Los registros tienen acceso más rápido que la memoria y son más fáciles de utilizar por los compiladores y de manera más efectiva, por eso siempre se han diseñado arquitecturas GPR (T3, transp. 12)
- c. Las máquinas más antiguas anteriores a 1980 normalmente era arquitecturas de pila y acumulador

### 17. Sobre la codificación de los modos de direccionamiento

a. La codificación fija combina la operación y el modo de direccionamiento en el código de operación. Consigue un tamaño único para todas las instrucciones. Interesante con número reducido de modos de direccionamiento y operaciones. Suele ser utilizado en la línea de diseño CISC

b. La codificación variable es interesante con número alto de modos de direccionamiento y operaciones. Consigue menor RI pero las instrucciones individuales varían en talla y cantidad de trabajo. Suele ser utilizado en la línea de diseño RISC

c. La codificación híbrida es una alternativa intermedia que persigue las ventajas de la codificación fija y variable: reducir recuento de instrucciones y formato sencillo de fácil implementación. Un ejemplo clásico es el IBM 360 (T3, transp. 40)

### 18. Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:

L\_1:sub \$s1, \$s2, \$s3

L\_2:and \$s2, \$s3, \$s1

L\_3: sw \$s2, 24(\$s1)

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?

a. 12 ciclos de reloj.

b. 10 ciclos de reloj.

c. 11 ciclos de reloj.

### 19. El retardo para cada etapa en un procesador segmentado es la siguiente:

IF	ID	EXE	MEM	WB
350ps	400ps	370ps	450ps	200ps

¿Cuál es la productividad de una serie grande de instrucciones suponiendo que no se producen paradas ni riesgos? El resultado se expresa en millones de instrucciones por segundo (MIPS)

a. La productividad sería de ~ 444 MIPS.

b. La productividad sería de ~ 2222 MIPS.

c. La productividad sería de ~ 2000 MIPS.

### 20. Dado las siguientes secuencia de instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:

sub \$s1, \$s2, \$s3

and \$s2, \$s3, \$s1

sw \$s4, 24(\$s1)

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿En cuántos ciclos de reloj se incrementa la ejecución de estas instrucciones?

a. En 3 ciclos.

b. En 4 ciclos.

c. En 2 ciclos.

21. Para el procesador MIPS segmentado de 5 etapas con un delay slot en los saltos se ejecuta la siguiente secuencia de instrucciones:

LW R1, 0 (R4)  
LW R2, 400 (R4)  
ADDI R3, R1, R2  
SW R3, 0 (R4)  
SUB R4, R4, #4  
BNEZ R4, L1

Suponer que no hay forwarding. En el ciclo de reloj 7, ¿en qué etapa de segmentación se encuentra la instrucción ADDI?

- a. En la etapa MEM
- b. La instrucción está parada (hay una burbuja)
- c. En la etapa EX.

22. Sobre el diseño de la segmentación. Indica la respuesta correcta.

- a. Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. Esta descomposición se realiza intentando distribuir de manera uniforme las unidades funcionales que intervienen.
- b. Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. La etapa más lenta actúa de cuello de botella ya que se debe ajustar el ritmo de trabajo a la etapa más lenta. (T4 (I), transp. 18)
- c. Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. Esta descomposición se realiza distribuyendo siempre de manera equitativa el tiempo de procesamiento.

23. Acerca de la técnica del adelantamiento. Indica la respuesta NO correcta.

- a. La técnica del adelantamiento consiste en adelantar datos desde los registros intermedios a las etapas que lo necesitan para evitar ciclos de detención. ¿?????????????????
- b. La técnica del adelantamiento permite aumentar el rendimiento de la máquina al evitar ciclos de detención. ¿?????????????????
- c. La técnica del adelantamiento es posible con todas las instrucciones salvo con la instrucción Store si el valor del registro a ser guardado ha sido previamente cargado con una instrucción Load

24. En el siguiente código,

ADD R1, R2, R10  
AND R3, R1, R5  
SUB R4, R1, R5  
OR R1, R1, R10

¿Dónde existe riesgo por dependencia de datos?

- a. Existe riesgo por dependencia de datos, en todas las instrucciones.
- b. Existe riesgo por dependencia de datos, en la instrucción AND y SUB. La instrucción OR no tiene riesgos si se utiliza adelantamiento interno en el banco de registros.
- c. Existe riesgo por dependencia de datos, en la instrucción AND y OR. La instrucción AND necesita el resultado de R1 calculado en la operación ADD. La instrucción OR tiene riesgo ya que utiliza el mismo operando fuente y destino en la misma instrucción.

25. Dada las tres secuencias de código mostradas, en cuál de las que hay riesgos por dependencia de datos es necesario introducir una parada o se puede solucionar con forwarding.

Secuencia 1	Secuencia 2	Secuencia 3
Lw \$1, 10(\$2)	Add \$1, \$4, \$4	Addi \$1, \$9, #4
Add \$6, \$1, \$1	Addi \$2, \$4, #5	Addi \$2, \$9, #5
	Addi \$8, \$1, #7	Addi \$3, \$9, #7
		Addi \$4, \$9, #8

- a. En la secuencia 1 se debe introducir una parada después de lw y la secuencia 2 se puede solucionar con forwarding.
- b. La secuencia 3 se puede solucionar con forwarding
- c. La secuencia 1 se puede solucionar con forwarding y se debe introducir una parada después de add en la secuencia 2.

26. Un computador RISC segmentado tiene 8 etapas y corre a 2.5GHz. ¿Cuál es la ganancia de velocidad ideal respecto de la máquina no segmentada?

- a. ~20
- b. ~8
- c. ~4

27. ¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?

- a. Deteniendo la máquina hasta que se solucione el conflicto.
- b. Adelantando las operaciones que generan conflicto en los recursos.
- c. Reorganizando de forma dinámica las etapas. Es decir, variando el trasvase de información de una etapa a otra.

28. Sobre los riesgos de control. Indica la respuesta NO correcta

Predecir el salto como efectivo... (T4 (II), transp. 107)

29. Sobre las ventajas y desventajas de las arquitecturas GPR

- a. Las arquitecturas R-M no permiten operandos en memoria en instrucciones aritméticas, como consecuencia generan mayor recuento de instrucciones que las arquitecturas R-R
- b. Las arquitecturas R-R permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean números de ciclos similares para ejecutarse. La desventaja es que generan mayor recuento de instrucciones que las arquitecturas M-M (T3, transp. 19)
- c. Las arquitecturas M-M no emplean registros para temporales. Además, permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean números de ciclos similares para ejecutarse.

30. Sobre las arquitecturas VLIW y Superescalar. Indica la respuesta correcta

- a. En los procesadores Very Large Instruction Word (VLIW), el paralelismo es implícito en las instrucciones por lo que la organización es la encargada de descubrir el paralelismo.
- b. En los procesadores Very Large Instruction Word (VLIW), cada instrucción incluye las operaciones que se realizan simultáneamente.
- c. En los procesadores superescalares, el compilador es el encargado de descubrir el paralelismo que permita aprovechar las instrucciones que se van captando de memoria. (T3, transp. 67)

**31. Sobre el modo de direccionamiento literal o inmediato. Indica la respuesta correcta**

a. Las otras dos respuestas son correctas

**b. Los inmediatos pequeños son los más utilizados, aunque se usan inmediatos grandes en el cálculo de direcciones.** (T3, transp. 36)

c. Las operaciones que mayor hacen uso de operandos inmediatos son las cargas/almacenamientos, las comparaciones y las aritmético lógicas.

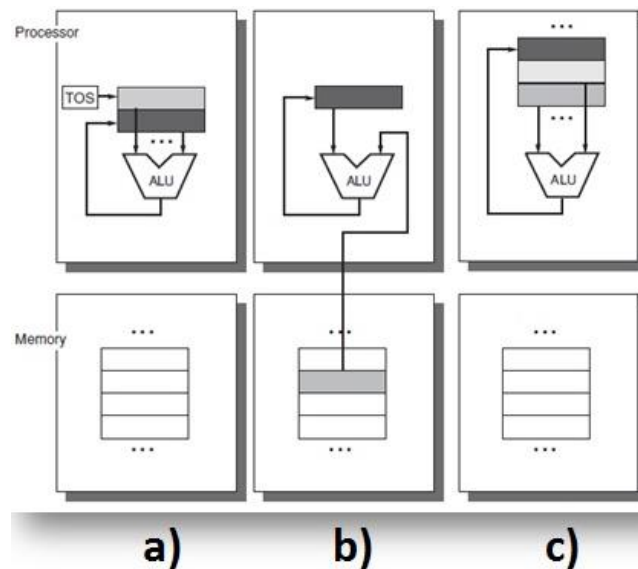
**32. En cuanto a la manera de programar las máquinas, indica la respuesta correcta**

**a. La arquitectura a nivel lenguaje máquina es un objeto del compilador** (T3, transp. 60)

b. La aparición de los CISC permitió simplificar las arquitecturas de repertorio de instrucciones

c. Actualmente, las decisiones de diseño de la arquitectura del repertorio de instrucciones se realizan para facilitar la programación en lenguaje ensamblador.

**33. A qué figura corresponde un procesador con tipo de almacenamiento interno de la CPU para arquitectura de registros de propósito general R-R?**



a. La marcada en el dibujo como a)

b. La marcada en el dibujo como b)

**c. La marcada en el dibujo como c)** (T3, transp. 10)

**34. En cuanto a las áreas de aplicación. ¿Cuál de las siguientes afirmaciones NO es correcta?**

a. En los computadores de escritorio el énfasis del rendimiento de los programas debe centrarse en operaciones con tipos de datos enteros y de punto flotante

b. En los sistemas embebidos, el tamaño del código es importante ya que el programa necesita menos memoria siendo el sistema más barato y de menor consumo.

**c. En los servidores el rendimiento de operaciones con tipos de datos enteros es mucho menos importante que el rendimiento para punto flotante o cadenas de caracteres.** (T3, transp. 7)

**35. Suponer que en un cierto ISA las instrucciones de control utilizan saltos relativos al contador de programa. Si el campo desplazamiento en complemento a 2 tiene 8 bits, ¿Qué distancia en instrucciones se podrá cubrir con el salto? Suponer que el acceso a la memoria es por palabra y todas las instrucciones ocupan una palabra.**

- a. Una distancia de 128 instrucciones
- b. Una distancia de 512 instrucciones
- c. Depende del contenido del contador de programa

**36. Considerar que vamos a diseñar una máquina segmentada a partir de una máquina multiclo con 5 pasos de ejecución cuyas duraciones son 19ns, 16ns, 15ns, 36ns y 60ns. Suponed que el tiempo dedicado en actualizar los registros intermedios es 1ns. ¿Cuál será el ciclo de reloj de la máquina segmentada (expresad el resultado en ns)?**

Respuesta: **61 ns** (T4 (II), transp. 45 y ejemplo transp. 47 visto en clase en un documento Excel)

-Pasos de ejecución: 19ns, 16ns, 15ns, 36ns, 60ns

-El tiempo del ciclo de reloj (CLK) debe ser el tiempo de la etapa más larga (60ns) + tiempo de actualización (1ns) = 61ns

-CLK =  $\max(\text{duración\_etapas}) + \text{tiempo\_actualización\_registros} = 60 + 1 = 61\text{ns}$

**37. ¿Qué modo de direccionamiento está utilizando los operandos señalados en negrita en cada una de las instrucciones siguientes?**

Add \$1,\$2,\$3

Lw \$1, 4(\$3)

**Directo a registro (o registro) para add y desplazamiento para lw.**

**38. Sobre los riesgos de segmentación.**

**Los riesgos estructurales requieren una reorganización de las unidades funcionales de la máquina multiclo en la que está basada.**