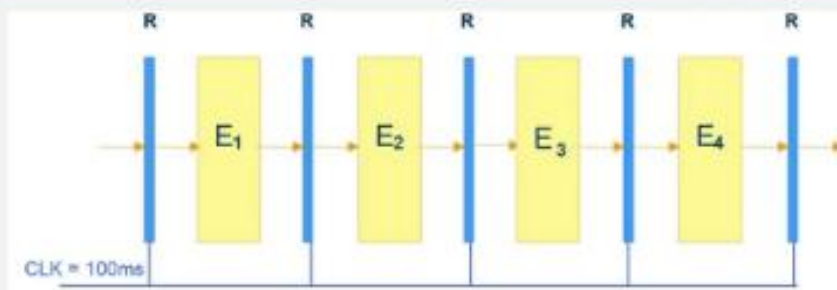


¿Cual es la productividad máxima de la unidad segmentada lineal para realizar 100 operaciones?



Wrong

Nothing worth having comes easy!



Next

▲ 100 ns



◆ 9,7 GHz



● 9,7 Hz



■ 9,7 MHz



¿En qué fase del DLX tiene lugar el cálculo de la dirección de un dato en memoria?

Correct  
+1000

Next

Kahoot!

▲ ID



◆ EX



● MEM



■ WB

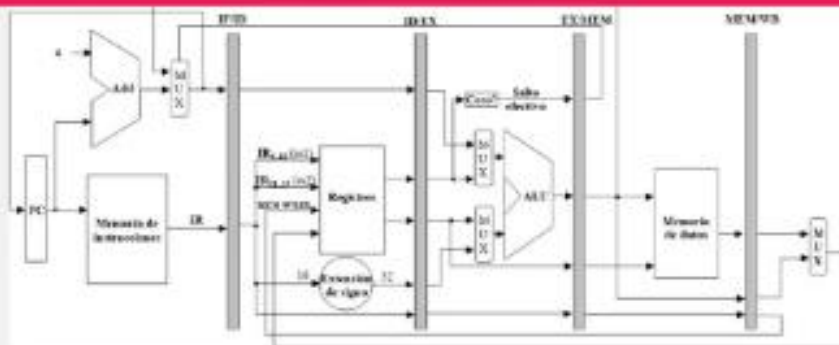


¿En qué etapa/s de segmentación **NO** se efectúa ninguna acción durante la ejecución de **beqz** ?



Answer streak lost

It's not over just yet!



Next



▲ Solo pasa por las etapas que realiza alguna acción.



◆ En la WB



● En la MEM



■ En la MEM y en la WB



¿Qué tipo de paralelismo explota la segmentación?

Wrong

Great try.



Next

▲ Paralelismo espacial



◆ Paralelismo temporal de instrucciones



● Paralelismo temporal de tareas



■ Paralelismo en los datos



Dada la máquina A, calcula la ganancia si la segmentación añade 5ns de sobrecarga al clk

Wrong

No one said it would be easy ;)

### Máquina no segmentada "A"



Next

▲ 3,85



◆ 3,6



● 5



■ 6

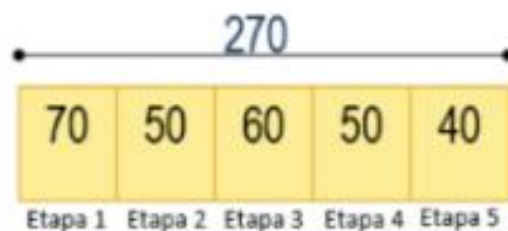


Dada la máquina A, calcula la ganancia si la segmentación añade 5ns de sobrecarga al clk

Wrong

No one said it would be easy :)

### Máquina no segmentada "A"



Next

▲ 3,85



◆ 3,6



● 5



■ 6



Con adelantamiento. ¿En que ciclo se escribe el registro R5 en el banco de registros?

Correct  
+1000

Next

```
SUB R2, R2, R1
LW R5, 0(R5)
ADDI R4, R5, 1
ADD R5, R4, R1
```

▲ En el 8

×

◆ En el 9

✓

● En el 10

×

■ En el 11

×



Si salto no efectivo, resuelto en etapa ID. Hay forwarding.  
¿Ciclos para ejecutar el código?

Wrong  
Nothing worth having comes easy!

Next

```
bnez $a0, ETQ
addi $sp, $sp, -4
sw $ra, 0($sp)
sw $s0, 4($sp)
sw $s1, 8($sp)
addi $s0, $a0, 0
lw $s1, 0($s0)
lw $a0, 4($s0)
```

▲ 11 ciclos

◆ 12 ciclos

● 13 ciclos

■ 14 ciclos



Sin adelantamiento. ¿En que ciclo se escribe el registro R5 en el banco de registros?

Wrong  
We believe in you!

Next

```
SUB R2, R2, R1  
LW R5, 0(R5)  
ADDI R4, R5, 1  
ADD R5, R4, R1
```

▲ En el 10

✗

◆ En el 11

✗

● En el 12

✓

■ En el 13

✗

En un diseño segmentado con **forwarding** se ejecutan las dos secuencias de la figura.

Wrong  
It's not over just yet!

Next

(A)    lw \$t1,4(\$t0)  
         sw \$t1,16(\$t2)  
         beq \$t1,\$t3, ETQ

(B)    lw \$t1,4(\$t0)  
         sw \$t2,16(\$t3)  
         beq \$t0,\$t3, ETQ

▲ Ni (A) ni (B) se ven afectados por el forwarding

×

◆ (A) no se ve afectado. (B) será más rápido con forwarding

×

● (A) será más rápido con forwarding, (B) no se ve afectado

✓

■ Tanto (A) como (B) serán más rápidos con forwarding

×

No hay adelantamiento. ¿En qué ciclo se escribe el resultado de R3 en el banco de registros?

Answer streak lost  
Dust yourself off. Greatness awaits!

Next

SUB R2, R3, R1

LW R5, 0(R5)

ADDI R4, R6, 1

ADD R3, R3, R1

▲ En el 6

×

◆ En el 7

×

● En el 8

✓

■ En el 9

×

# En DLX **sin** adelantamiento, este código acabaría en el ciclo...

Answer streak lost  
We believe in you!

Next

```
LD      R1, 0(R2) ; load R1 de la dirección 0+R2
DADDI   R1, R1, #1 ; R1=R1+1
SD      0(R2), R1 ; store R1 en dirección 0+R2
DADDI   R2, R2, #4 ; R2=R2+4
DSUB    R4, R3, R2 ; R4=R3-R2
```

▲ 10

×

◆ 15

✓

● 12

×

■ 17

×



Ambas secuencias obtienen el mismo resultado. ¿Cuál será más rápida?

Wrong

It's not over just yet!

Next

(A)    `addi $t1,$t0,4`  
      `lw $t2,0($t0)`  
      `xor $t2,$t2,$t3`

(B)    `lw $t2,0($t0)`  
      `addi $t1,$t0,4`  
      `xor $t2,$t2,$t3`

▲ (A) será más rápida que (B)



◆ (B) será más rápida que (A)



● (A) necesita el mismo número de ciclos de reloj que (B)



■ La rapidez depende del valor de los registros \$t2 y \$t3



Para esta secuencia de código, ¿qué conjunto de instrucciones es más eficiente en DLX?

Answer streak 2  
+100

Next

$A = B + C$   
 $D = E + F$

LW Rb, B  
LW Rc, C  
ADD Ra, Rb, Rc  
SW A, Ra  
LW Re, E  
LW Rf, F  
ADD Rd, Re, Rf  
SW D, Rd

A

LW Rb, B  
LW Rc, C  
LW Re, E  
ADD Ra, Rb, Rc  
LW Rf, F  
SW A, Ra  
ADD Rd, Re, Rf  
SW D, Rd

B

LW Rb, B  
LW Rc, C  
LW Rf, F  
ADD Ra, Rb, Rc  
SW A, Ra  
LW Re, E  
ADD Rd, Re, Rf  
SW D, Rd

C

LW Rb, B  
LW Rc, C  
ADD Ra, Rb, Rc  
LW Re, E  
LW Rf, F  
SW A, Ra  
ADD Rd, Re, Rf  
SW D, Rd

D



A



B



C



D



# En DLX **con** adelantamiento, el mismo código acabaría en el ciclo...

Correct  
+1000

Next

```
LD      R1, 0(R2) ; load R1 de la dirección 0+R2
DADDI   R1, R1, #1 ; R1=R1+1
SD      0(R2), R1  ; store R1 en dirección 0+R2
DADDI   R2, R2, #4 ; R2=R2+4
DSUB    R4, R3, R2 ; R4=R3-R2
```

▲ 10



◆ 14



● 12



■ 8





Sin adelantamiento. ¿En que ciclo se escribe el registro R4 en el banco de registros?

Wrong

Dig deep on the next one!

Next

SUB R2, R3, R1

LW R5, 0(R5)

ADDI R4, R5, 1

ADD R3, R3, R1

▲ En el 8

✖

◆ En el 9

✓

● En el 10

✖

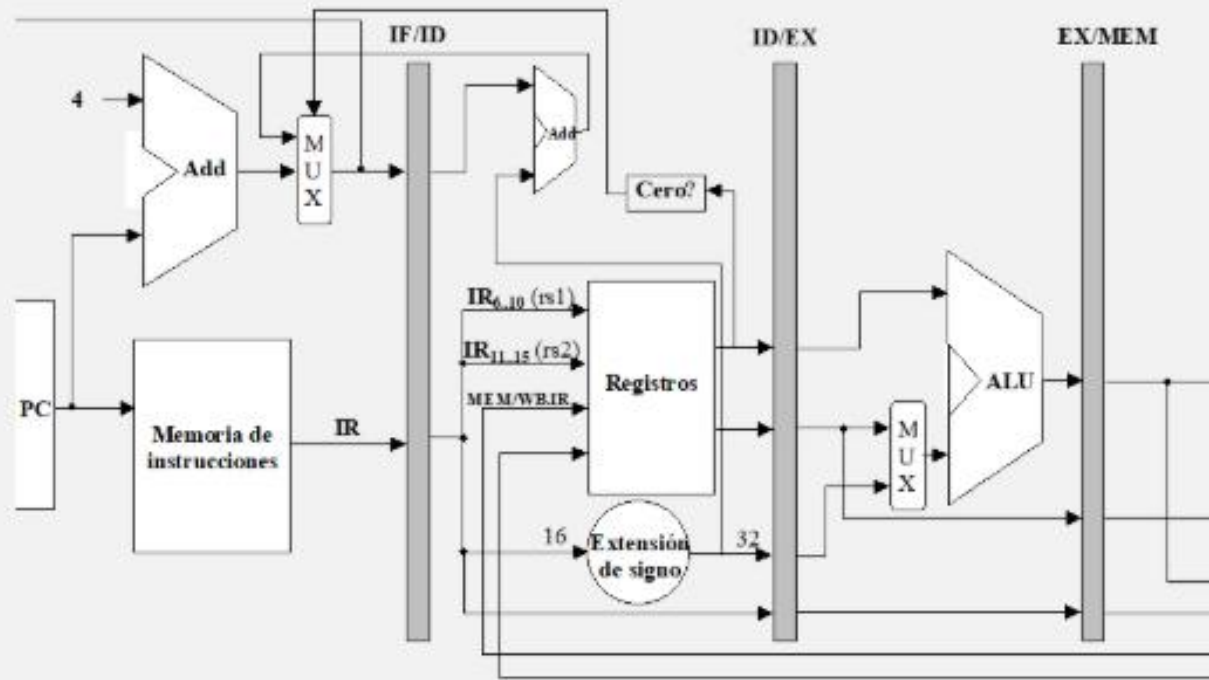
■ En el 11

✖

¿CPI medio si del 14% de instrucciones de control, el 65% cambia el PC? El salto evaluado en ID

Wrong  
Dig deep on the next one!

Next



Predicción del salto como no efectivo

$$0'14 \cdot 0'65 = 0'091 \rightarrow C+1? = 1'09$$

▲ 1,09 ciclos

◆ 1,14 ciclos

● 1,23 ciclos

■ 2 ciclos

Al reordenar el código para evitar paradas, ¿Con que instrucción rellenarías el **delay slot**?

Wrong  
Nothing worth having comes easy

Next

```
loop: lw R10, 0(R2)
      mul R11, R10, R5
      sw R11, 0(R2)
      addi R2, R2, 4
      bne R2, R4, loop
```

▲ mul R11, R10, R5

◆ sw R11, 0(R2)

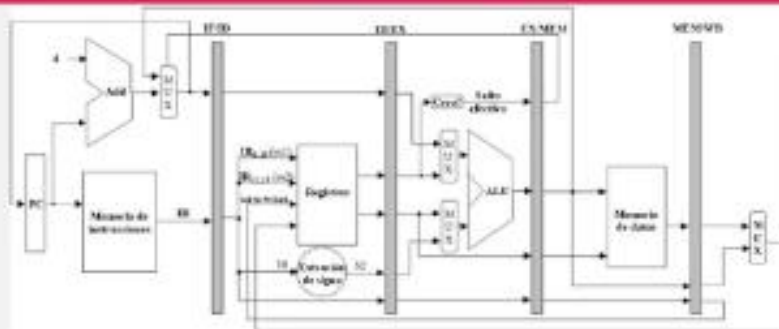
● lw R10, 0(R2)

■ sw R11, -4(R2)

¿Qué se copia en un registro intermedio como resultado de la ejecución de una fase?

Answer streak lost

No one said it would be easy :)



Next

▲ Sólo la parte que se modifica en esa fase



◆ Sólo el registro de instrucción de la previa



● La parte modificada y la no modificada



■ Todo excepto el código de condición



En una unidad con 10 etapas de 1 ciclo, ¿cuánto tardan en ejecutarse 2 instrucciones desde 0?



Answer streak 3

+1200

Next



▲ 11



◆ 20



● 2



■ 12

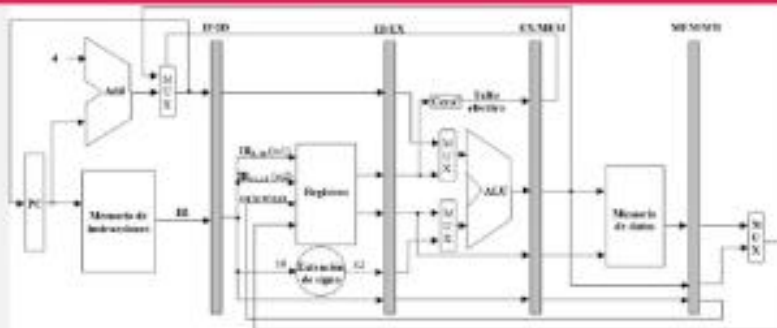


¿En qué fase se actualiza el PC cuando se lleva a cabo un salto condicional?



Wrong

Dust yourself off. Greatness awaits!



Next

▲ En la MEM



◆ En la EXE



● En la IF



■ En la ID





¿Cuál es la principal diferencia de la ejecución segmentada frente a la secuencial?

Wrong

Dust yourself off. Greatness awaits!



Next

▲ Son necesarios todos los recursos antes de empezar



◆ Es necesario tener distintas unidades de ejecución



● Solo necesita los recursos de una etapa para que comience



■ Es necesario que la instrucción tenga múltiples datos

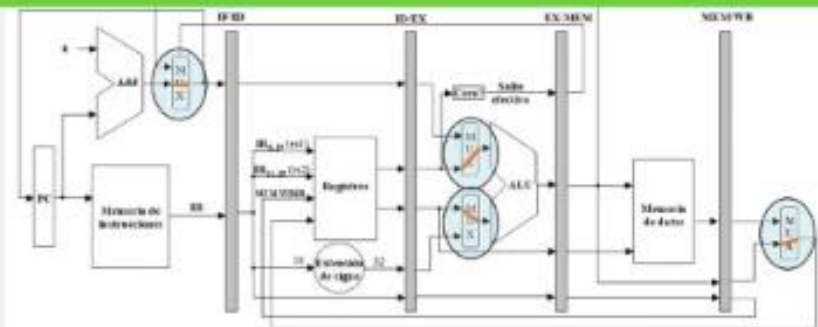




¿Qué instrucción dejaría en cada etapa la configuración que muestran los multiplexores?

Correct

+1000



Next

▲ lw R1,100(R2)



◆ add R1,R2,R3



● add R1, R2,#100



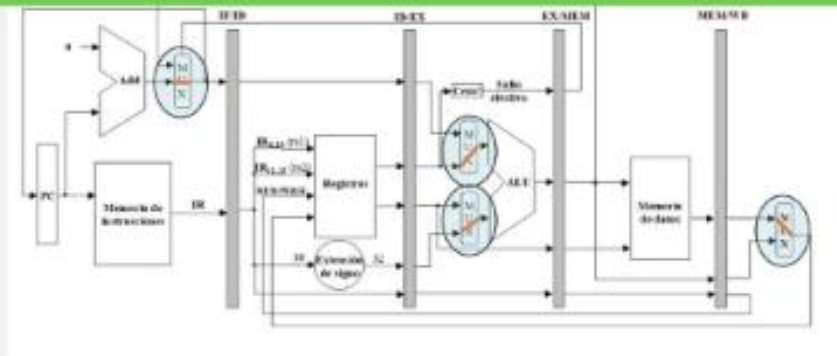
■ No hay instrucción que deje esa configuración en DLX



¿Qué instrucción dejaría en cada etapa la configuración que muestran los multiplexores?

Answer streak 3

- 1200



[Next](#)

▲ Iw R1,100(R2)



◆ add R1,R2,R3



- add R1, R2, #100



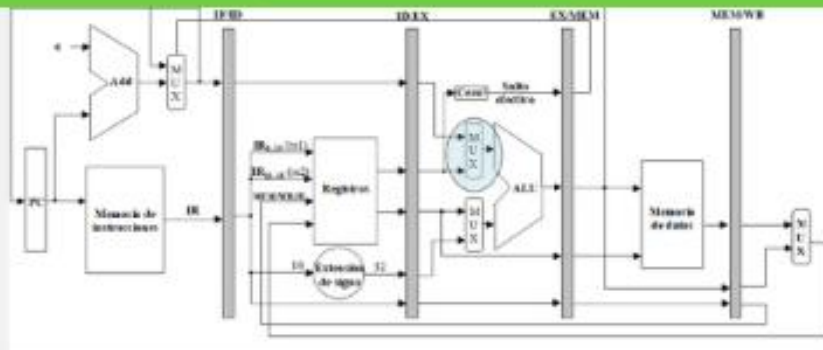
■ No hay instrucción que deje esa configuración en DLX



## ¿Para qué sirve el MUX alto de la etapa EX?

Answer streak 2

+1100



Next

▲ Para elegir entre código de condición o registro



◆ Para distinguir entre dato de memoria o de ALU



● Para elegir entre el PC o un registro



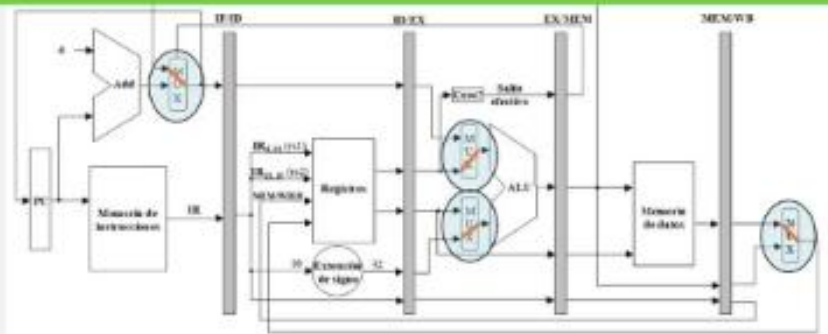
■ Para elegir entre dato inmediato o registro



¿Qué instrucción dejaría en cada etapa la configuración que muestran los multiplexores?

Answer streak 2

+ 1100



Next

▲ beqz R1, ET



◆ add R1,R2,R3



● add R1, R2,#100



■ No hay instrucción que deje esa configuración en DLX



¿Qué tipo de riesgo surge cuando hay conflictos en los recursos HW por no ser suficientes?

Correct  
+ 1000

Next



▲ Riesgo de dependencia de datos



◆ Riesgo de control



● Riesgo estructural



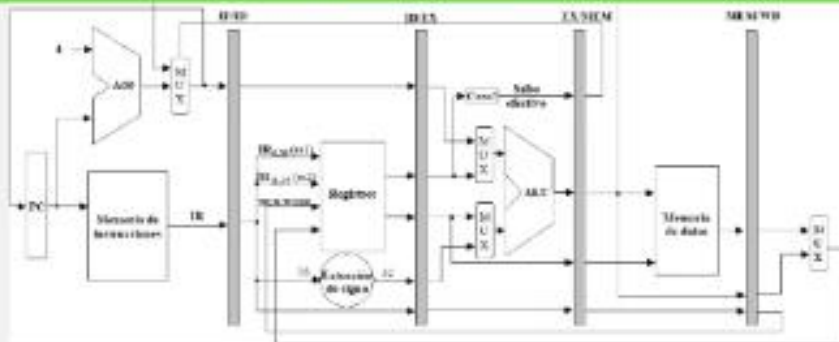
■ Riesgo de incendio



¿Qué registros de segmentación atraviesa el resultado de la ALU en una instrucción aritmética?

Correct

+1000



Next

▲ ID/EX y EX/MEM



◆ EX/MEM y MEM/WB



● MEM/WB y IF/ID



■ IF/ID y ID/EX



El tipo de cauce dinámico se aplica a unidades segmentadas...



Answer streak lost

No one said it would be easy :)

Next



▲ Exclusivamente con cauces lineales



◆ Exclusivamente con cauces aritméticos



● Unifuncionales



■ Multifunción





En una unidad con 10 etapas de 1 ciclo, ¿cuánto tardan en ejecutarse 2 instrucciones desde 0?

Answer streak 3

+1200

Kahoot!

Next

▲ 11



◆ 20



● 2



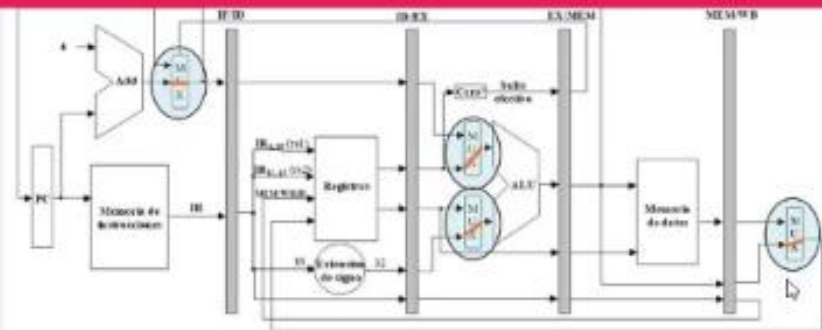
■ 12



¿Qué instrucción dejaría en cada etapa la configuración que muestran los multiplexores?

Wrong

No one said it would be easy :)



Next

▲ lw R1,100(R2)



◆ add R1,R2,R3



● add R1, R2,#100



■ No hay instrucción que deje esa configuración en DLX

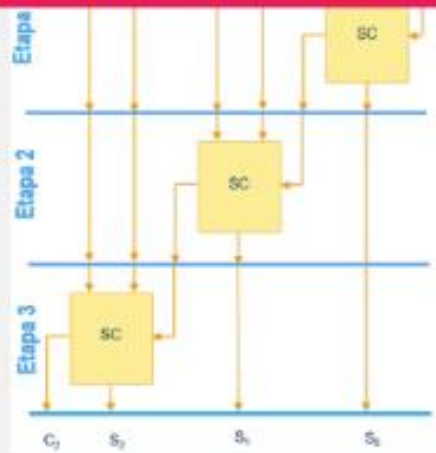


¿Qué ocurriría en el cauce de suma visto en clase sin los registros intermedios?



Wrong

Nothing worth having comes easy!



Next

▲ Funcionaría como un cauce secuencial



◆ Sólo sería correcta la primera suma



● Se mezclarían sumandos de distintas sumas



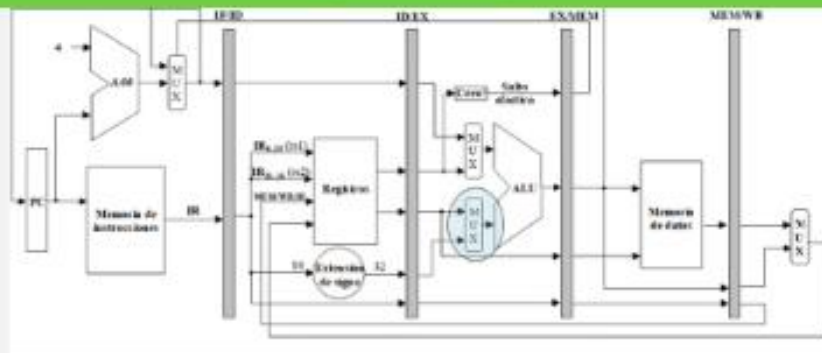
■ Seguiría funcionando pero de manera asíncrona



## ¿Para qué sirve el MUX bajo de la etapa EX?

Correct

+1000



Next

▲ Para discernir entre carga o almacenamiento



◆ Para elegir entre un dato de registro o un Inmediato



● Para seleccionar el código de condición



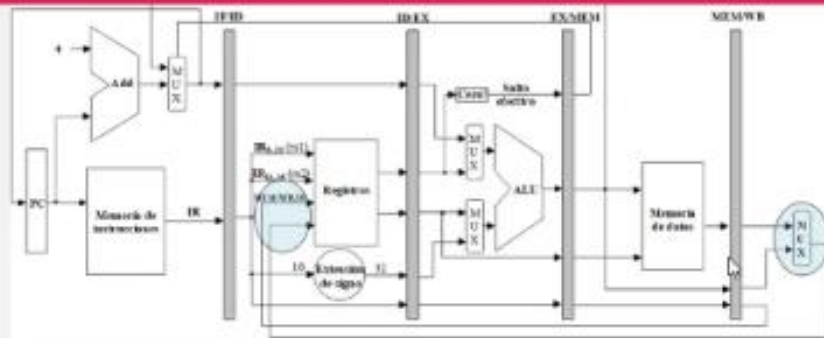
■ Para elegir dónde escribir en el banco de registros



## ¿Para qué sirve el MUX de la etapa WB?

Answer streak lost

Dust yourself off. Greatness awaits!



Next

▲ Para guardar el código de condición o un registro



◆ Para guardar un dato de memoria o un resultado de ALU



● Para guardar el PC o un registro



■ Para guardar un dato inmediato o un registro



¿Cuál es la ganancia máxima de una unidad segmentada de 5 etapas para 500 instrucciones?

Answer streak 2

+1100

### Implementación multiciclo

Ciclo reloj	1	2	3	4	5	6	7	8	9
Inst i	IF	ID	EX	MEM	WB				
Inst i+1		IF	ID	EX	MEM	WB			
Inst i+2			IF	ID	EX	MEM	WB		
Inst i+3				IF	ID	EX	MEM	WB	
Inst i+4					IF	ID	EX	MEM	WB

Next

▲ 4,59



◆ 3,29



● 0,49



■ 4,96



El tipo de cauce dinámico se aplica a unidades segmentadas...



Wrong

It's not over just yet!

Next

▲ Exclusivamente con cauces lineales



◆ Exclusivamente con cauces aritméticos



● Unifuncionales



■ Multifunción





Segmentar en 5 etapas una unidad con 1 detención en el 5% de las instrucciones, tiene ganancia?



Wrong

Nothing worth having comes easy!

Next



▲ máxima de 2,5



◆ máxima de 3,33



● máxima de 4,76



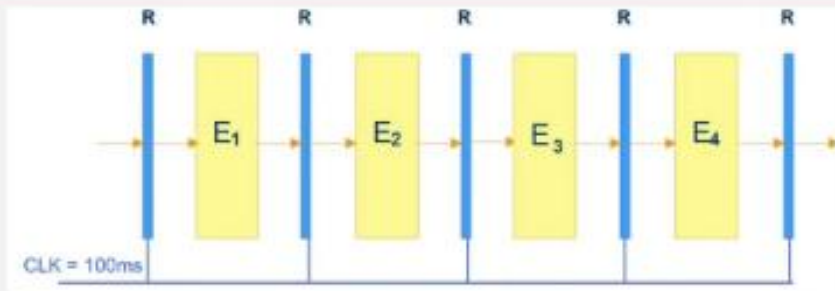
■ máxima de 5



¿Cual es la ganancia máxima de la unidad segmentado lineal para realizar 100 operaciones?

Answer streak lost

We believe in you!



Next

▲ 3,88



◆ 3,44



● 0,34



■ 4

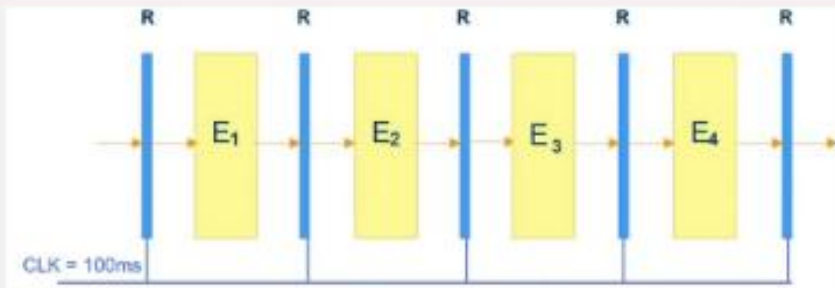


¿Cual es la eficiencia máxima de la unidad segmentada lineal para realizar 100 operaciones?



Wrong

Dust yourself off. Greatness awaits!



Next

▲ 0,60



◆ 0,90



● 3,88



■ 0,97



En una unidad segmentada ¿para qué sirven los registros intermedios?



Wrong

Dust yourself off. Greatness awaits!

Next

▲ Para almacenar el número de etapa



◆ Para que las etapas trabajen con datos independientes



● Para detener el flujo de cada etapa



■ Para comunicar los datos de la etapa a la CPU



¿Cuál es la eficiencia máxima de una unidad segmentada de 5 etapas para 500 instrucciones?



### Implementación multiciclo

Ciclo reloj	1	2	3	4	5	6	7	8	9
Inst i	IF	ID	EX	MEM	WB				
Inst i+1		IF	ID	EX	MEM	WB			
Inst i+2			IF	ID	EX	MEM	WB		
Inst i+3				IF	ID	EX	MEM	WB	
Inst i+4					IF	ID	EX	MEM	WB

▲ 100%

◆ 98,3%

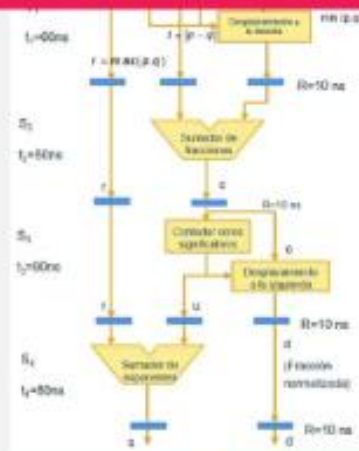
● 91,3%

■ 99,2%



¿Que clk se obtiene con el sumador PF segmentado con 10ns por sobrecarga de la segmentación?

Wrong  
Great try.



Next

▲ 290ns



◆ 100ns



● 280ns



■ 90ns

