

Información

Bloque AMDAHL

Pregunta **1**

Respuesta guardada

Puntúa como 4,00

La empresa "Biotech" está tratando de mejorar su línea de computadoras especializadas en software de sistemas de información hospitalaria. Se ha realizado un estudio del software utilizado por estas computadoras y se ha determinado la siguiente distribución de fracciones de tiempo (expresadas sobre la unidad) entre los diferentes tipos de actividad del sistema.

Tipo de actividad	Fracción del tiempo sobre el tiempo total
Procesamiento paralelizable SIMD ( <b>GPU</b> ):	0,32
<b>Disco</b> . Actividad entrada salida	0,12
Actividad de la <b>CPU</b>	0,28
Actividad de la <b>Memoria Central</b>	0,28

El departamento de sistemas ha realizado un estudio de los diferentes modelos de subsistemas (GPU, Disco, CPU y DRAM) y ha obtenido para cada uno de ellos la aceleración correspondiente a cada subsistema:

Subsistema	Aceleración mejorada
GPU NVIDIA TITAN	7,1
Disco SSD Kingston	6,2
CPU Core i7-8850H	5,5
DRAM DDR4	4,3

Por razones de coste, es necesario seleccionar una de las 4 opciones en base a la aceleración global que puede generar en el sistema. **Indica el valor de la máxima aceleración global de los diferentes subsistemas.**

El **error** en la respuesta a la pregunta principal tiene el siguiente **impacto en la nota**:

error absoluto menor que +-0,02 100% de la nota

error absoluto menor que +-0,05 75% de la nota

error absoluto menor que +-0,1 25% de la nota

Respuesta: 1,38



Pregunta **2**

Respuesta guardada

Puntúa como 4,00

La empresa robótica “Mobile Robot” está diseñando microprocesadores especializados para sistemas de guiado de robots con sensores de visión (Multimedia Vision Sensor Processors) (MVSP) y software especializado. Las funcionalidades multimedia requeridas al procesador pueden ser ejecutadas siguiendo el modelo SIMD mediante GPUs integradas en los (MVSP).

Se han diseñado dos modelos del sistema MVSP (1,2). El MVSP1 no tiene GPU, realizando todo el procesamiento en la CPU. El MVSP2 incorpora un modelo de GPU1. Se ha realizado un estudio del software que se ejecutará sobre el procesador MVSP para conocer qué porcentaje es paralelizable mediante modelo SIMD, por lo tanto, ejecutable en la GPU. Se han realizado pruebas de ejecución en los dos modelos del MVSP. En la tabla se observan los tiempos de ejecución del software del sistema, incluyendo la parte “no paralelizable” ejecutada en la CPU necesariamente y la “paralelizable” que puede ser ejecutada tanto en la CPU como en la GPU.

Modelo de MVSP	Tiempo no Paralelizable	Tiempo paralelizable
MVSP1 (CPU)	12,4	32,1
MVSP2 (GPU1)	12,4	7,4

El equipo de diseño hardware ha comprobado que es capaz de mejorar la “GPU 1” reduciendo a la mitad el tiempo de la GPU 1. Se desea saber si el equipo de desarrollo software puede incrementar el porcentaje de paralelización (fracción mejorada), para mejorar el rendimiento manteniendo la versión actual de la “GPU 1”.

**¿Que incremento en la fracción mejorada necesitará el equipo de desarrollo software para obtener la misma aceleración global que el equipo hardware?** El incremento de la fracción mejorada debe calcularse en términos absolutos como diferencia entre la fracción mejorada calculada sobre la opción peor (CPU) y la nueva fracción mejorada incrementada que necesitaría conseguir el equipo de desarrollo software, para alcanzar la misma aceleración global que el equipo de hardware. La respuesta debe ser expresada como fracción (valor entre 0 y 1) con dos decimales. (La respuesta correcta a esta pregunta supone el **100% de la nota del ejercicio**)

**Resultados parciales evaluables.** Son respuestas parciales con las que se puede obtener parte de la puntuación.

La respuesta correcta con alguno de los siguientes resultados parciales es evaluable de forma no acumulativa. Es decir, sólo se puede proporcionar un resultado al ejercicio.

- 1. El cálculo de la nueva fracción mejorada incrementada que necesitaría conseguir el equipo de desarrollo software, para alcanzar la misma aceleración global que el equipo de hardware. **75% de la nota del ejercicio**
- 2. El cálculo de la aceleración global conseguida por el equipo hardware con la GPU1 mejorada. **50% de la nota del ejercicio**
- 3. El calculo correcto de la fracción mejorada calculada sobre la opción peor (CPU). **25% de la nota del ejercicio**

El **error** en la respuesta a la **pregunta principal** tiene la siguiente repercusión en la nota:

error absoluto inferior a +/-0,02 100% de la nota

error absoluto inferior a +/-0,05 75% de la nota

error absoluto inferior a +/-0,1 25% de la nota

El **error** en las respuestas **parciales** tiene la siguiente repercusión en la nota:

error absoluto inferior a +/-0,02 100% de la nota

Respuesta: 0,1

Información

Bloque COMPARACIÓN RENDIMIENTO

Pregunta **3**

Respuesta guardada

Puntúa como 1,00

Se está trabajando en mejorar la máquina que es capaz de simular la expansión del COVID en Europa. Inicialmente el programa de simulación se basa en repetir 8094 veces una rutina que tarda 18,6 segundos. Es necesario reducir el tiempo de esta rutina para poder ser más precisos y reducir tiempos. La rutina tiene la siguiente mezcla de instrucciones y la frecuencia del ciclo de reloj es de 2,9 GHz:

Instrucción	Porcentaje	CPI
ALU Rd, Rs1, Rs2	21 %	2
ALU Rd, Rs1, INM	11 %	2
LW Rd, Ms	23 %	6
SW M, Rs	35 %	4
CMP Rd, Rs1, Rs2	5 %	3
Salto PC, Rs1	5%	4
TOTAL		

a) ¿Cuántos **millones de instrucciones** ejecuta la rutina?

Respuesta:

Pregunta **4**

Respuesta guardada

Puntúa como 3,00

La primera propuesta de mejora consiste en utilizar instrucciones de salto-comparación (Salto PC, Rs1, Rs2) en lugar de la combinación de instrucciones de salto comparación. Estas instrucciones tardan 4 ciclos.

b) ¿Cuál sería la ganancia que se obtiene?

Respuesta:

Pregunta **5**

Sin responder aún

Puntúa como 2,00

c) ¿Cuánto tiempo tardaría el programa de simulación en calcular los resultados ahora? Indica el tiempo en **horas**.

Respuesta:

Pregunta **6**

Sin responder aún

Puntúa como 4,00

La segunda propuesta de mejora consiste en utilizar nuevas instrucciones aritmético-lógicas cuyo destino es una posición de memoria (ALU Md, Rs1, Rs2). Estas nuevas instrucciones se podrían ejecutar el 5 % de la rutina original.

d) ¿Hasta cuantos ciclos podría tener esta nueva instrucción para ser mejor que la propuesta anterior?

Respuesta:

Pregunta **7**

Sin responder aún

Puntúa como 2,00

e) Si suponemos que somos capaces de rebajar todos los CPIs a lo mínimo (1), ¿Cuánto tardaría ahora el programa de simulación (**en horas**) con las nuevas instrucciones ALU Md, Rs1, Rs2?

Respuesta:

Información

Bloque ISA

Pregunta 8

Respuesta guardada

Puntúa como 4,00

Indica el contenido que tendrá finalmente **el registro R3** tras la ejecución del programa que se muestra y partiendo de la situación inicial del banco de registros y la memoria que aparece en pantalla. Ten en cuenta que todas las instrucciones utilizan datos de 32 bits (d=4).

Programa	Banco de registros		Memoria	
LOAD R2, #4	Nombre	Valor	Direccion	Dato
LOAD R3, (R1+R2)	R1	1576	1572	1644
	R2	1580	1576	1640
	R3	1568	1580	1636

Respuesta: 1636

Pregunta 9

Respuesta guardada

Puntúa como 4,00

Indica el contenido que tendrá finalmente **el registro R3** tras la ejecución del programa que se muestra y partiendo de la situación inicial del banco de registros y la memoria que aparece en pantalla. Ten en cuenta que todas las instrucciones utilizan datos de 32 bits (d=4).

Programa	Banco de registros		Memoria	
LOAD R2, #1	Nombre	Valor	Direccion	Dato
LOAD R3, 4(R1)[R2]	R1	1548	1548	1420
	R2	1556	1552	1416
	R3	1544	1556	1412

Respuesta: 1412

Información

Bloque SEGMENTACIÓN

Pregunta 10

Respuesta incompleta

Puntúa como 4,00

Considerad un procesador no segmentado con una ruta de datos multiciclo de 5 etapas de ejecución cuyo reloj tiene una frecuencia de 2GHz. En dicho procesador las instrucciones ALU y salto requieren cuatro ciclos de reloj y las de acceso a la memoria cinco. Suponer las siguientes frecuencias relativas de instrucciones dinámicas:

10% almacenamientos

25% cargas

30% Saltos

35% Instrucciones ALU

Se pretende segmentar la máquina con 5 etapas. Debido al sesgo del reloj y a los registros de segmentación, segmentar el procesador alarga el periodo de reloj en un 40%. El procesador utiliza una cache unificada para datos e instrucciones con un único puerto para el acceso a la memoria lo que provoca un riesgo estructural entre las etapas IF y MEM y la consiguiente parada de 1 ciclo de reloj. Además se comprueba que ocurren detenciones por dependencia de datos de 1 ciclo de reloj en el 5% de las instrucciones ejecutadas y paradas por riesgos de control de 2 ciclos de reloj en el 15% de las instrucciones ejecutadas. Suponer que el CPI ideal del procesador segmentado ignorando cualquier tipo de riesgo es 1.

Responde a las siguientes preguntas:

a) ¿Cuál es la duración del ciclo de reloj (expresado en ns) en el procesador no segmentado?

5,22

b) ¿Cuál es la duración del ciclo de reloj (expresado en ns) en el procesador segmentado?

c) ¿Cuál es el CPI medio en el procesador no segmentado?

d) ¿Cuál es el CPI medio en el procesador segmentado?

e) ¿Cuál es la ganancia que se podría conseguir al segmentar el procesador?

Por favor, responda a todas las partes de la pregunta.

Pregunta 11

Respuesta  
incompleta

Puntúa como  
8,00

Suponer que el siguiente código se ejecuta en la máquina segmentada de 5 etapas:

```
Loop:  Lw R2, 0(R1)
        Lw R3, 4(R1)
        Add R4, R2, R3
        Sw 0(R1),R4
        Addiu R1, R1, #4
        Add R2, R1, #-400
        Bnez R2, loop
```

Suponer que inicialmente R1=0. En el procesador segmentado la evaluación de la condición de salto se realiza en la etapa ID. Para gestionar los saltos se para la segmentación hasta que se resuelven. Suponer que todas las unidades funcionales tienen una duración de un ciclo de reloj. Finalmente suponer que no hay riesgos estructurales y que **no** hay *forwarding*. Con estas condiciones, se obtiene el diagrama de temporización que aparece en la figura para una iteración del bucle.

Instrucción	Ciclos de reloj																							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	24		
Lw R2, 0(R1)	IF	ID	EX	M	WB																			
Lw R3, 4(R1)		IF	ID	EX	M	WB																		
Add R4, R2, R3			IF	s	s	ID	EX	M	WB															
Sw 0(R1), R4						IF	s	s	ID	EX	M	WB												
Addiu R1, R1, #4									IF	ID	EX	M	WB											
Addi R2, R1, #-40										IF	s	s	ID	EX	M	WB								
Bnez R2, loop													IF	s	s	ID	EX	M	WB					
Lw R2, 0(R1)																-	IF	ID	EX	M	WB			

Responde a las siguientes preguntas:

a) ¿ Cuántos ciclos de reloj tardaría el código completo en ejecutarse?

1603

b) ¿Cuál es el CPI medio obtenido para este código?

15,12

Suponer ahora que se implementa en el procesador el hardware necesario para que permita adelantamiento (forwarding). Con estas nuevas condiciones, responde a las siguientes preguntas:

c) ¿Cuántos ciclos de paradas se eliminan en cada iteración del bucle?

7

d)¿Cuántos ciclos de reloj tardaría en ejecutarse el código completo?

1201

e)¿Cuál es el nuevo CPI conseguido con el forwarding?

11,33

f)¿Cuál es la ganancia conseguida al implementar el forwarding?

1,78

g) Supón ahora que el procesador implementa saltos retardados (*delay slot*). ¿Con qué instrucción podrías rellenar el *delay slot*?

- ☐ Addiu R1, R1, #4
- ☐ Add R4, R2, R3
- ☐ No se puede poner ninguna instrucción, hay que colocar un "nop" (no operación)

Por favor, responda a todas las partes de la pregunta.

