

Nombre: _____

3. (2,5 puntos) El equipo de diseño de Intel ha pensado rediseñar su arquitectura del repertorio de instrucciones del i7 para contemplar 18 operaciones nuevas a sus 200 operaciones ya existentes. La nueva arquitectura pretende que sus programas sean desarrollados en lenguajes de alto nivel facilitando al compilador su labor. Se plantean tipos de datos enteros, flotantes y cadenas con un acceso a memoria flexible. Los registros serán de 64 bits y, por último, el espacio de direcciones de acceso a memoria es de 16GB.
- a) (1 punto) Indica qué decisiones de manera justificada debería tomar el equipo de diseño, valorando las diferentes alternativas, en las siguientes componentes de la arquitectura.
- Número de operandos de instrucciones ALU
 - Modos de direccionamiento
 - Codificación de los modos de direccionamiento
 - Tipos de instrucciones en el repertorio
 - Formas de especificar el destino del salto y la condición de salto
- b) (1,5 puntos) Determina los formatos de instrucciones incluyendo los campos de la instrucción y su tamaño según las decisiones tomadas en el apartado anterior
4. (2,5 puntos) Suponed que el siguiente fragmento de código se ejecuta en la máquina segmentada de 5 etapas de teoría y que el registro \$a1 tiene inicialmente el valor 2.

```
LOOP:    lw $t1, 0($a0)
         lw $a0, 0($t1)
         sub $t2, $v0, 3
         sw $t2, 4($a0)
         addi $a1, $a1, -1
         bne $a1, $zero, LOOP
         add $v0, $a0, $zero
         addi $sp, $sp, 8
```

- a) (0,3 puntos) Señala todas las posibles dependencias por datos y las instrucciones que causaran riesgos de control durante las dos primeras iteraciones del bucle.
- b) (0,6 puntos) Suponed que el fragmento de código se ejecuta en la máquina sin implementación de la técnica de adelantamiento (forwarding) y que el cálculo de la dirección de salto se realiza en la etapa de ejecución. Muestra la ejecución del código en el diagrama de temporización. Utiliza las letras F, D, E, M y W para representar las etapas del cauce, S para las paradas y X para indicar cuando una etapa se "limpia" al descartarse la instrucción. ¿Cuántos ciclos de reloj tardaría el fragmento de código en ejecutarse?
- c) (0,6 puntos) Suponed ahora que se adelanta el cálculo de salto a la etapa de decodificación y que el procesador implementa todos los posibles caminos de adelantamiento. Muestra la ejecución del código en el diagrama de temporización suponiendo que se predicen los saltos como no efectivos. ¿Cuántos ciclos de reloj tardaría el fragmento de código en ejecutarse?
- d) (0,5 puntos) Suponed ahora que además de forwarding se utiliza la técnica de saltos retardados (delay slot). Si es posible, reordena la secuencia de instrucciones para evitar el máximo número de paradas y que se ejecute el fragmento de código en el mínimo número de ciclos de reloj posible. ¿En cuántos ciclos de reloj se ejecutaría el nuevo código?
- e) (0,5 puntos) Suponed que previamente a segmentar la máquina anterior, la etapa más larga necesitaba 0.8ns y que el retardo de los registros de segmentación requeridos para segmentarla era de 0,2ns. Determina el CPI del bucle para los apartados b, c y d anteriores y calcula el tiempo medio de ejecución por instrucción para cada caso. ¿En que porcentaje aumenta la ganancia en cada caso respecto a la máquina del apartado b?
5. (1,5 puntos) Supongamos que la penalización de fallos de la caché es de 250 ciclos de reloj y que todas las instrucciones normalmente emplean 2,0 ciclos de reloj (ignorando las detenciones de memoria). Suponer que el número medio de fallos a la caché por cada 100 instrucciones es 2.
- a) (1 punto) ¿Cuál es el impacto en el rendimiento del sistema?
- b) (0,5 puntos) Calcula la ganancia de rendimiento que se obtiene, si se amplía el tamaño del bloque de la caché y logramos que el número medio de fallos a la caché sea de 2 cada 1000 instrucciones.

Arquitectura de los Computadores. Segunda convocatoria 2014

1. (1,75 puntos)

La extensión del repertorio Pentium III, incorporando instrucciones SSE y el correspondiente hardware de procesamiento SSE permite acelerar los tiempos de cálculo, en lo que a tareas multimedia en punto flotante (TMPF) se refiere, en un factor de 20. Utilizando como conjunto de benchmarks para análisis del rendimiento multimedia en punto flotante CFP2006 (SPEC CPU2006), cuyos programas realizan tanto tarea multimedia en punto flotante (TMPF) como no multimedia en punto flotante (TNMPF), se observó que los tiempos de ejecución de los programas del conjunto de benchmarks son los que aparecen en la tabla tanto compilados utilizando SSE como sin utilizar SSE.

CFP2006 (Floating Point Component of SPEC CPU2006)	Tiempo ejecución sin SSE Pentium III	Tiempo ejecución con SSE Pentium III
410.bwaves	140 s	60 s
416.gamess	127 s	54 s
433.mile	132 s	58 s
434.zeusmp	114 s	53 s
435.gromacs	154 s	61 s
436.cactusADM	124 s	52 s
437.leslie3d	143 s	59 s
444.namd	154 s	62 s
447.deall	127 s	55 s
450.soplex	148 s	62 s
453.povray	165 s	68 s
454.calculix	125 s	54 s
459.GemsFDTD	142 s	61 s
465.tonto	144 s	63 s
470.lbm	167 s	70 s
481.wrf	142 s	62 s
482.sphinx3	186 s	72 s
Media geométrica	142	60

Utilizando la media geométrica para representar el rendimiento de las dos opciones (Tiempo ejecución sin SSE Pentium III, Tiempo ejecución con SSE Pentium III) calcula:

- El porcentaje medio del tiempo de ejecución de los programas compilados sin SSE que se utiliza para realizar tareas multimedia en punto flotante (TMPF). (0,25 puntos)
- El tiempo de ejecución medio que los programas compilados sin SSE consumen en realizar tareas multimedia en punto flotante (TMPF). (0,25 puntos)
- El tiempo de ejecución medio que los programas compilados con SSE consumen en realizar tareas multimedia en punto flotante (TMPF). (0,25 puntos)
- El tiempo de ejecución medio que los programas consumen en realizar tareas no multimedia en punto flotante (TNMPF). (0,25 puntos)
- Tras estudiar los niveles de utilización de instrucciones SSE en los benchmarks, se estableció que una medida realista de la fracción mejorada es 61%. El departamento de diseño hardware establece la posibilidad de mejorar la unidad SSE duplicando la aceleración mejorada (40). ¿Qué incremento en la fracción mejorada sobre el 61% debería conseguir el departamento de diseño de compiladores, para igualar la mejora en la aceleración global conseguida por el departamento de diseño hardware? (0,75 puntos)

2. (1,75 puntos) Supón que estamos considerando dos alternativas para una instrucción de salto condicional:

CPU A. Una instrucción de comparación inicializa un código de condición y es seguida por un salto que examina el código de condición.

CPU B. Se incluye una comparación en el salto.

En ambas CPU, la instrucción de salto condicional emplea 2 ciclos de reloj, y las demás instrucciones 1. En la CPU A, el 20% de todas las instrucciones ejecutadas son saltos condicionales; como cada salto necesita una comparación, otro 20% de las instrucciones son comparaciones. Debido a que la CPU A no incluye la comparación en el salto, su ciclo de reloj es un 25% más rápido que el de la CPU B. ¿Compara los rendimientos de las dos CPUs?