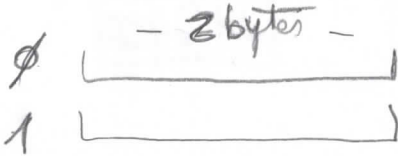


29 JUNIO 2018

-LRU-

BLOQUES

SMP 4 procesadores, MESI, 4 palabras → 2 bytes



Bloques 2 palabras
2 bloques

INICIAL

P1

1	0	M
2	-6	M
3		
4		M

P2

7	5	
8	6	M
1	0	I
2	-6	I

P3

7	6	
8	4	I
3		I
4		

P4

5	9	E
6	10	
1	0	I
2	-6	

Memoria

Dire	1	2	3	4	5	6	7	8	9	10
Dato	0	-6	4	7	9	10	-4	3	2	3

P1: READ-2 (supongo que READ-2 es leer de caché 2)

La dirección de la caché

P1

1	0	(S)
2	-6	
3		
4		M

P2

7	5	M
8	6	
1	0	(S)
2	-6	(S)

P3

7	6	
8	4	I
3		I
4		

P4

5	9	E
6	10	
1	0	(S)
2	-6	(S)

La memoria no cambia

La memoria es igual

P2: WRITE-2 (8)

Si escribo con a (M)

P1

1	0	(I)
2	-6	
3		
4		M

P2

7	5	M
8	6	
1	0	(M)
2	8	(M)

P3

7	6	
8	4	I
3		I
4		

P4

5	9	E
6	10	
1	0	(I)
2	-6	(I)

P2 → P1 Wb/BsRdx
P1, P4 → BsRdx / Flush

P1: READ-2

MEM

	1	2	3	4	5	6	7	8	9	10
	0	8	4	7	9	10	-4	3	2	3

P1

1	0	(S)
2	8	
3		
4		M

P2

7	5	M
8	6	
1	0	(S)
2	8	(S)

P3

7	6	
8	4	I
3		I
4		

P4

5	9	E
6	10	
1	0	(S)
2	8	(S)

? se actualiza con anterior flash

Memoria es igual anterior

P3: WRITE_8(5)

P1

1	0	S
2	8	S
3		M
4		M

P2

7	5	I
8	6	I
1	0	S
2	8	S

P3

7	6	I
8	4	I
3		I
4		I

P4

5	9	E
6	10	E
1	0	I
2	8	I

P3: 8: P1Wn / BusRdx $I \rightarrow M$
P2: 8: BusRdx / flush $M \rightarrow I$

P4: WRITE_8(3)

P1

1	0	S
2	8	S
3		M
4		M

P2

7	5	I
8	6	I
1	0	S
2	8	S

P3

7	6	I
8	4	I
3		I
4		I

P4

5	9	E
6	10	E
1	0	I
2	8	I

Direction 8
no estz P4
Cache bloq
entero

P4: 8: I \rightarrow M
P3: 8: M \rightarrow I
P2: 8: I \rightarrow I

P4

5	9	E
6	10	E
7	4	M
8	3	M

P2, P3: Bus Rdx / flush

P1: READ_8

P1

1	0	S
2	8	S
3		M
4		M

P2

7	5	I
8	6	I
1	0	S
2	8	S

P3

7	6	I
8	4	I
3		I
4		I

P4

5	9	E
6	10	E
7	4	M
8	3	M



CACHE
BLOQUE

P1

1	0	S
2	8	S
7	4	S
8	3	S

P2

7	4	S
8	3	S
1	0	
2	8	

P3

7	6	I
8	4	I
3		I
4		I

P4

5	9	
6	10	
7	4	S
8	3	S

P1: Read

P2, P4: Bus Rdx / flush