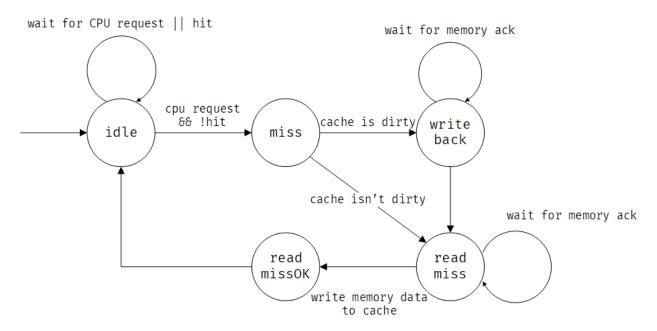
Module Explanation

1. cache controller

在dcache_controller.v,它會存自己的 state,在每個 cycle 改變 state 並設定mem_enable、

mem_write、cache_write和 wtite_back四個變數,同時決定下一個 state。這四個變數會決定 cache controller 要傳給 data memory 和 cache 的東西。假設 cache 回傳 hit 的話,就可以直接在r_hit_data和w_hit_data上操作,等到 cache miss 的時候再把寫過的 data 傳回去 data memory。可以參考以下的 FSM。



2. cache sram

在 $dcache_sram.v$,接在 cache controller 上,它用 LRU 的方式存 cache。它會先檢查 tag_i 是否在 cache 裡面且是 valid 的,並輸出對應的 $data_o$ 。LRU 的實作方法是用一個陣列存上次 read 的是 0 還是 1 ,並依此決定要把哪個換掉。

3. CPU

基於上次 lab 的 CPU 做修改,主要是把上次的 data memory 換成 cache controller,然後把 Mem-Stall 訊號接到各個 pipeline register 和 PC 上,以及把要給 data memory 的訊號接到 cache controller 上。

4. other

都是從 lab1 直接搬過來,然後做一些小修改。在 4 個 pipeline register 加上 MemStall 這個 input,用來在 cache read/write miss 時 stall。把上次的 ALU 的 input 加上 signed,原因在 Difficulties Encountered 那邊。

Difficulties Encountered and Solutions in This Lab

- 1. ALU的 srai 寫錯,一直錯第二個測資,後來發現是沒有加 signed。
- 2. cache controller 裡的r_hit_data和 w_hit_data陣列取值原本是寫(cpu_offset >> 2) << 5,結果 會錯。後來才發現這樣寫不管怎樣取的都是 0 的位子,因為cpu_offset只有 5 個 bit,後面的 shift 5 改成乘以 32 就可以了。
- 3. 在測試最後的 cache flush 會把 data memory 歸零,後來在 testbench 加入判定 tag valid 就好了。

Development Environment

- ArchWSL 21.8.28.0 @ windows 11 professional 21h2 22000.434
- · Linux kernel version: 5.10.60.1-microsoft-standard-WSL2
- iverilog version: 11.0 (stable)
- gtkwave version: 3.3.111

