

Laboratorio N°2
“Modelado VHDL y Síntesis Secuencial Diseño Lógico.docx”

Objetivos

En este ejercicio de laboratorio, diseñaremos e implementaremos un circuito Secuencial

Ejercicio para Laboratorio

Diseñar un autómata capaz de detectar la secuencia 1011101, en su entrada "X", una vez ingresada, deberá activar su salida "Z", teniendo en cuenta posibles solapamientos.



Directrices de informe

Asegúrese de incluir todas las secciones requeridas por las pautas del manual de laboratorio. Además, asegúrese de que su informe incluya lo siguiente:

- Su(s) modelo(s) VHDL, incluidos los comentarios apropiados
- Captura de pantalla anotada de los resultados de la simulación Active-HDL (u otro simulador)
- Asegúrese de describir su método de prueba
- Trabajo de diseño (tablas de verdad, k-maps, ecuaciones, etc.)
- Respuestas a las siguientes preguntas...