

Laboratorio N°1

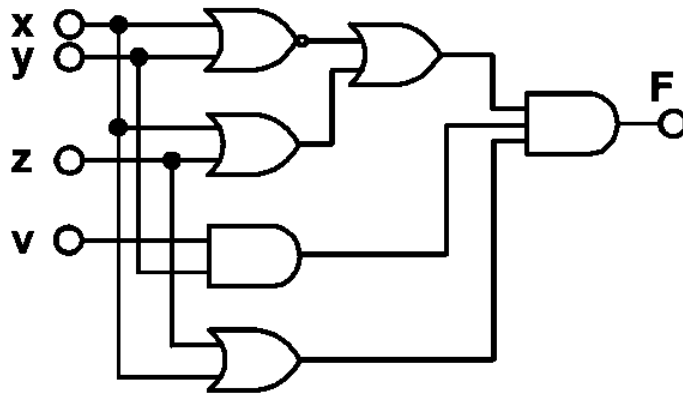
“Diseño de circuitos combinacionales con Vivado y a FPGA NEXYS 4 DDR”

Objetivos

En este ejercicio de laboratorio, diseñaremos e implementaremos un circuito combinacional y un decodificador de 3 entradas 8 salidas

Ejercicios

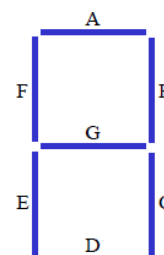
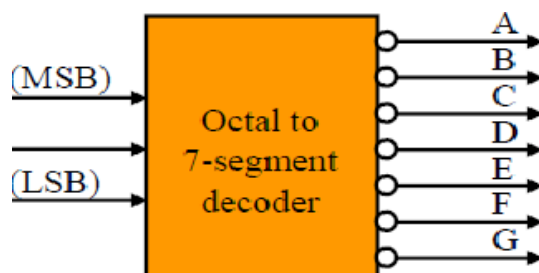
- [1] Con relación al circuito siguiente;
- Obtenga la función lógica
 - Obtenga su tabla de verdad
 - Obtenga su función simplificada.
 - Cree un modelo VHDL a partir de las ecuaciones SOP e implemente en la FPGA Nexys 4 DDR



- [2] Diseñe un decodificador de octal a 7 segmentos con salidas activas bajas.
- Entradas D2-D0
 - Salidas A-G

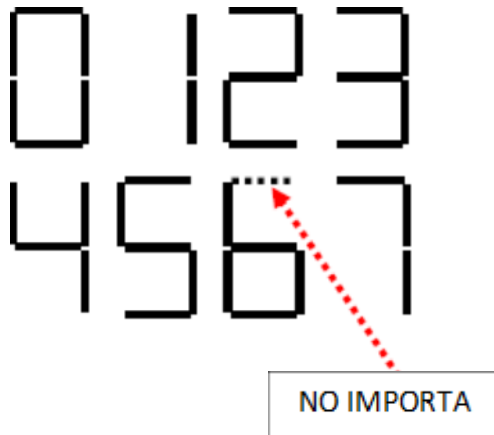
Generar:

- tabla de verdad completa
- K-mapas
- Ecuaciones SOP minimizadas
- Diagrama de lógica



Laboratorio N°1

“Diseño de circuitos combinacionales con Vivado y a FPGA NEXYS 4 DDR”



Cree un modelo VHDL a partir de las ecuaciones SOP; use Active-HDL para simular y verificar el diseño, depurando según sea necesario, u otro software de simulación.

- Un modelo con señales de entrada/salidas individuales
- Un modelo con señales de entrada/salidas vectoriales

Use Vivado para sintetizar, implementar, descargar y verificar cada modelo en la placa Nexys4.

1) Obtenga la tabla de verdad para el decodificador

2) Use K-maps para obtener expresiones SOP minimizadas

- Comparta términos y puertas de productos comunes cuando sea posible

3) Dibujar un diagrama lógico

- Comparta términos y puertas de productos comunes cuando sea posible
- Etiquete todas las entradas y salidas de acuerdo con las especificaciones del sistema

4) Lea lo siguiente del manual de referencia de Nexys4-DDR

- Capítulo 1
- Capítulo 10

Ejercicio para Laboratorio

1) Cree un modelo VHDL a partir de la plantilla en el laboratorio anterior, ingresando sus ecuaciones lógicas SOP en la arquitectura (después de "Begin")

2) Simule su circuito en Active-HDL para verificación de diseño (u otro simulador adecuado)

- Simule y verifique todas las combinaciones de entrada posibles
- Depurar y corregir problemas si la salida es incorrecta
- Verifique la tabla de verdad contra la población de K-map
- Comparar grupos de mapas K con términos de productos de ecuaciones lógicas

3) En Vivado, sintetice e implemente su diseño para el FPGA Artix-7 XC7A100T en la placa Nexys4.

- Conecte las entradas (D2-D0) a los interruptores
- Conectar las salidas (A-G) al display de 7 segmentos

Laboratorio N°1

“Diseño de circuitos combinacionales con Vivado y a FPGA NEXYS 4 DDR”

4) Descarga y verifica tu diseño

- Verificar todos los valores de entrada posibles
- Depurar y volver a descargar según sea necesario

5) Demuestra tu circuito de trabajo al Profesor

6) Repita los pasos 1-5 usando vectores para las entradas y salidas.

Directrices de informe

Asegúrese de incluir todas las secciones requeridas por las pautas del manual de laboratorio. Además, asegúrese de que su informe incluya lo siguiente:

- Su(s) modelo(s) VHDL, incluidos los comentarios apropiados
- Captura de pantalla anotada de los resultados de la simulación Active-HDL (u otro simulador)
- Asegúrese de describir su método de prueba
- Trabajo de diseño (tablas de verdad, k-maps, ecuaciones, etc.)
- Respuestas a las siguientes preguntas...

1. ¿Con solo mirar, hubiera sido más fácil implementar el circuito usando ecuaciones POS para todas las salidas? ¿Qué pasa con algunas salidas?

2. Con base en su comprensión de los FPGA, ¿cómo funcionaría el SOP y Las implementaciones de POS del circuito anterior difieren cuando implementado en un FPGA?