

OBJETIVO

- Integrar el empleo de programación digital en FPGA con máquinas de estado y conversores ADC.

MATERIALES E INSTRUMENTAL

GENERAL

- Circuito DAC de 3 bits R2R (realizado en el microLab 2).
- Comparador
- Software Quartus II versión 13.0

LINK descarga: <https://drive.google.com/file/d/1TP38yhMcN5oDTF68ga1Au9g96NaeENuL/view?usp=sharing>

Hojas de datos de Cyclone III: "Cyclone III Device Handbook.pdf"

LINK: https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/cyc3/cyclone3_handbook.pdf

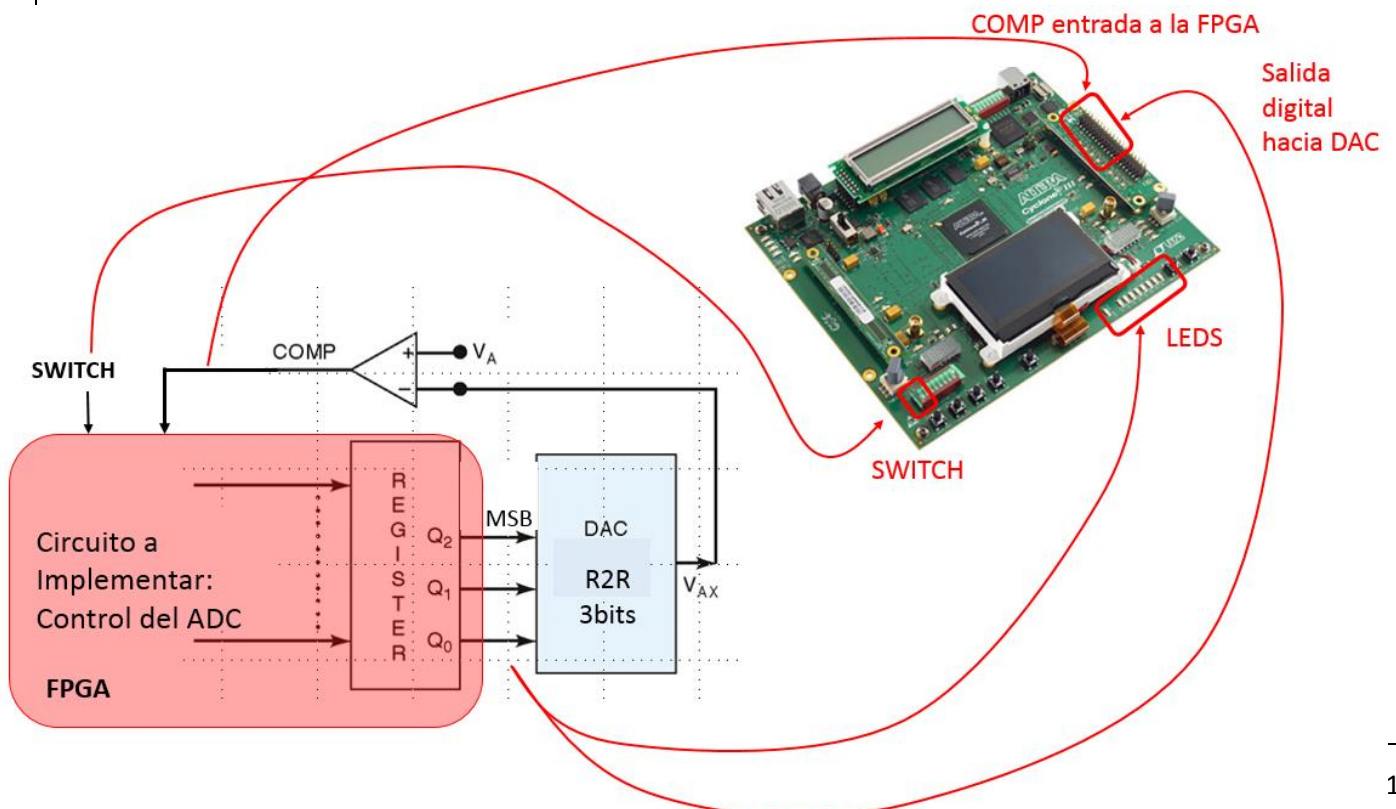
- PC

DESARROLLO DEL LABORATORIO

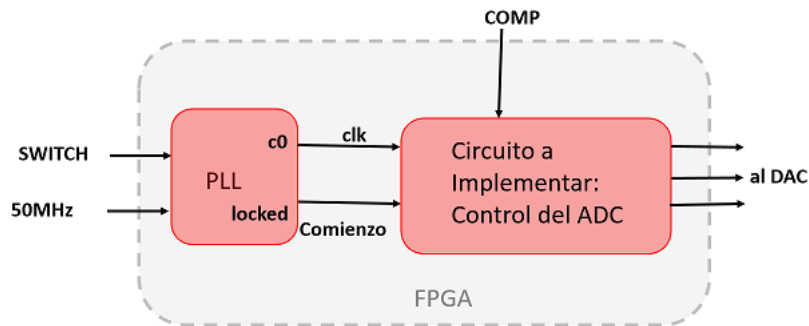
Se debe diseñar en FPGA el control digital para el funcionamiento de un convertor analógico digital de Aproximaciones Sucesivas.

Para ello cada grupo debe emplear al DAC de 3 bits que realizaron en el micro laboratorio 2 y un comparador.

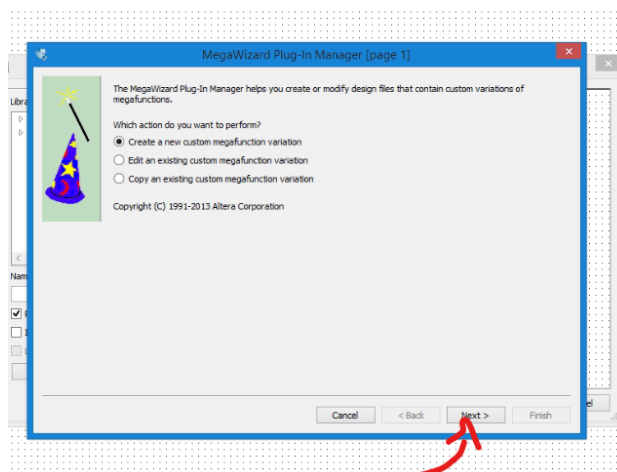
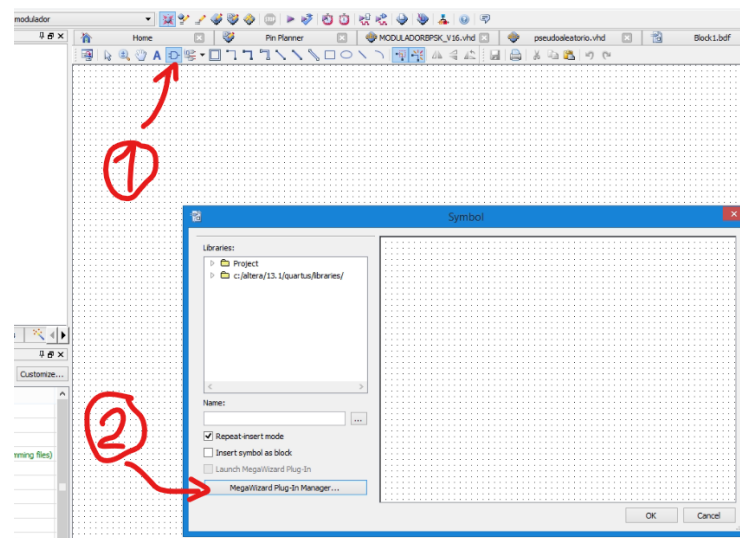
- Los 3 bits de salida del ADC mapear en los leds de la placa de desarrollo de forma que cuando finalice la conversión los leds indiquen el valor digital.
- Los 3 bits de salida del ADC mapear hacia entradas/salidas genéricas para realimentar los bits al DAC.
- Mapear la entrada de clk al reloj de 50MHz de la placa.
- Mapear una entrada que indique el comienzo de una conversión (SWITCH en la figura) a un switch.



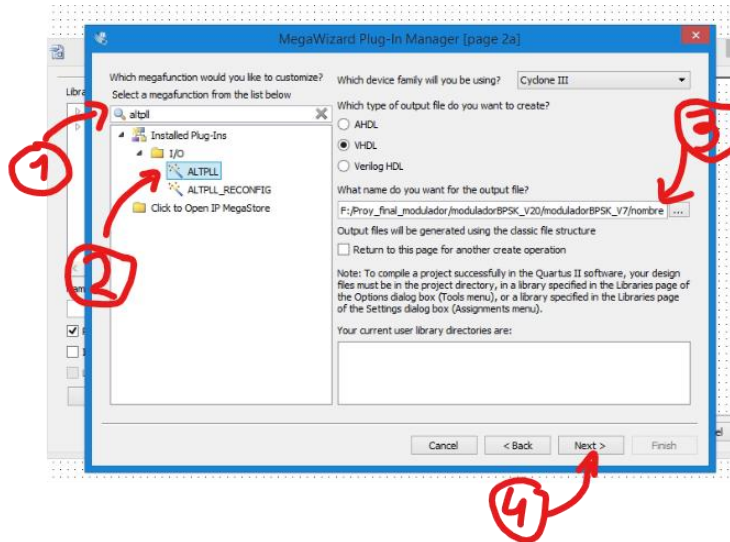
AYUDA (PL para estabilizar la señal de clk y limpiar el rebote de la habilitación):



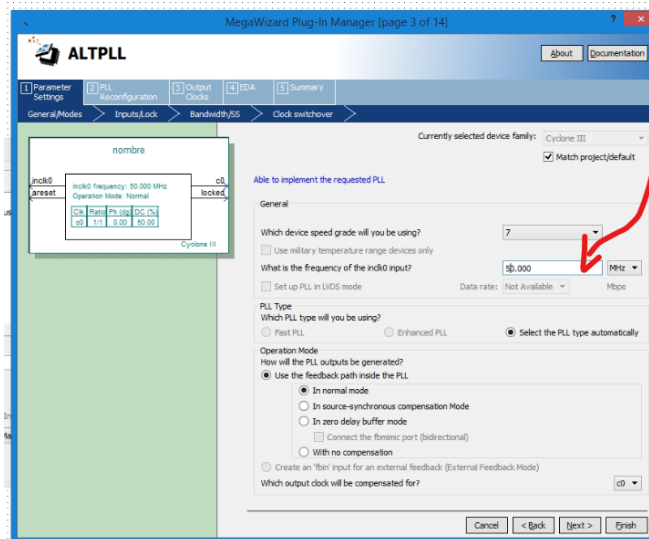
Para generar la señal de clock que recibirá el sistema se utiliza un PLL, es una megafunción incluida en la FPGA:



Buscar ALTPLL (1), seleccionarlo de la ventana (2), agregarle un nombre (3) y NEXT

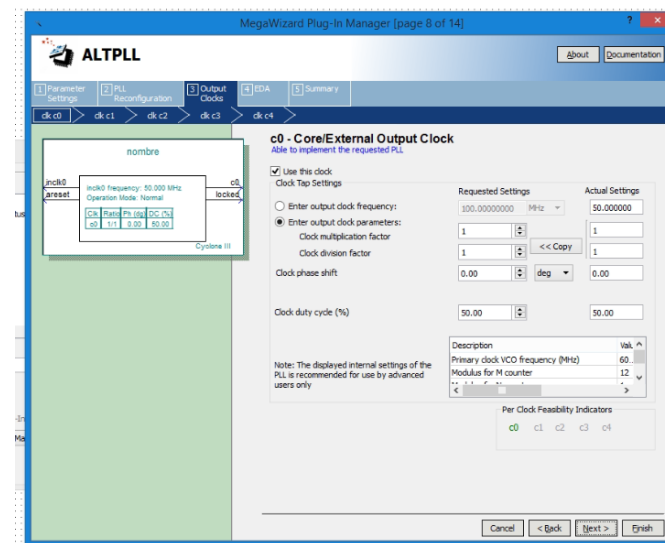


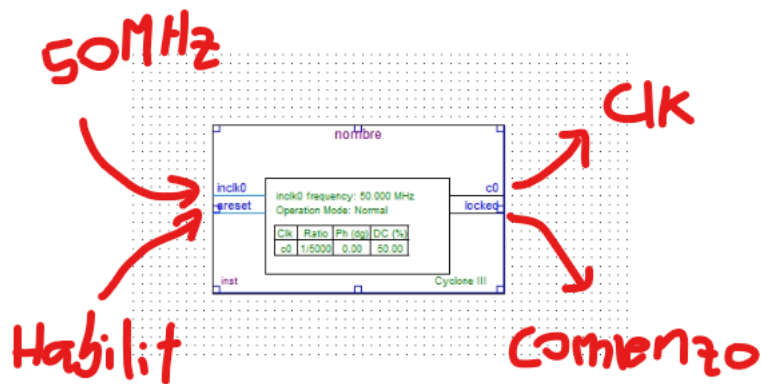
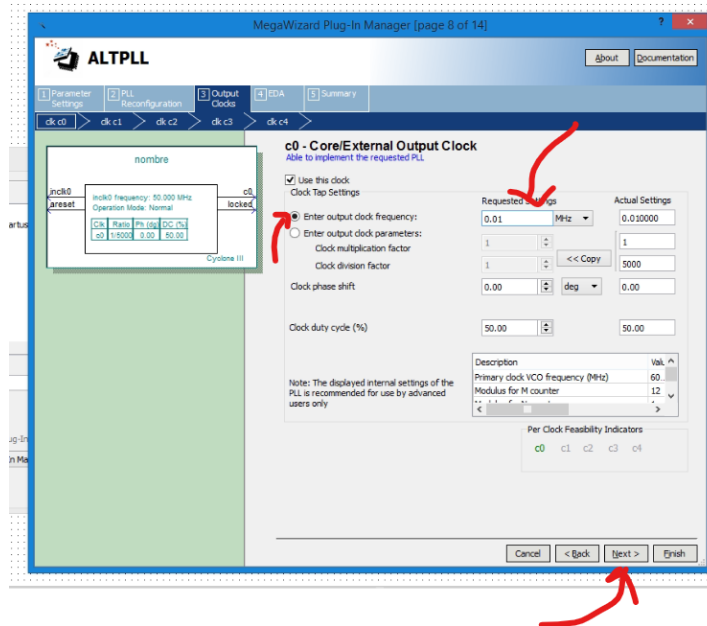
Seleccionar la entrada de clock que recibirá el PLL que es el clock externo de la placa de desarrollo, se podría elegir entre 125 MHz y 50MHz



Next,Next....

Hasta la pantalla:





La entrada **inclk0** debe recibir una señal de clock de 50MHz.

La entrada **areset** es la habilitación del PLL se la debe mapear al swith y seria el comienzo de la conversión.

La salida **c0** será el clk del sistema trabajando a la frecuencia deseada.

La señal **locked** es la señal comienzo (habilitación del sistema). Esta salida toma el valor 1 cuando la salida **c0** se encuentra estable.