

Proiect LDH
Tema 20
Partea I – Proiectarea și analiza dinamică
în SPICE a circuitului DFFNS
CMOS_HP_05_T49G

BALINT ANTONELA_NICOLA
Grupa 5314
Profesor îndrumator: Danut Burdia
Anul de studiu: 2024-2025

Partea I – Proiectarea și analiza dinamică în SPICE a circuitului DFFNS

Circuitul DFFNS realizat în tehnologia CMOS_HP_05_T49G este un flip-flop de tip D cu funcții de set asincron(active Low). Acesta stochează un bit de informație, sincronizat cu semnalul de ceas(active Low), și oferă performanțe ridicate datorită tehnologiei CMOS cu consum redus de energie. Ideal pentru aplicații digitale de mare viteză

1. Să se dimensioneze tranzistoarele MOS corespunzător tehnologiei date și să se scrie netlist-ul SPICE al circuitului. (Netlist-ul se va scrie ierarhic folosind subcircuite).

BALINT ANTONELA - NICOLA
GRUPA 5314

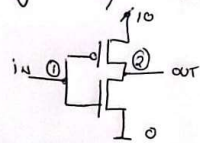
PROIECT LDH

*INV

$$L = 0,5 \mu m$$

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} = 2,67 \Rightarrow W_p > W_n$$

$$\text{Aleg } W_n = 1 \mu m \Rightarrow W_p = 2,67 \mu m$$



*SUBCKT INV 1 10 2

MN2 2 1 0 0 CMOSN L=0,5U W=1U

MP 1 2 1 10 10 CMOSP L=0,5U W=2,67U

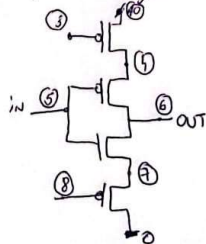
*ENDS

*INV3

$$L = 0,5 \mu m$$

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} = 2,67 \Rightarrow W_p > W_n$$

$$W_p = 2,67 \mu m$$



. SUBCKT INV3 5 8 3 10 6

MN1 6 5 7 0 CMOSN L=0,5U W=1U

MN2 7 8 0 0 CMOSN L=0,5U W=1U

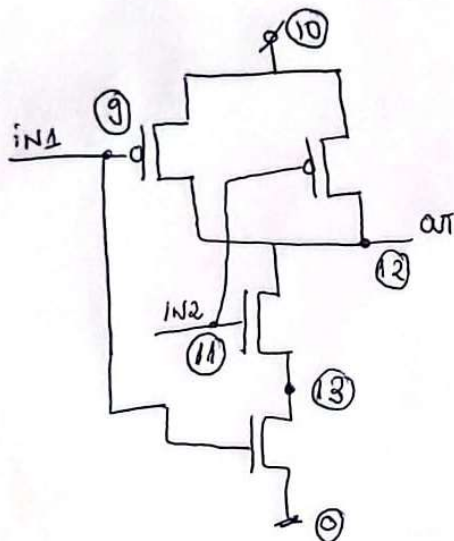
MP1 4 3 10 10 CMOSP L=0,5U W=2,67U

MP2 6 5 4 10 CMOSP L=0,5U W=2,67U

* NAND2

$$\frac{W_p}{W_m} = \frac{1}{n} \cdot \frac{\mu_m}{\mu_p} = \frac{1}{2} \cdot 2,67 = 1,33 \Rightarrow W_p > W_m$$

Alg $W_m = 1 \mu m \Rightarrow W_p = 1,33 \mu m$



. SUBCKT NAND2 9 11 10 12

MN1 12 11 13 0 CMOSN L=0,5U W=1U

MN2 13 9 0 0 CMOSN L=0,5U W=1U

MP1 12 11 10 10 CMOSP L=0,5U W=1,33U

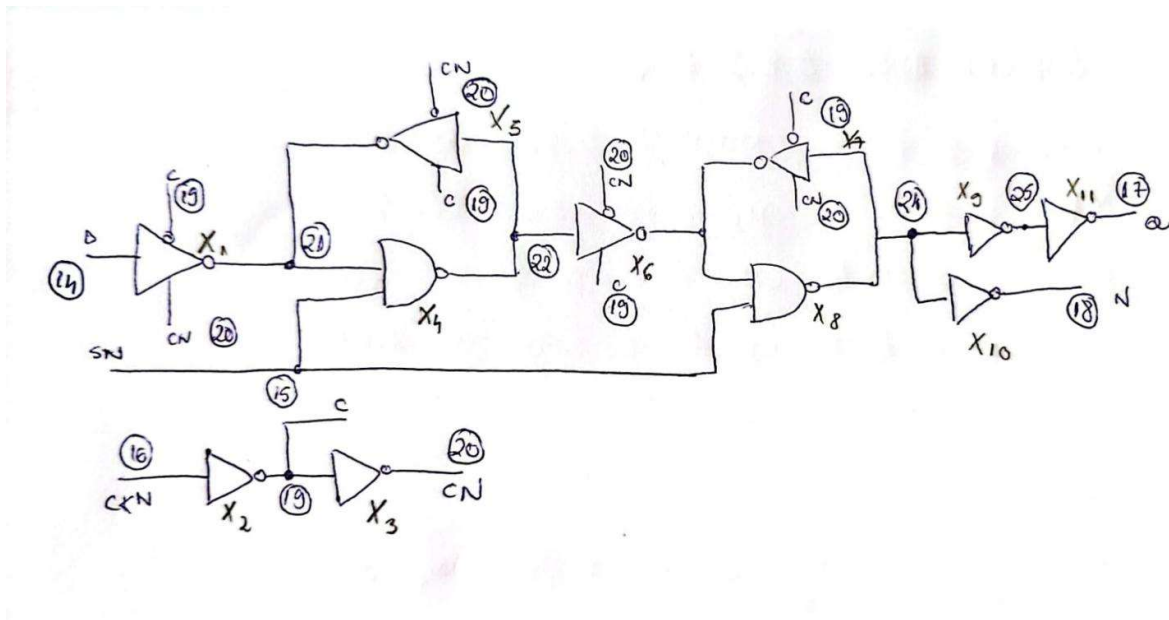
MP2 12 9 10 10 CMOSP L=0,5U W=1,33U

. ENDS

```
.SUBCKT INV 1 10 2
MNL 2 1 0 0 CMOSN L= 0.5U W=1U
MP1 2 1 10 10 CMOSP L= 0.5U W = 2.67W
.ENDS
```

```
.SUBCKT INVT 5 8 3 10 6
MN1 6 5 7 0 CMOSN L= 0.5U W=1U
MN2 7 8 0 0 CMOSN L = 0.5U W=1U
MP1 4 3 10 10 CMOSP L=0.3U W = 2.67U
MP2 6 5 4 10 CMOSP L=0.5U W=2.67U
.ENDS
```

```
.SUBCKT NAND 9 11 10 12
MN1 12 11 13 0 CMOSN L= 0.5U W = 1U
MN2 13 9 0 0 CMOSN L= 0.5U W = 1U
MP1 12 11 10 10 CMOSP L=0.5U W =1.33U
MP2 12 9 10 10 CMOSP L=0.5U W =1.33U
.ENDS
```



2. Să se efectueze analiza tranzitorie a circuitului pentru a pune în evidență funcționarea sa. La fiecare ieșire a circuitului se va considera câte o capacitate de sarcină. Valorile pentru tensiunea de alimentare VDD, timpii de tranziție TR ai formelor de undă de la intrări și, respectiv, capacitățile de sarcină CL se vor adopta în funcție de tehnologia impusă conform tabelului următor:

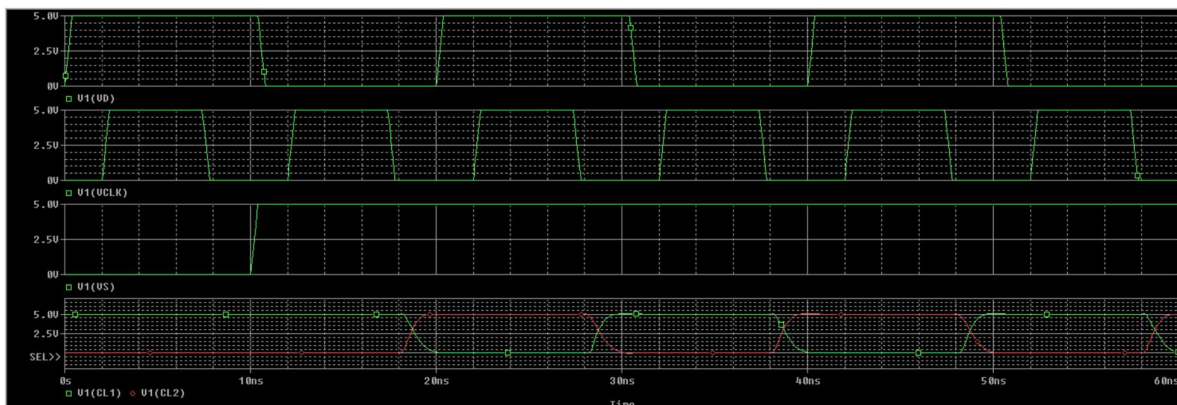
Tehnologie CMOS	0.13 μm	0.18 μm	0.25 μm	0.35 μm	0.50 μm
VDD	1.2V	1.8V	2.5V	3.3V	5V
TR	0.1ns	0.15ns	0.2ns	0.3ns	0.4n
CL	0.06pF	0.07pF	0.08pF	0.09pF	0.1pF

Descrierea circuitului:

```
VD 14 0 0 PULSE(0 5V 0 {TR} {TR} 10n 20n)
VCLK 16 0 0 PULSE(0 5V 2n {TR} {TR} 5n 10n)
VS 15 0 0 PULSE(0 5V 10N {TR} {TR} 100N 200N)
VDD 10 0 5
```

```
X1 14 20 19 10 21 INV3
X2 16 10 19 INV
X3 19 10 20 INV
X4 21 15 10 22 NAND2
X5 22 19 20 10 21 INV3
X6 22 19 20 10 23 INV3
X7 24 20 19 10 23 INV3
X8 23 15 10 24 NAND2
X9 24 10 25 INV
X10 24 10 18 INV
X11 25 10 17 INV
CL1 17 0 {CL}
CL2 18 0 {CL}
```

```
.inc "SUBCIRCUITE.txt"
.inc "CMOS_HP_05_T49G.txt"
.PARAM CL=0.1p
.PARAM TR=0.4n
.tran 0.1n 60n
.probe
.end
```



3. Determinați prin simulare parametrică și folosind funcții țintă în *Probe* dependența timpilor de propagare a circuitului (de la intrarea de clock la ieșiri) în funcție de capacitatea de sarcină (CL), respectiv în funcție de timpul de tranziție (TR) al formei de undă al intrării de clock. În ambele analize parametrice variația parametrilor se va face în intervalul $(0.5 \quad 1.5) \cdot \text{val.}$ adoptată conform tehnologiei. Determinați și notați pe graficele obținute valorile întârzierilor de propagare corespunzătoare valorilor adoptate pentru CL și TR.

Considerând că dependența timpilor de propagare în funcție de CL este de forma:

$$t_{\text{ptotal}} = t_{\text{pintrinsec}} + K_{\text{load}} \cdot \text{CL}$$

determinați pe baza graficelor obținute valorile pentru $t_{\text{pintrinsec}}$ și K_{load} și completați un tabel de felul următor ($t_{\text{pintrinsec}}$ corespunde valorii $\text{CL}=0\text{pF}$):

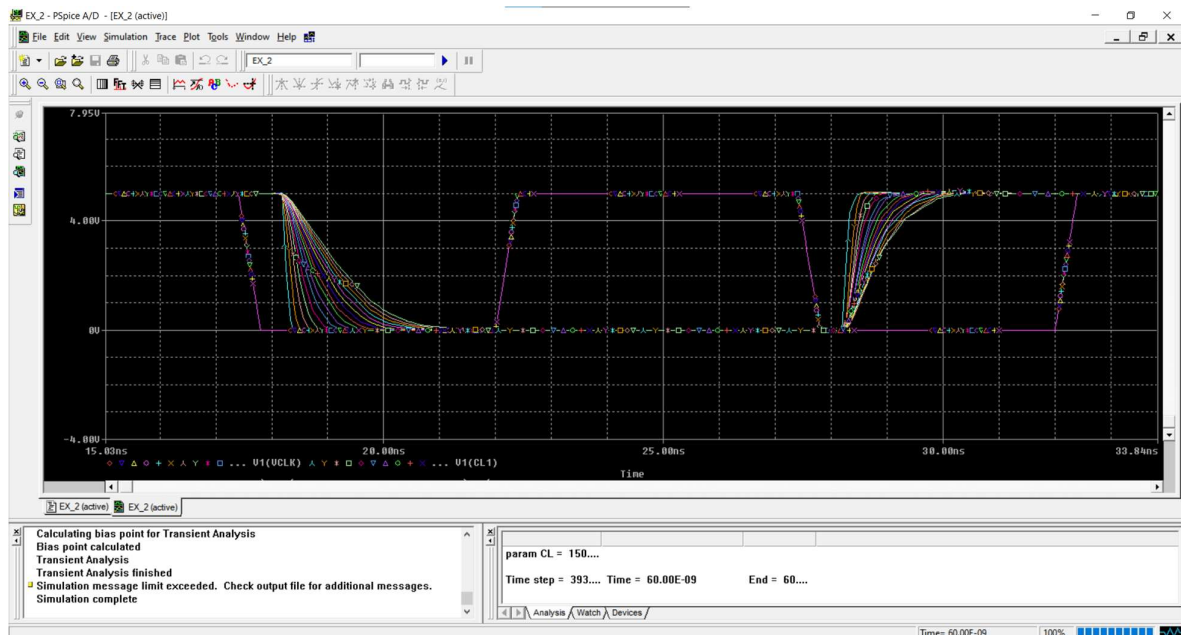
CIRCUIT

```
VD 14 0 0 PULSE(0 5V 0 {TR} {TR} 10n 20n)
VCLK 16 0 0 PULSE(0 5V 2n {TR} {TR} 5n 10n)
VS 15 0 0 PULSE(0 5V 10N {TR} {TR} 100N 200N)
VDD 10 0 5
```

```
X1 14 20 19 10 21 INV3
X2 16 10 19 INV
X3 19 10 20 INV
X4 21 15 10 22 NAND2
X5 22 19 20 10 21 INV3
X6 22 19 20 10 23 INV3
X7 24 20 19 10 23 INV3
X8 23 15 10 24 NAND2
X9 24 10 25 INV
X10 24 10 18 INV
X11 25 10 17 INV
```

```
CL1 17 0 {CL}
CL2 18 0 {CL}
```

```
.inc "SUBCIRCUITE.txt"
.inc "CMOS_HP_05_T49G.txt"
.PARAM CL=0.1p
.PARAM TR=0.4n
.STEP PARAM CL 0P 0.15P 0.01P
.tran 0.1n 60n 25n
.probe
.end
```

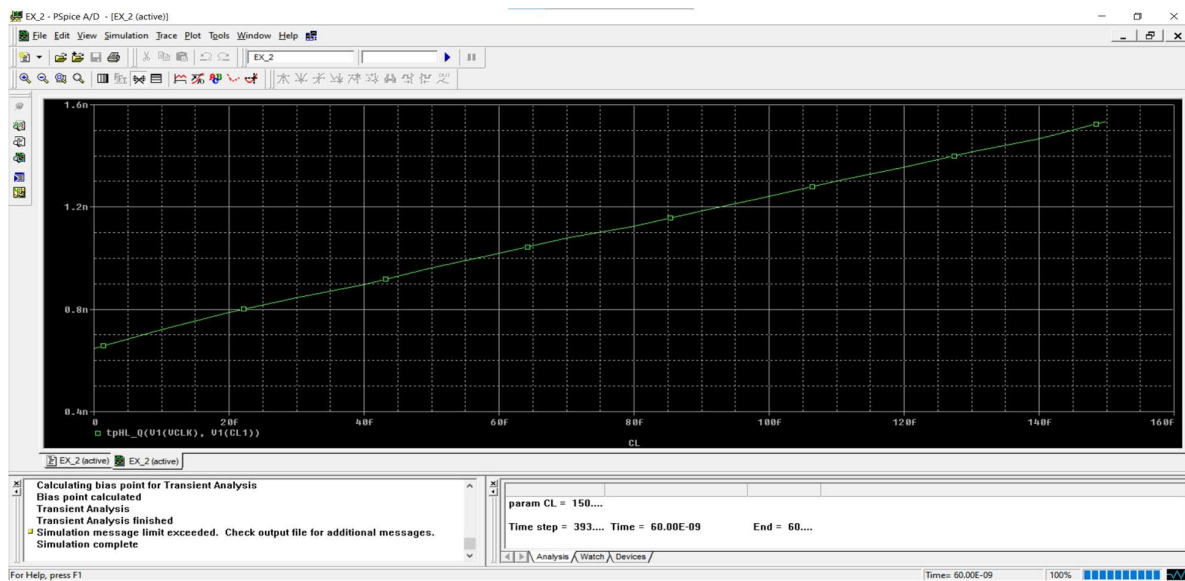


Edit New Goal Function

```

tpHL_Q[1,2] = x2-x1
{
  1| search forward level[50%,n] !1;
  2| search forward level[50%,n] !2;
}

```



$tpHL_Q(\text{intrinsic})=647.56p$

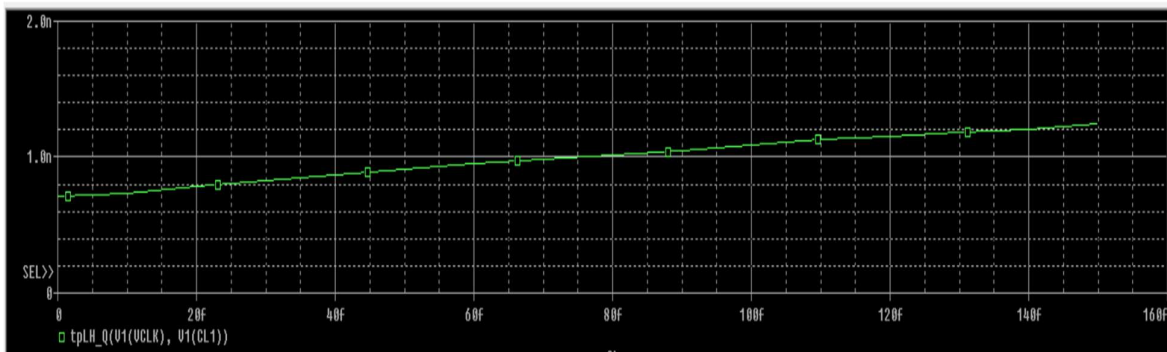
$tpHL_Q(\text{total})=1.24n$

Edit New Goal Function

```

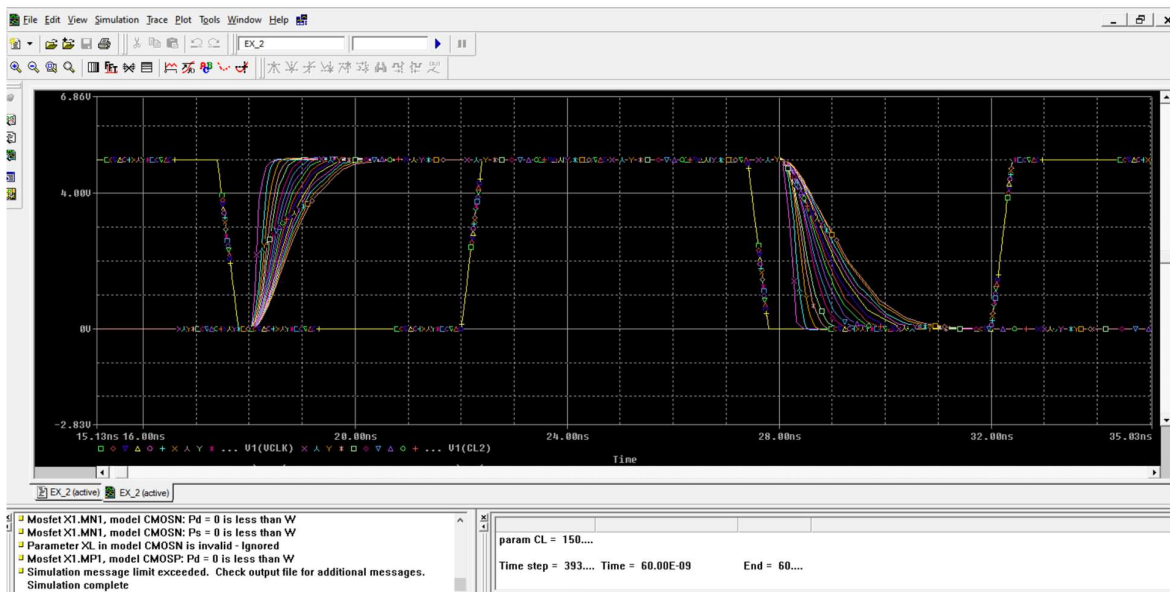
tpLH_Q[1,2] = x2-x1
{
  1| search forward level[50%,n] !1;
  2| search forward level[50%,p] !2;
}

```



$tpLH_Q(\text{intrinsic})=712.41p$

$tpLH_Q(\text{total})=1.08n$

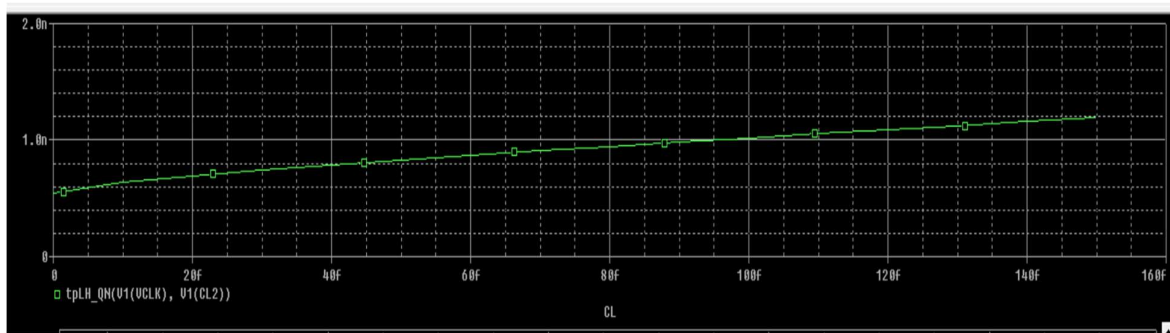


View Goal Function

```

tpLH_QN[1,2] = x2-x1
{
  1| search forward level[50%,n] !1;
  2| search forward level[50%,p] !2;
}

```

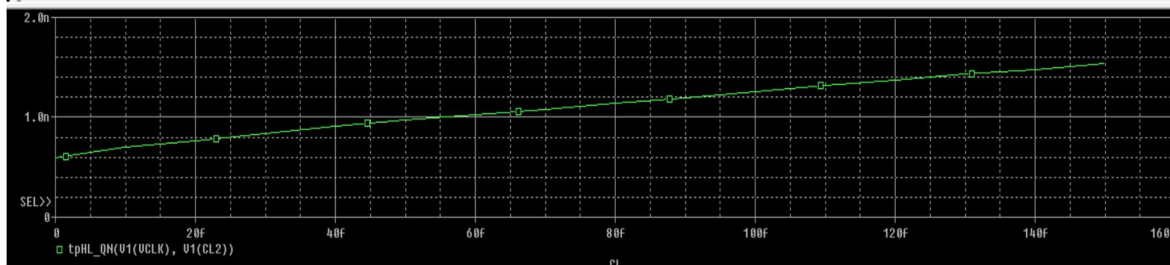



tpLH_QN(intrinsec)=543.71p

tpLH_QN(total)=1.02n

View Goal Function

```
tpHL_QN[1,2] = x2-x1
{
  1| search forward level[50%,n] !1;
  2| search forward level[50%,n] !2;
}
```



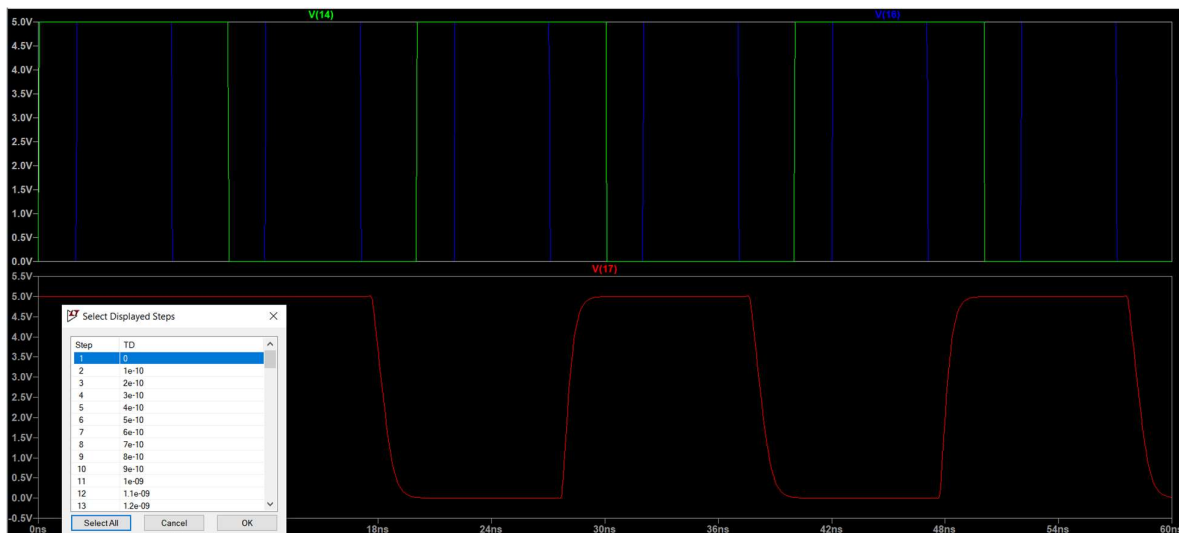
tpHL_QN(intrinsec)=594.04p

tpHL_QN(total)=1.25n

Descriere	tpLH		tpHL	
	tpLHintrinsec	Kload	tpHLintrinsec	Kload
CKN → Q	712.41p	3675.9	647.56p	5924.4
CKN → QN	543.71p	47649	594.04p	6559.6

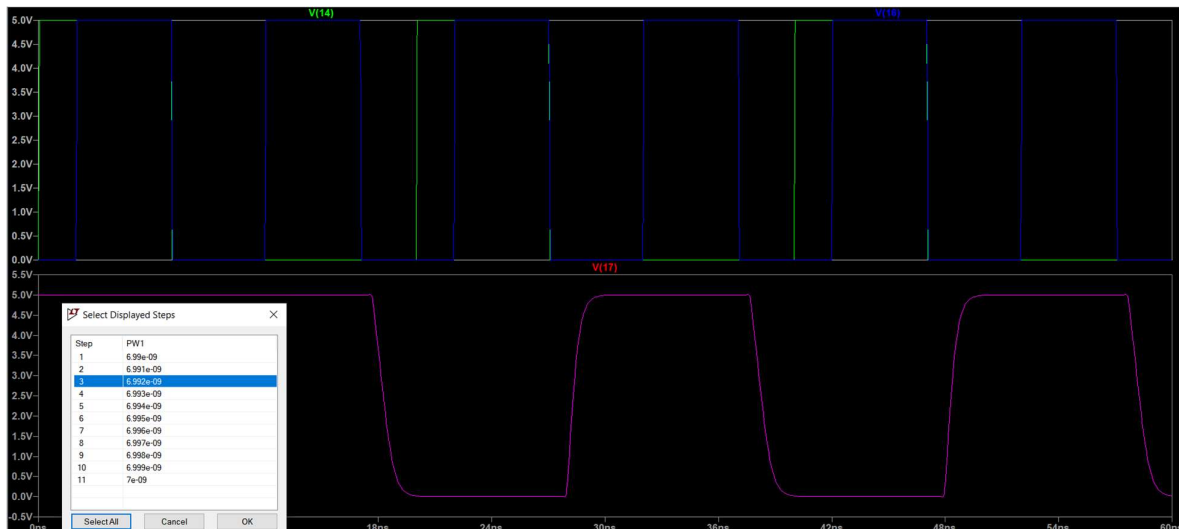
4. Determinați prin simulare parametrii de constrângere $SETUP_TIME$, $HOLD_TIME$ și durata minimă a pulsului $MINPW$ pentru pinii de intrare specificați în tabelul următor:

Pin intrare	Parametru constrângere	Durata interval [ns]
D	$SETUP_TIME_LH \rightarrow CKN$	0
	$SETUP_TIME_HL \rightarrow CKN$	0
	$HOLD_TIME_LH \rightarrow CKN$	6.992
	$HOLD_TIME_HL \rightarrow CKN$	6.992
CKN	$MINPW_HIGH$	233p
	$MINPW_LOW$	345p



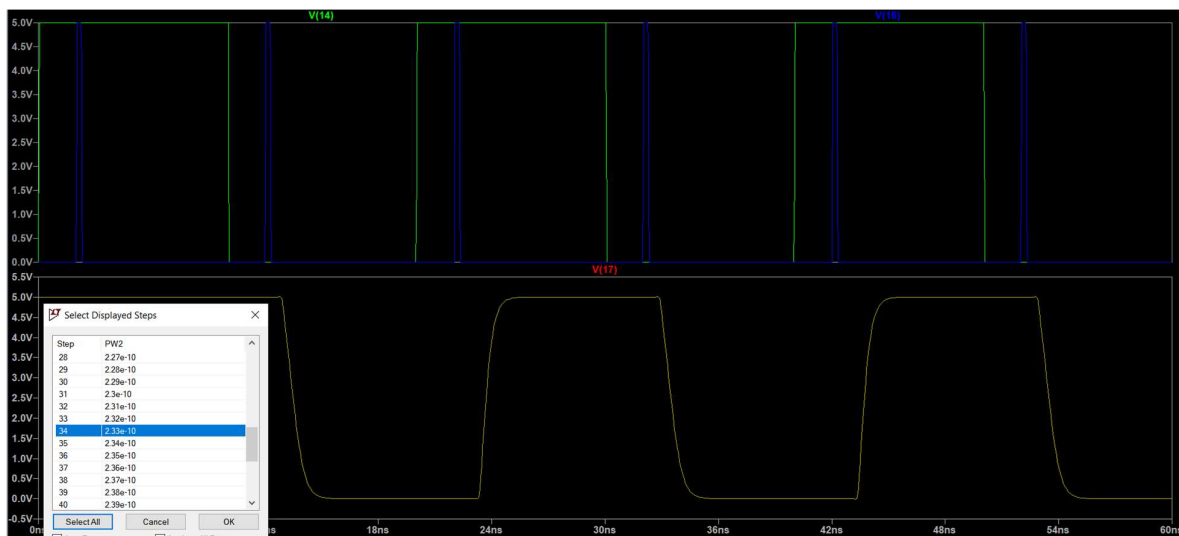
$setup_time_LH = 0\text{ ns}$

$setup_time_HL = 0\text{ ns}$

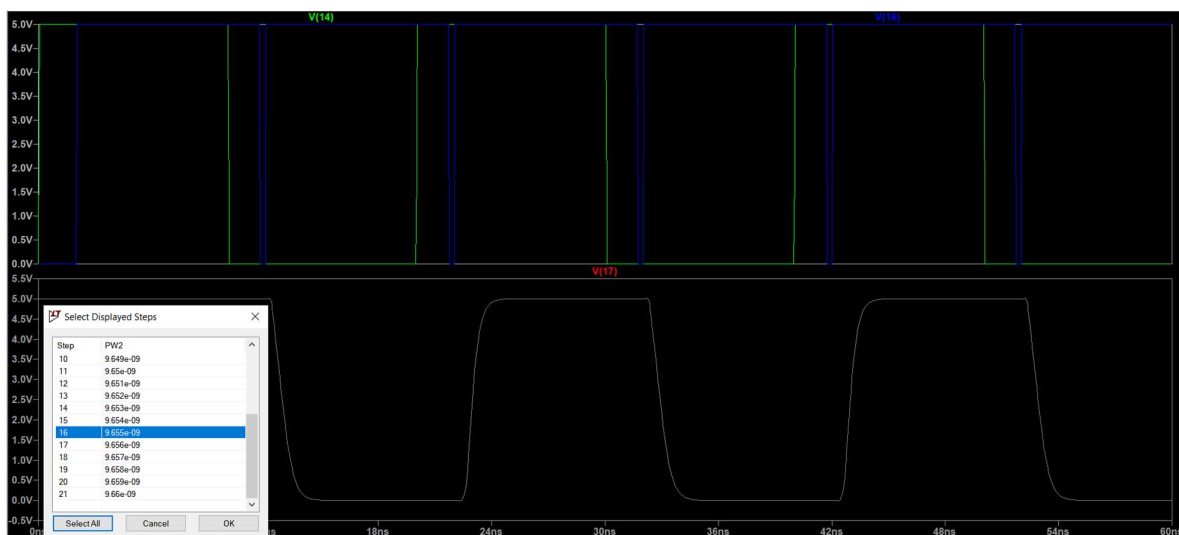


$hold_time_LH = 6.992\text{ ns}$

hold_time_HL = 6.992 ns



MINPW_HIGH = 233 ps



MINPW_LOW = 345 ps