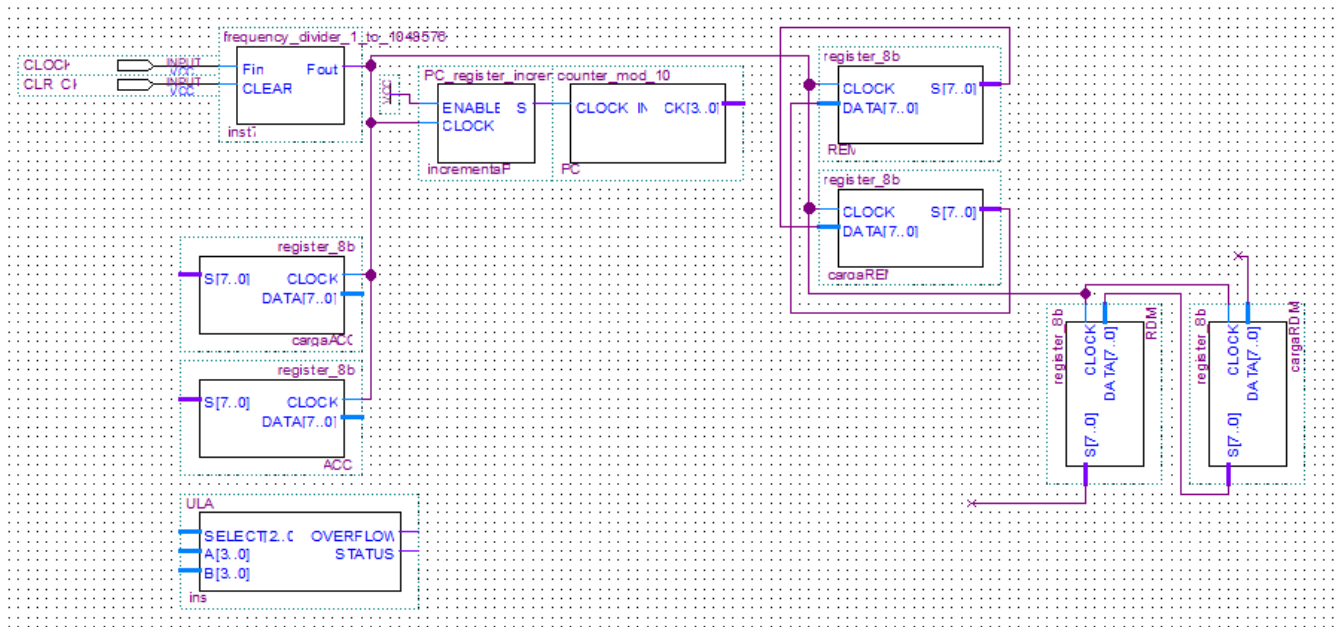


§1 Visão Geral



Implementação atual do processador:

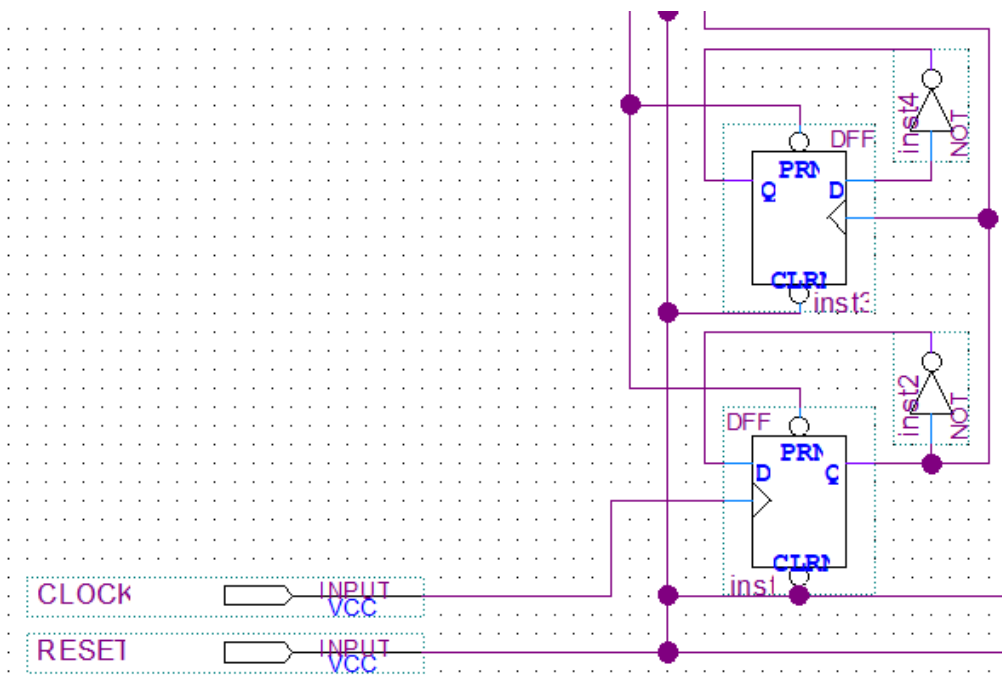
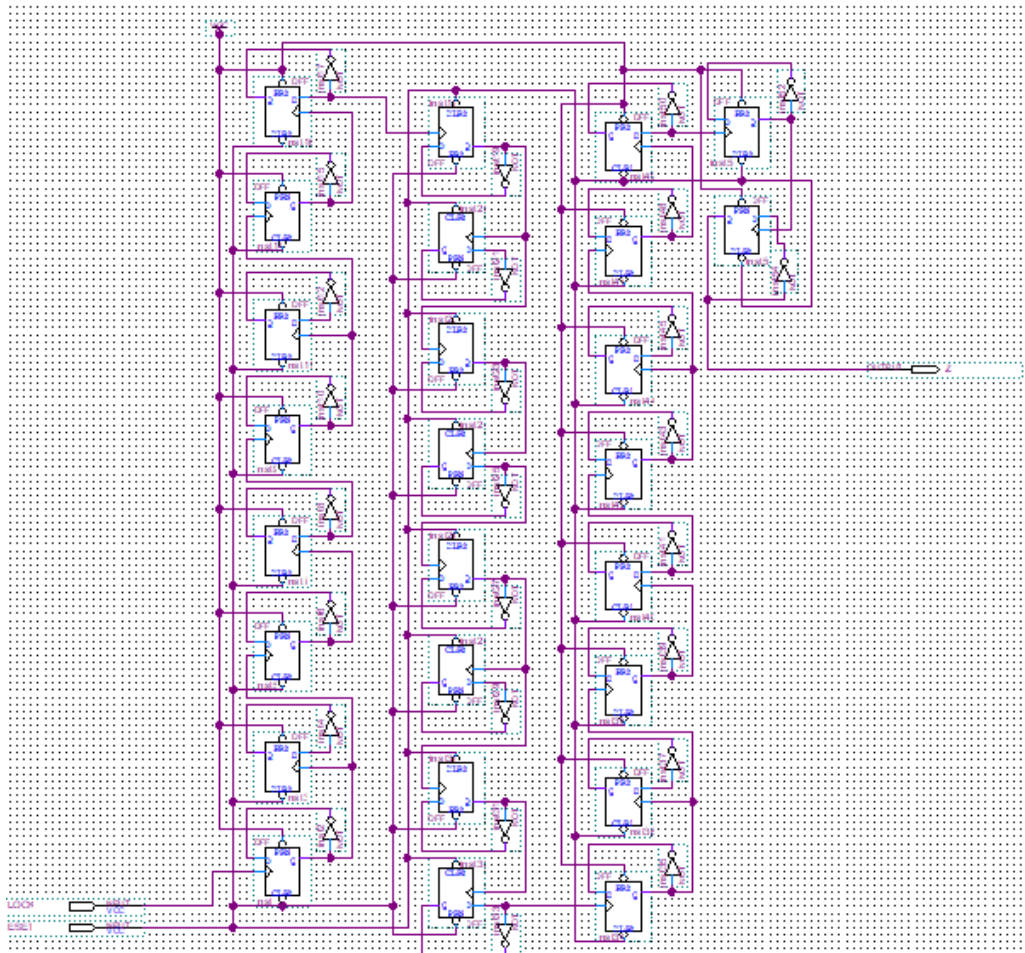
Sinal de relógio **CLOCK** é entrada do **frequency_divider** que reduz 1 Mhz → 1 Hz.

O apontador de programa (PC) foi implementado como um contador módulo 10, incrementado a cada pulso do **PC_register_increment**.

Os registradores de 8 bits **ACC**, **RDM** e **REM** também foram implementados. À direita e acima, o local onde deve ficar a memória do processador.

§2 Controle

§2.1 Divisor de Frequência



Parte de entradas do divisor de frequência, com os *inputs* **CLOCK** e **RESET**. A entrada **RESET** é ligada a todas as entradas **CLR_N** dos *flip-flops* tipo *D*, enquanto a entrada **PR_N** (para *preset*) recebe como entrada o sinal de um VCC (V_{CC} , *Voltage Common Collector*, pino setado sempre à 1).

Um **divisor de frequência** recebe como entrada uma frequência f_{in} (neste caso, o próprio sinal **CLOCK**) e retorna uma frequência

$$f_{out} = \frac{f_{in}}{N}$$

onde N é um inteiro.

Podemos construir divisores de frequência com *flip-flops* do tipo D através de sua concatenação. Dessa forma, ligamos o sinal de relógio ao primeiro *flip-flop*, em uma frequência f_{in} . Os próximos *flip-flops* são ligados em sequência, recebendo o sinal da saída \bar{Q} :

- 1º *flip-flop*: inverte seu sinal a cada sinal do relógio
- 2º *flip-flop*: inverte seu sinal a cada 2 sinais do relógio
- 3º *flip-flop*: inverte seu sinal a cada 4 sinais do relógio
- n º *flip-flop*: inverte seu sinal a cada 2^n sinais do relógio

Dessa forma, conseguimos construir um divisor de frequência que recebe uma frequência f_{in} e retorna uma frequência

$$f_{out} = \frac{f_{in}}{2^n}$$

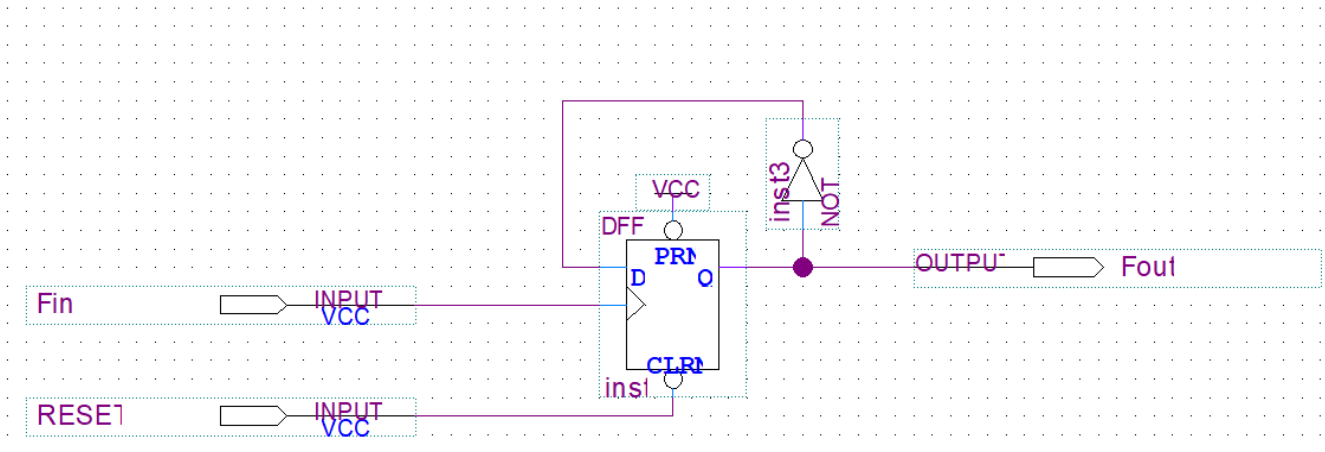
chamamos esta configuração de *flip-flops* de *divide-por-dois*.

Se quisermos reduzir um relógio a 1 Mhz para 1 Hz, devemos

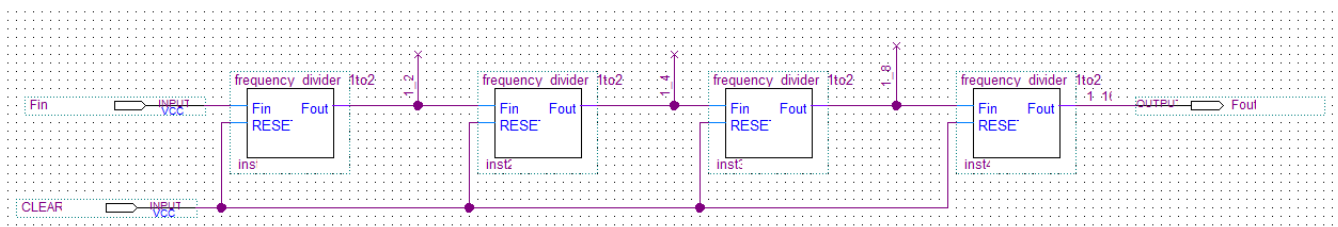
$$1 \text{ Hz} = \frac{1000000 \text{ Hz}}{2^n} \implies 2^n = 1000000$$

$$\log_2(1000000) = n \implies n \approx 19.932$$

a aproximação nos obriga a tomar $n = 20$, o que garante uma frequência *menor* do que 1Hz, mas suficientemente próxima para os fins atuais dos estudos.

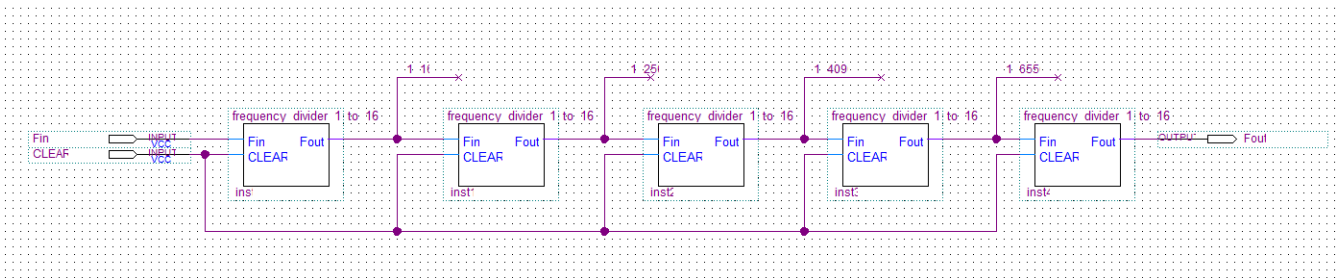


A base de um divisor de frequência binário: $f_{out} = \frac{f_{in}}{2}$



Utilizando o divisor de frequência 1-para-2 acima, construímos um divisor 1-para-16. Isto quer dizer que a frequência de saída é $\frac{1}{16}$ da frequência de entrada, ou que

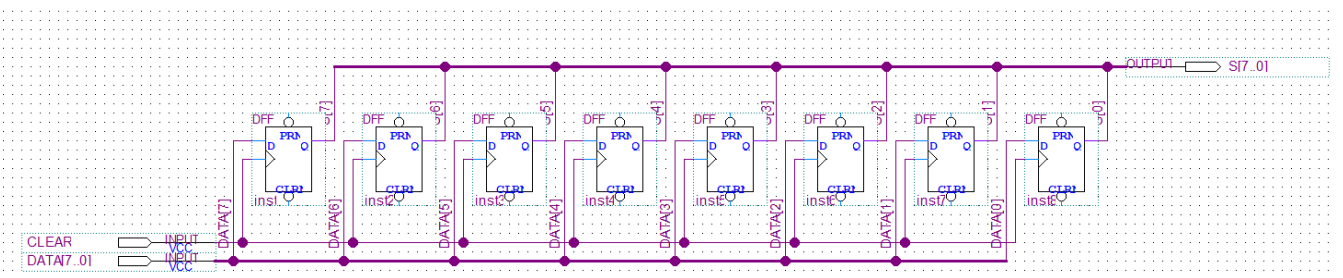
$$f_{in} = 2^4 \cdot f_{out}$$



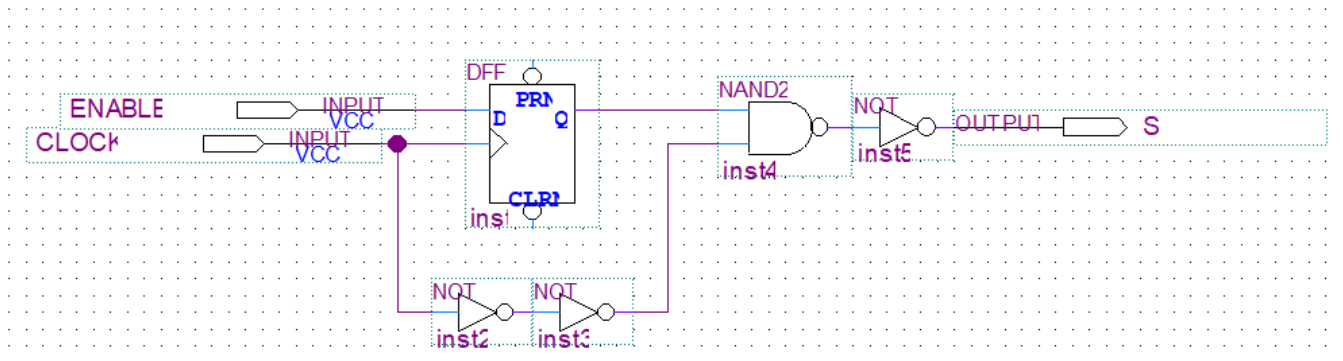
Tomando agora os divisores de frequência 1-para-16, construímos um divisor 1-para-1048576, que corresponde a

$$f_{out} = \frac{1 \text{ MHz}}{2^{20}} \approx 1 \text{ Hz}$$

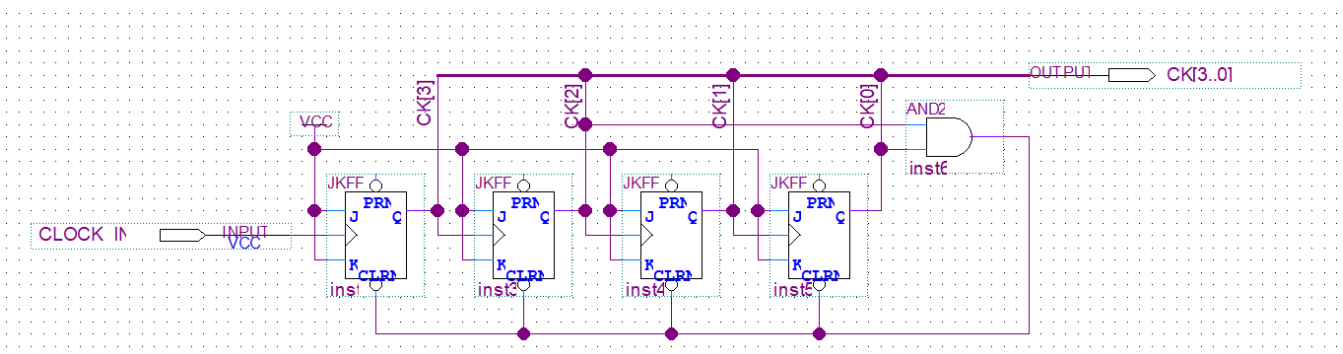
Registadores



Registrador de 8 *bits* de uso geral



Incrementador do PC



Contador módulo 10