
Trabajo Práctico 2

Grupo 1:

Nicolas DE LEON 57232
Valentina LAGO 57249
Santiago BUALO 57120
Gonzalo SILVA 57120
Tomas VIGON 57057

Profesores:
Kevin DEWALD

Presentado: 17/10/2018

Contents

1. Ejercicio 1	2
1.1. Introducción	2
1.2. Resultados	2
2. Ejercicio 2	3
2.1. Introducción	3
2.1.1. Tecnología TTL	3
2.1.2. Tecnología CMOS	3
2.2. Análisis de las tecnologías	3
2.2.1. Rango de operación y rangos de Validez.	3
3. Ejercicio 3	5
3.1. Simplificación e implementación de una tabla de verdad con compuertas lógicas	5
4. Ejercicio 4	7
4.1. Introducción	7
4.2. Mediciones de los tiempos	7
4.3. Tensión de alimentación y temperatura	7
5. Ejercicio 5	8
5.1. Comparación de las Tecnologías	8
5.1.1. Tiempo de propagación	8
5.2. Análisis de los circuitos	8
5.2.1. Influencia del ruido	8
5.2.2. Combinación de tecnología CMOS	9
6. Ejercicio 6	11
6.1. Latch SR	11
6.1.1. Introducción teórica	11
6.1.2. Mediciones realizadas y análisis de resultados	11
6.2. Flip-Flop D disparado por flanco	12
6.2.1. Introducción teórica	12
6.2.2. Mediciones realizadas y análisis de resultados	13
7. Ejercicio 7	15
7.1. Contador asincronico de tres bits	15
7.1.1. Introducción teórica	15
7.1.2. Mediciones realizadas y análisis de resultados	15
7.2. Contador sincrónico de tres bits	16
7.2.1. Introducción teórica	16
7.2.2. Mediciones realizadas y análisis de datos	16
8. Ejercicio 8	18
8.1. Etapa de Entrada	18
8.2. Generador del Pulso	19
8.3. Generador del Clock	20
8.4. Contador	21
8.5. Anexo	22

1. Ejercicio 1

1.1. Introducción

Diseño e implementación de compuertas NOT utilizando transistores BJT. Construcción de dos variantes, RTL (resistor-transistor logic) y TTL (transistor-transistor logic). Medición de parámetros característicos de cada circuito.

Los RTL se caracterizan por implementar compuertas lógicas únicamente con resistencias y transistores BJT, mientras que los TTL utilizan transistores tanto para el comportamiento lógico como para amplificar. Debido a su configuración los TTL poseen una mayor velocidad de transmisión, y ambas familias tienen una alta disipación de potencia.

Se utilizaron los transistores BC547 para los siguientes circuitos.

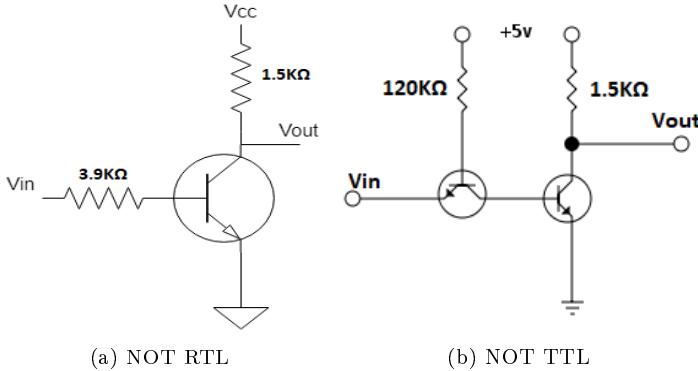


Figura 1: Compuertas NOT

1.2. Resultados

En cuanto a la medición de los parámetros de tensión se utilizó el modo XY del osciloscopio entrando con una rampa de 5V de amplitud a baja frecuencia. Se obtuvo la gráfica de la tensión de salida en función de la entrada. Los márgenes de ruido se calculan a partir de la diferencia de las tensiones de entrada y salida. Luego se aplicó una señal cuadrada de 0V a 5V en la entrada y se midieron los tiempos de las compuertas. Finalmente, como la carga era un capacitor de $1nF$, la corriente está descripta por $i_c = C \frac{dV_c}{dt}$. Se derivó con math la tensión sobre el capacitor, se obtuvo el valor máximo con los cursores y se multiplicó este valor por el del capacitor.

Configuración RTL			Configuración TTL		
	Sin carga	Con carga		Sin carga	Con carga
V_{IH}	665mV	665mV	V_{IH}	643mV	643mV
V_{IL}	565mV	565mV	V_{IL}	575mV	575mV
V_{OH}	4.715V	4.715V	V_{OH}	4.6V	4.6V
V_{OL}	140mv	140mV	V_{OL}	113mV	113mV
$NoiseMarginHigh$	4.05V	4.05V	$NoiseMarginHigh$	3.957	3.957
$NoiseMarginLow$	425mV	425mV	$NoiseMarginLow$	462mV	462mV
t_{pLH}	2.88us	3.76us	t_{pLH}	438ns	1.37us
t_{pHL}	34ns	78.5ns	t_{pHL}	1.7ns	45.2ns
t_r	530ns	3.56us	t_r	534ns	3.71us
t_f	59.8ns	102ns	t_f	46.4ns	93.8ns
I_{max}	-	46.25mA	I_{max}	-	57.5mA

Cuadro 1: Mediciones compuertas

A partir de las mediciones se puede apreciar como una carga capacitiva incrementa tanto t_{pLH} como t_{pHL} , además en los tiempos de propagación se observa la mayor velocidad de transmisión de la familia TTL con respecto a las RTL. Los niveles de tensión y el margen de ruido permanecen similares en ambas configuraciones.

2. Ejercicio 2

2.1. Introducción

Las compuertas lógicas discretas, vienen ensambladas en diversos encapsulados. Constructivamente, existen varias tecnologías para realizar dichos componentes. La finalidad de este punto en particular, va a ser comparar las tecnologías TTL y las CMOS.

2.1.1. Tecnología TTL

Transistor-Transistor Logic, por sus siglas en inglés, es una tecnología de construcción de circuitos integrados electrónicos digitales basada en el uso de transistores bipolares, generalmente de uso de transistores multiemisores. TTL sucedió a las tecnologías RTL (lógica resistencia-transistor) y DTL (lógica diodo-transistor).

2.1.2. Tecnología CMOS

Compuertas CMOS o MOS Complementarias. (Complementary Metal-Oxide Semiconductor), similares a la tecnología TTL, solo que se reemplazan los capacitores BJT por los capacitores de tipo P-MOS o N-MOS. Esta diferencia constructiva, va a ocasionar diferencias en su funcionamiento las cuales se compararán a continuación.

2.2. Análisis de las tecnologías

2.2.1. Rango de operación y rangos de Validez.

Procederemos a comparar la tensión a la cual cada integrado es capaz de funcionar:

Tecnologías	TTL	TTL (medido)	CMOS	CMOS medido
Tensión Recomendada	5 V	-	5 V	-
Tensión mínima de funcionamiento	4.75 V	1.6	2V	1.6
Tensión máxima de funcionamiento	5.25 V	5.5	6V	6.5

Cuadro 2: Contrastación de valores de funcionamiento.

Ahora, mediremos los rangos para los cuales el integrado interpreta un 0 lógico y un 1 lógico:

Tecnologías	TTL	TTL medido	CMOS	CMOS medido
1 Lógico (V)	$[2; v_{cc}]$	1.15	$(V_{cc} = 2V) [1, 5; V_{cc}]$	$[1.060 ; V_{cc}]$
			$(V_{cc} = 4, 5V) [3, 15; V_{cc}]$	$[2,28 ; V_{cc}]$
			$(V_{cc} = 6V) [4, 2; V_{cc}]$	$[2,86; V_{cc}]$
0 Lógico (V)	$[0; 0, 8]$	1.09	$(V_{cc} = 2V) [0; 0, 5]$	$[0 ; 1,02]$
			$(V_{cc} = 4, 5V) [0; 1, 35]$	$[0 ; 2,29]$
			$(V_{cc} = 6V) [0; 1, 8]$	$[0 ; 2,456]$

Cuadro 3: Comparación de rangos de Validez.

Se midieron los integrados 74HC02, 74HCT02 y 74LS02, obteniéndose los siguientes resultados:

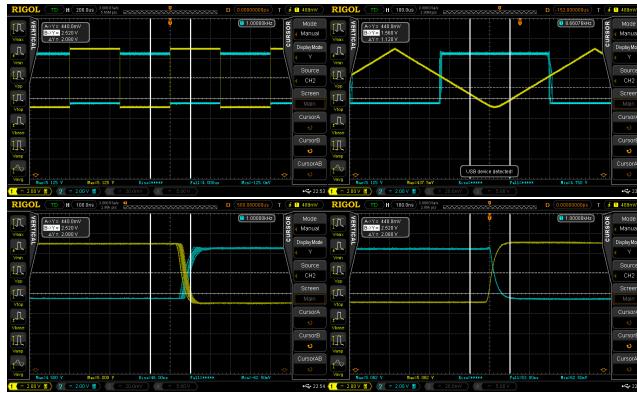


Figura 2: Mediciones del 74HC02.

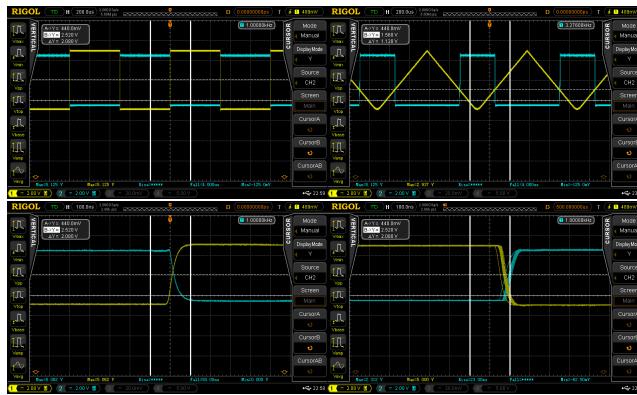


Figura 3: Mediciones del 74HCT02.

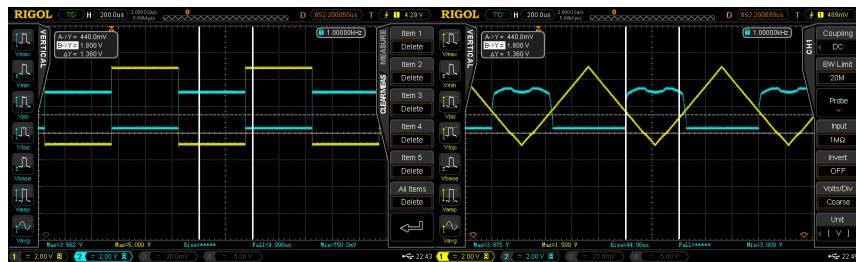


Figura 4: Mediciones del 74LS02.

Como podemos observar, la tecnología TTL tiene distintos niveles de ruido que la CMOS, lo que las hacen incompatibles a la hora de unirlas. Por ello, el integrado HCT, de tecnología CMOS, posee niveles de ruido similar a las TTL, lo que las hace perfectamente compatibles. Un análisis más exhaustivo de esto va a ser realizado en el ejercicio 5.

Pasamos a hacer un análisis del fanout. El fanout es la relación entre la cantidad de entradas que le puedo cargar a una salida de mi integrado. Cuanto más entradas cargo, más tiempo tarda en estabilizarse la señal (tengo un mayor rise time). Es modelable como un capacitor en paralelo a mi circuito. Cuanto más circuitos tengo, más capacitores tengo, ergo mayor tiempo de estabilización. El fanout es proporcional a la capacidad del integrado, por lo que se puede expresar de la siguiente manera:

$C_{total} = \sum C_i$, o lo que equivale que $t_{rise} = n * t_0$. Si se reemplaza t_0 por el valor en la hoja de datos, podemos calcular el fanout para un número n de entradas.

3. Ejercicio 3

3.1. Simplificación e implementación de una tabla de verdad con compuertas lógicas

Si a un circuito lógico se le cambia la entrada, pueden llegar a oscilar la salida hasta que esta se establece. Esto sucede cuando diferentes caminos del circuito tienen delays diferentes, a esto se lo denomina Hazard. Si se cambia la entrada de un circuito y momentáneamente la salida cambia de estado, cuando esta debería mantenerse en el mismo, se lo llama Hazard estático, si por el otro lado, se le cambia la entrada y la salida tendría que cambiar, pero antes de cambiar esta oscila entre 0 y 1, se la llama Hazard dinámico. A continuación se pondrán dos gráficos de hazard estático y dinámico:



Figura 5: La figura de la izquierda muestra lo que sucede cuando no cambia la salida y el de la derecha cuando cambia

Para evitar los Hazards estáticos hay que agrupar grupos extras en el mapa de Karnaugh.

A\B	00	01	11	10
C	0	1	0	0
0	0	1	0	0
1	1	1	0	1

Figura 6: Mapa de Karnaugh

Este es el mapa de Karnaugh de costo mínimo. Para reducir los Hazards, habría que agrupar los dos ceros que no están agrupados., lo cual aumentaría el costo.

Con este mapa de Karnaugh se llega a:

$$f(A, B, C) = (A' + B').(B + C)$$

Para la implementación del circuito se decidió realizarlo con compuertas nors, debido a que con estas se pueden formar todas las compuertas y se llegó al circuito de la siguiente figura

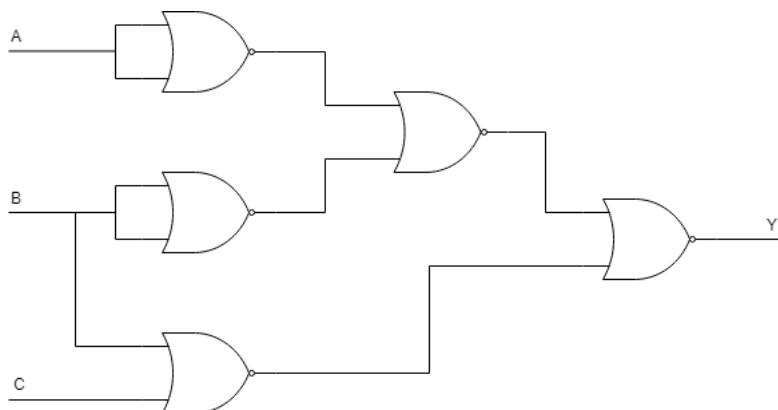


Figura 7: Circuito que cumple la tabla de verdad

Se procedió a realizar el circuito, para realizarlo se utilizaron dos circuitos integrados nor (74HC02) y para simular las entradas en alto y bajo se utilizó un dip switch, también se puso un led en la salida, para ver si esta está en alto o bajo. Luego se midieron los Hazards anteriormente mencionados. A continuación se pondrán las mediciones realizadas:

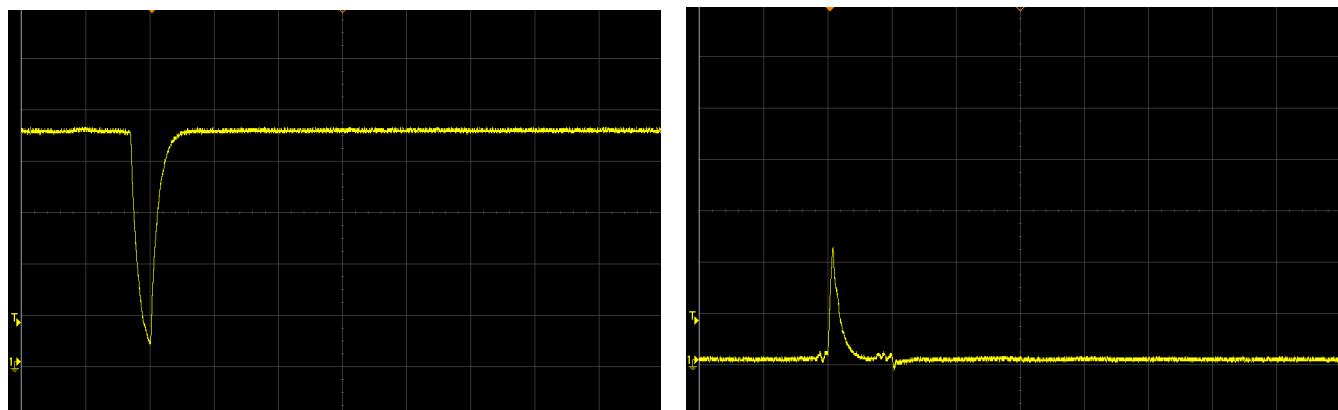


Figura 8: Glices cuando no cambia el estado de la salida

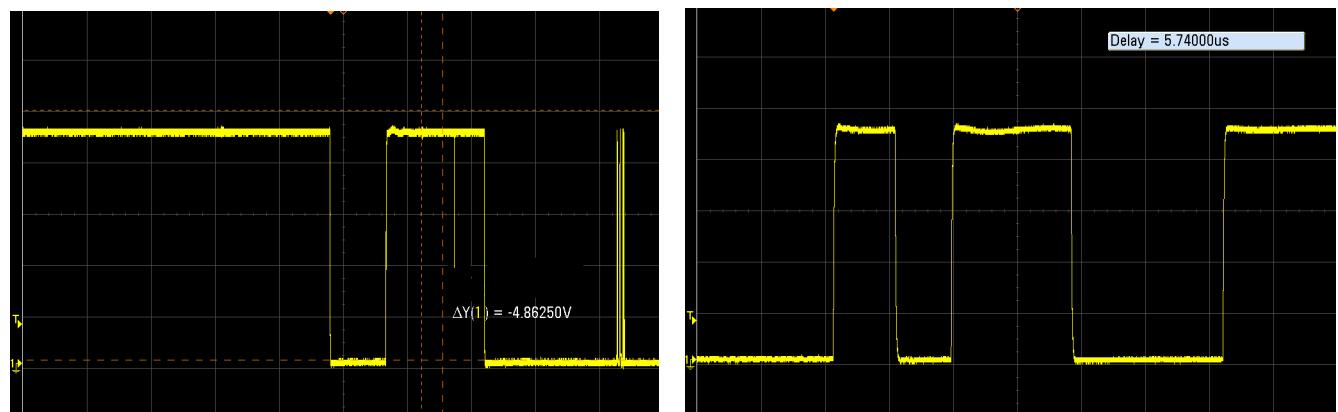


Figura 9: Glitches cuando cambia el estado de salida

4. Ejercicio 4

4.1. Introducción

El objetivo de esta sección consiste en medir los tiempos de propagación, tiempos de subida y tiempos de bajada de una compuerta NOR del 74HC02 (CMOS de alta velocidad). Se realizó la experiencia primero con la compuerta en vacío y luego con carga. Además, se analizaron los cambios en la tensión de alimentación y la temperatura del integrado para altas frecuencias.

4.2. Mediciones de los tiempos

La carga del circuito se implementó con compuertas NAND del integrado 74LS00, LEDs y resistencias de la siguiente manera:

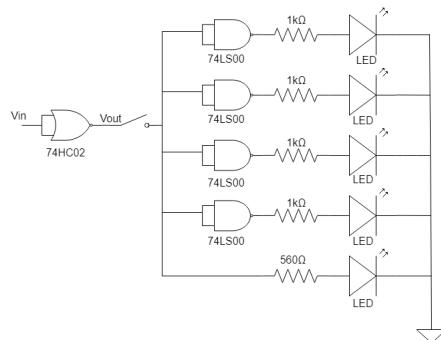


Figura 10: Circuito con carga

Donde no se presentaron problemas de compatibilidad para los rangos de tensión que cada integrado considera como ceros o unos lógicos a pesar de estar construidos por distintas tecnologías.

	En vacío	Con carga
t_r	39,6ns	38,75ns
t_f	33ns	34,5ns
t_{pLH}	17,6ns	20,5ns
t_{pHL}	5,8ns	7ns

Cuadro 4: Tiempos de la compuerta 74HC02

Se puede observar a partir de las mediciones que tanto para t_r y t_f (tiempo de subida y tiempo de bajada) los valores permanecen similares con cambios relativos de 2,15 % y 4,54 % respectivamente. En cambio, en los tiempos de propagación las variaciones relativas son de $t_{pLH} = 16,5\%$ y $t_{pHL} = 20,7\%$. Esto se debe a que al incrementar el fan-out, la capacitancia parásita vista a la salida de la compuerta NOR es mayor y como el tiempo de propagación depende linealmente de esta, también aumenta.

4.3. Tensión de alimentación y temperatura

Al elevar la frecuencia a $100KHz$ la temperatura no presentaba cambios, recién se percibió un pequeño aumento a $1MegHz$. Esto se debe a que la potencia dinámica disipada está descripta por la fórmula $P_d = f C V_{cc}^2$, siendo V_{cc} la tensión de alimentación, f la frecuencia y C las capacidades parásitas.

La tensión de alimentación era de 5V constantes excepto cuando habían cambios a la entrada V_{in} que se observaba un sobreímpetu. Esto se debe a que los componentes parásitos forman un RLC que pide corriente a la fuente afectando el transitorio de corriente y de tensión, por lo tanto los sobreímpetus observados se corresponden al transitorio. Conectando un capacitor los picos en la alimentación desaparecen porque la corriente que el RLC le pide a la fuente es compensada por la que entrega el capacitor de desacoplo al resto del circuito. Se utilizó un capacitor de 100nF porque la carga que almacena es suficiente para proporcionarle al circuito, para circuitos de mayor complejidad se utilizan capacitores más grandes.

5. Ejercicio 5

5.1. Comparación de las Tecnologías

5.1.1. Tiempo de propagación

Compararemos el tiempo de propagación (tiempo que demora la salida en manifestar su estado), en ambas tecnologías, obteniendo así:

Tecnologías	TTL	TTL medido	CMOS	
Low to High (ns)	[3;11]	1.72	$(V_{cc} = 2V)$ [25; 90]	90
			$(V_{cc} = 4,5V)$ [9; 18]	140
			$(V_{cc} = 6V)$ [7; 15]	112
High to Low (ns)	[3;11]	82.2	$(V_{cc} = 2V)$ [19; 75]	87
			$(V_{cc} = 4,5V)$ [7; 15]	86
			$(V_{cc} = 6V)$ [6; 13]	99

Cuadro 5: Contraste de tiempos de propagación.

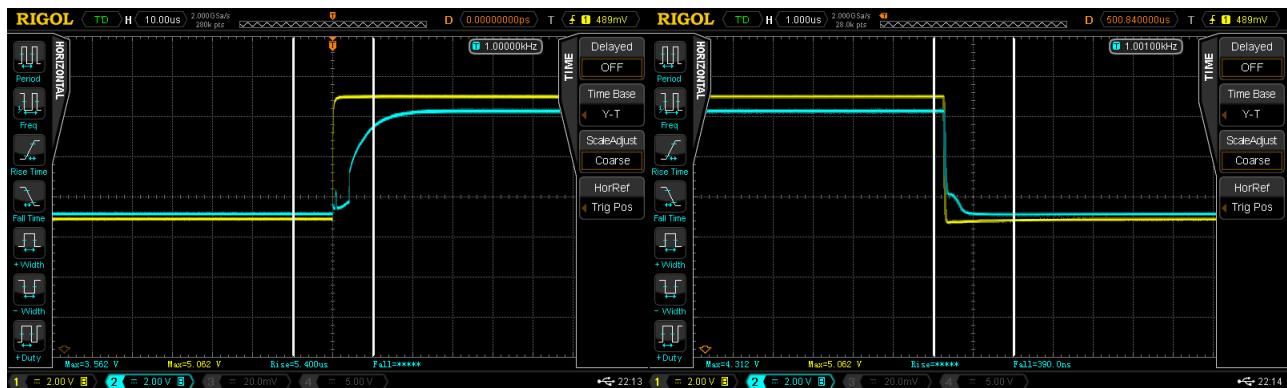


Figura 11: Rise Time y Fall time de la compuerta AND.

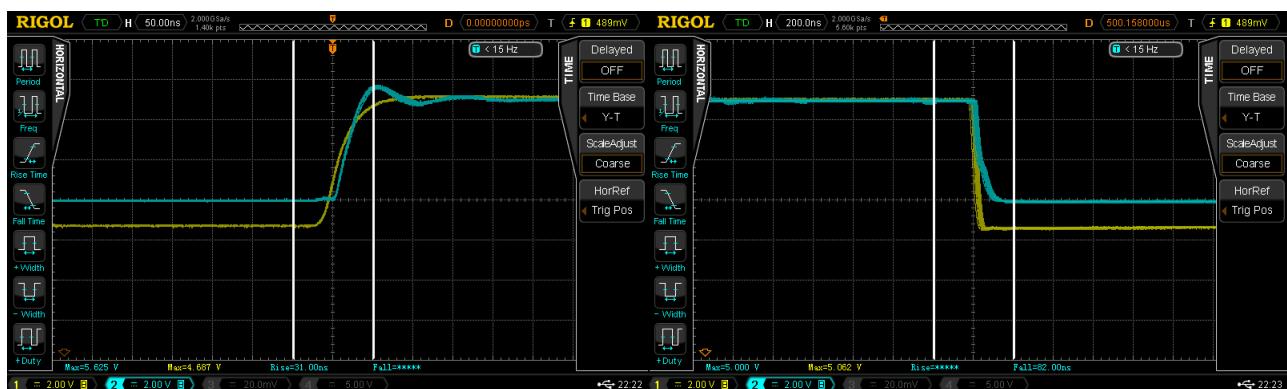


Figura 12: Rise time y Fall time de la compuerta OR.

5.2. Análisis de los circuitos

5.2.1. Influencia del ruido

Para esta parte, vamos a observar cuánto afecta el ruido ambiente a los integrados con los que trabajamos. Para ello, vamos a realizar mediciones según el siguiente esquema:

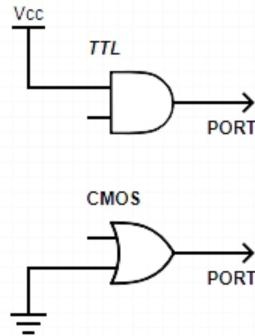


Figura 13: Circuitos para realizar mediciones a los integrados por separado.

Observamos lo siguiente:

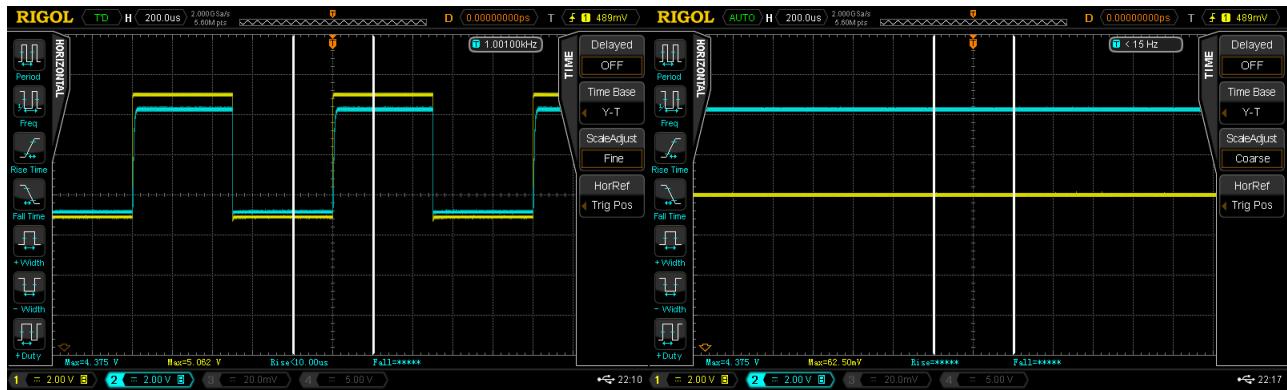


Figura 14: Medición de la compuerta AND.

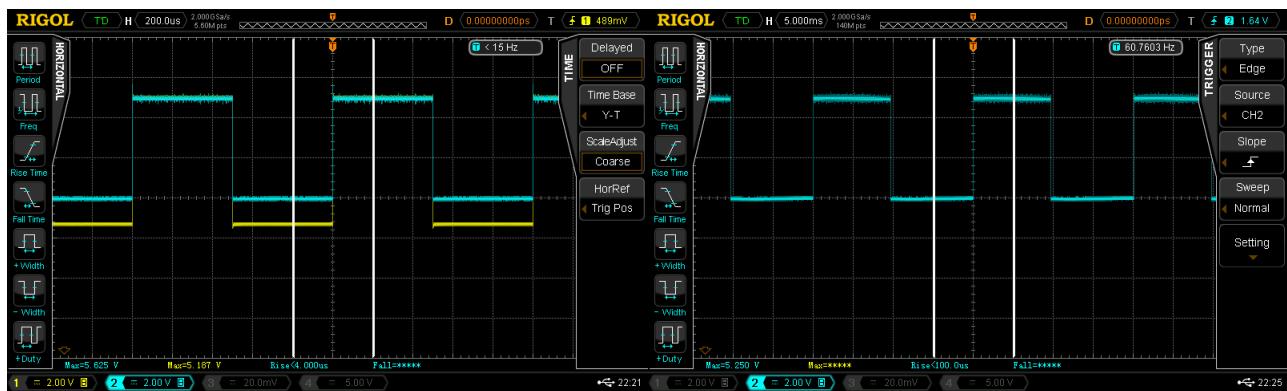


Figura 15: Medición de la compuerta OR.

5.2.2. Combinación de tecnología CMOS

Ahora, vamos a ver qué sucede cuando queremos que las dos tecnologías interactúen entre sí. Para ello, las vamos a conectar de la siguiente manera:

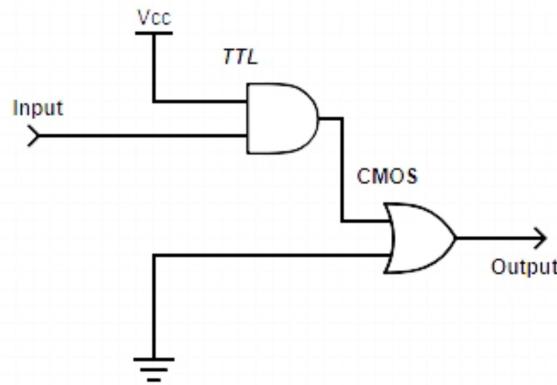


Figura 16: Circuito de combinación de TTL y CMOS.

Observamos las siguientes salidas:

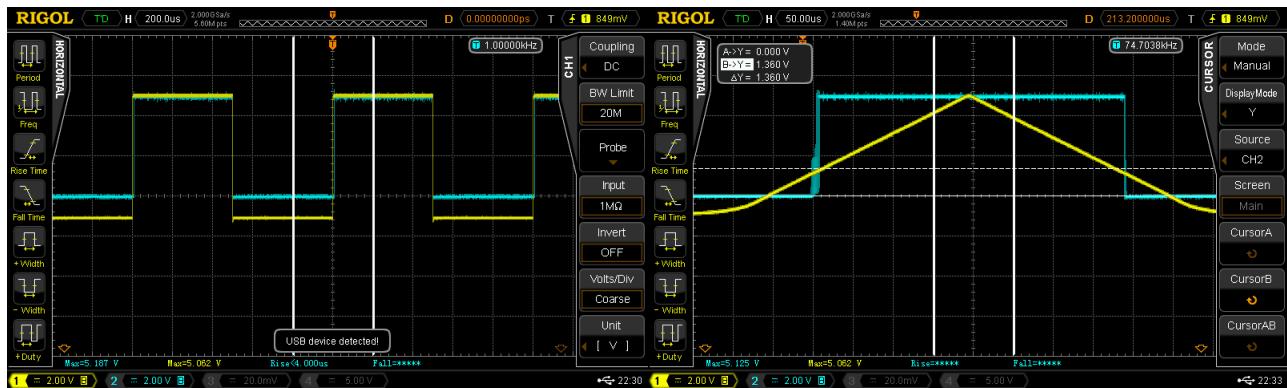


Figura 17: Medición con el osciloscopio.

¿Qué sucede? Si hacemos la tabla de verdad para el circuito, resulta que la salida debe ser exactamente igual a la entrada (es decir si pongo 5V salen 5V y su par para los 0V). Esto es lo que efectivamente se observa en el circuito, sin embargo no es lo que se debe esperar: la tecnología CMOS suelen tener un menor rango de valores para los cuales interpreta como un 1 lógico, lo que implica que cuando el TTL devuelve un 1 lógico puede no caer en la zona equivalente del CMOS y que la salida sea ruido.

Este problema, puede ser solucionado de dos grandes formas: la primera es usando tecnología compatible (HCT); la segunda, es poniendo un level shifter de 3.3V a 5V.

Existen varios levels shifters, desde los más sencillos hasta los más sofisticados. Se ilustran a continuación dos posibles soluciones:

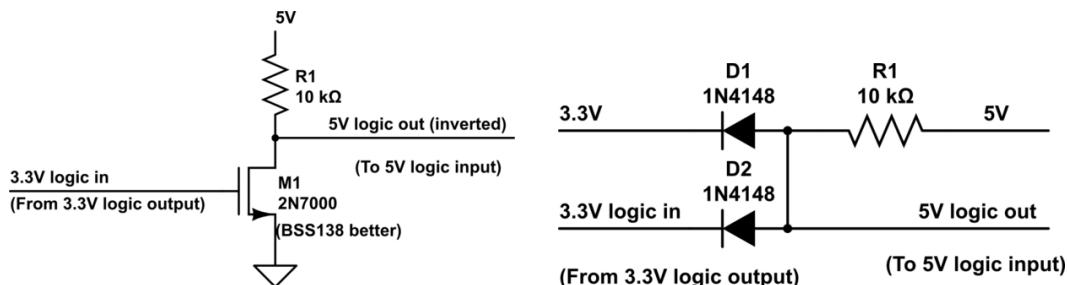


Figura 18: Levels shifters para adaptar TTL a CMOS y viceversa.

6. Ejercicio 6

6.1. Latch SR

6.1.1. Introducción teórica

En el presente trabajo practico se implemento un Latch SR con compuertas lógicas NAND como se muestra a continuación:

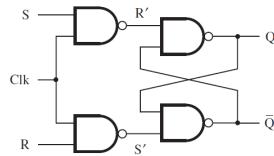


Figura 19: Circuito implementado para la realización del Latch SR

El circuito se comporta de la siguiente manera:

- Cuando $Clk = 0$, el latch permanece en el estado en que está en el instante t , es decir, $Q(t)$, independientemente de los valores de S y R .
- Cuando Clk cambia a 1, las señales S' y R' serán iguales que las señales S y R , respectivamente. En estas condiciones, nuestro circuito cuenta con la capacidad de establecerse en 1 e inicializarse en 0 (S por set y R por reset, establecerse e inicializarse, respectivamente).

A continuación se procederá a mostrar su símbolo gráfico, su tabla característica y un ejemplo para una mayor comprensión del mismo:

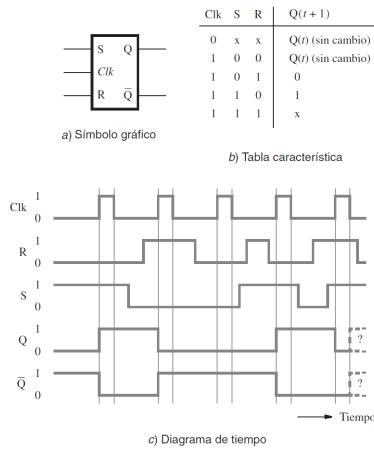


Figura 20: a) Símbolo gráfico ; b) Tabla característica ; c) Ejemplo

En la última fila del ejemplo, donde $S = R = 1$, se muestra que el estado $Q(t + 1)$ no está definido porque no sabemos si será 0 o 1. Por esto, debemos remarcar que para asegurar una operación significativa del Latch SR es esencial evitar la posibilidad de tener las dos entradas S y R iguales a 1 cuando Clk cambia de 1 a 0.

6.1.2. Mediciones realizadas y análisis de resultados

Para realizar las mediciones del Latch SR se implemento en PCB el circuito presentado en la subsubsección anterior haciendo uso del integrado 74HC00 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT00.pdf).

Por otro lado, a partir de la hoja de datos del integrado 74HC749, notamos que algunos de los tiempos que caracterizan al Latch SR son: $t_{establecimiento}$, t_{rise} y t_{fall} . Es por esto, que realizamos la medición de dichos tiempos para luego poder realizar una comparación con los tiempos dados en la hoja de datos del integrado 74HC749.

Los tiempos de rise y fall son sencillos de medir y se midieron del 10% al 90% de la subida o bajada de la señal respectivamente. Para el tiempo de establecimiento nos pareció mas claro mostrar imágenes de como fue medido:

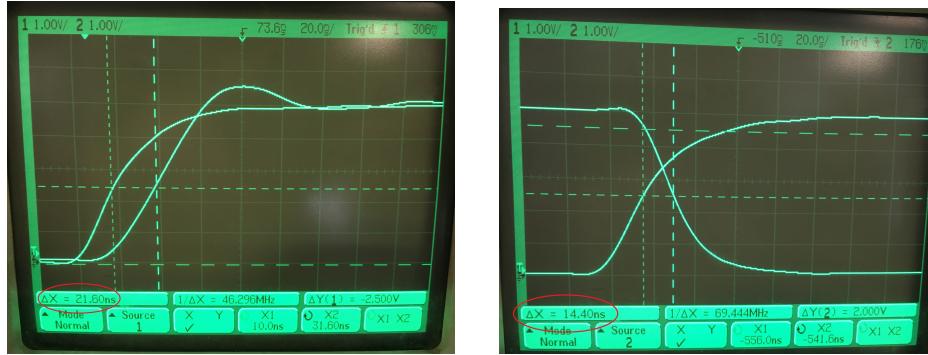


Figura 21: Medición del tiempo de establecimiento

Finalmente, los resultados obtenidos fueron los siguientes:

Clk	R	S	$Q(t) \rightarrow Q(t+1)$	$t_{establecimiento}(ns)$
f	0	1	$0 \rightarrow 1$	21.6
f	1	0	$1 \rightarrow 0$	14.4

$t_{rise}(ns)$	$t_{fall}(ns)$
37.8	36.2

Cuadro 6: Mediciones realizadas a partir del circuito implementado

Clk	R	S	$Q(t) \rightarrow Q(t+1)$	$t_{establecimiento}(ns)$
f	0	1	$0 \rightarrow 1$	20
f	1	0	$1 \rightarrow 0$	13

$t_{rise}(ns)$	$t_{fall}(ns)$
<400	<400

Cuadro 7: Datos obtenidos de la datasheet del integrado 74HC749

Comparando los tiempos medidos con los dados en la hoja de datos del fabricante del 74HC749, notamos que los tiempos del fabricante son levemente mejores. Esto puede deberse a una mejora en la cantidad de transistores utilizados por el fabricante dentro del integrado.

6.2. Flip-Flop D disparado por flanco

6.2.1. Introducción teórica

Se implemento un flip-flop D maestro-esclavo que responde al flanco negativo de la señal de reloj. El mismo se compone de dos latches D. El primero, llamado maestro, cambia su estado mientras $Clk = 1$. El segundo, denominado esclavo, lo hace mientras $Clk = 0$. El funcionamiento del circuito es tal que cuando el reloj está en nivel alto, el latch maestro (o Q_m) sigue el valor de la señal de entrada D y el esclavo (o Q_s) no cambia. Cuando la señal de reloj cambia a 0, la etapa de maestro deja de seguir los cambios en la entrada D. Al mismo tiempo, la etapa de esclavo responde al valor de la señal Q_m y por consiguiente Q_s cambia de estado. Como Q_m no cambia mientras $Clk = 0$, la etapa de esclavo puede sufrir cuando mucho un cambio de estado durante un ciclo del reloj.

A continuación se muestra la implementación del mismo, donde cada latch D esta compuesto por el circuito mostrado a la derecha de la siguiente imagen:

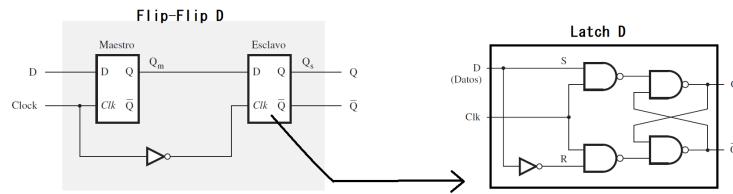


Figura 22: Circuito del Flip-Flop D disparado por flanco negativo

Finalmente, se procederá a mostrar su símbolo gráfico y un ejemplo para una mayor comprensión del mismo:

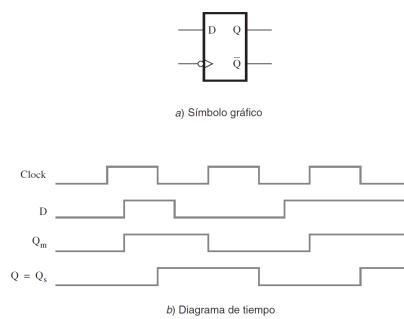


Figura 23: a) Símbolo gráfico ; b) Ejemplo

6.2.2. Mediciones realizadas y análisis de resultados

Para la implementación del Flip-Flop D, se utilizaron dos integrados 74HC00 (utilizado anteriormente) y un 74HC04 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT04.pdf). Al igual que para el Latch SR, la implementación fue en PCB y el circuito implementado fue el mismo que el mostrado en la subsección anterior donde cada Latch D fue realizado con compuertas NAND.

Los tiempos que se midieron fueron los mismos que en la sección anterior y los resultados fueron los siguientes:

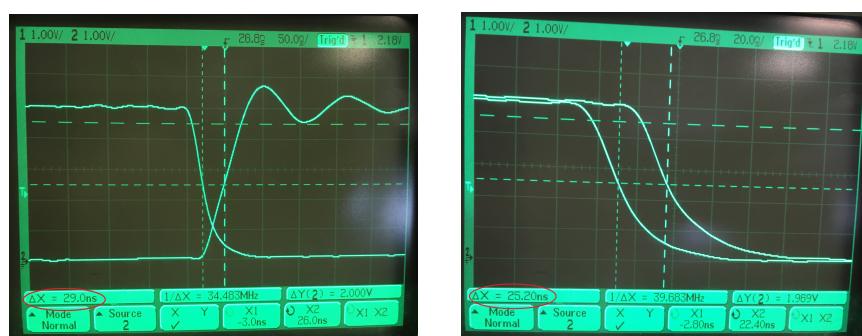


Figura 24: Medición del tiempo de establecimiento

Clk	D	$Q(t) \rightarrow Q(t + 1)$	$t_{establecimiento}(ns)$
↓	1	0 → 1	29
↓	0	1 → 0	25.2

Cuadro 8: Mediciones realizadas a partir del circuito implementado

Clk	D	$Q(t) \rightarrow Q(t + 1)$	$t_{establecimiento}(ns)$
↓	1	0 → 1	18
↓	0	1 → 0	13

Cuadro 9: Datos obtenidos de la datasheet del integrado 74HC74

Si bien el integrado con el cual se comparo (74HC74) es de flanco positivo, la comparación sirve igual. En este caso, la diferencia que existe con los datos medidos son mayores que para el caso del Latch SR. Eso se debe a que la cantidad de compuertas utilizadas es mucho mayor que en el caso del Latch, lo que produce que haya un mayor retardo.

7. Ejercicio 7

7.1. Contador asincronico de tres bits

7.1.1. Introducción teórica

La implementación del mismo es la siguiente:

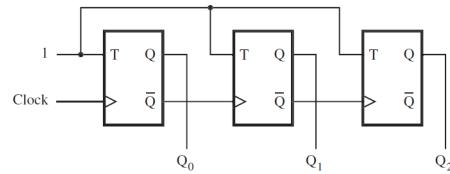


Figura 25: Circuito del contador asincronico de tres bits

El mismo esta compuesto por tres flip-flops T (su nombre proviene de Toggle y su función es: conserva su estado presente si $T=0$ y lo invierte si $T=1$.)

La entrada T de cada flip-flop está conectada a una constante 1, lo que significa que el estado del flip-flop se invertirá en cada flanco positivo de su reloj.

Las entradas del reloj de los tres flip-flops están conectadas en cascada.

Podemos decir que el contador de la figura anterior tiene tres etapas, y cada una consta de un solo flip-flop. Sólo la primera etapa responde directamente a la señal Clk; decimos que esta etapa está sincronizada con el reloj. Las otras dos etapas responden después de un retraso adicional.

7.1.2. Mediciones realizadas y análisis de resultados

Para la implementación del contador asincronico se utilizaron dos integrados 74HC107 (datasheet: https://assets.nexperia.com/documents/datasheet/74HC_HCT107.pdf). Estos integrados contienen flip-flops JK pero los mismos funcionan como flip-flop T si se une la entrada J con la entrada K. Los mismos eran los únicos disponibles en el pañol.

Para armar el circuito se utilizo una protoboard. A la misma le agregamos LEDs para poder visualizar mejor su comportamiento. Contamos con videos del circuito armado en la proto y funcionando correctamente.

Para concluir, mostramos dos de las mediciones que realizamos:

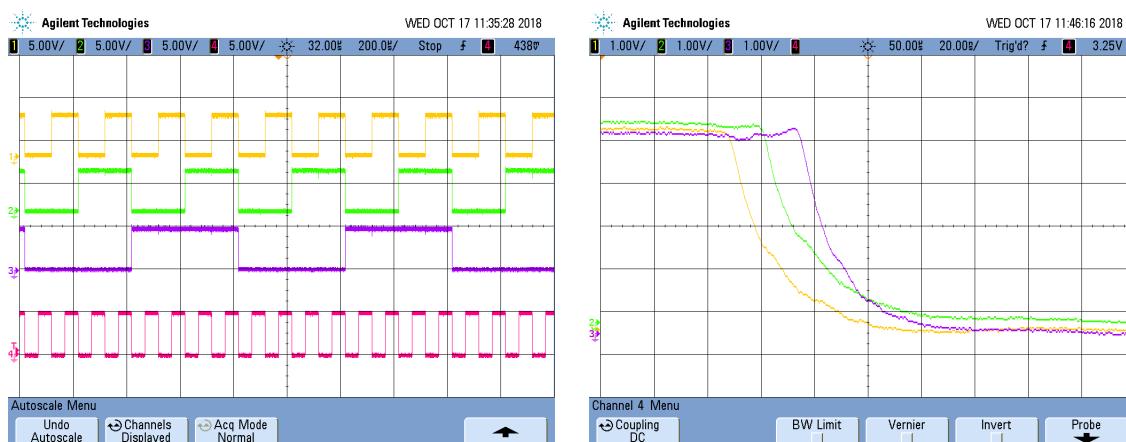


Figura 26: Mediciones realizadas para el contador asincronico

En la primera imagen podemos ver el correcto funcionamiento de nuestro contador. Donde la señal rosa corresponde al Clk, la señal amarilla a Q_0 , la señal verde a Q_1 y la señal violeta a Q_2 .

La segunda imagen hace 'zoom' a las señales cuando el contador pasa de valer 7 (todas las señales en alto) a valer 0 (todas las señales en bajo). A partir de esta imagen notamos como el retardo de la señal Q_0 (amarilla) es menor que la de Q_1 (verde). Cuyo retardo a su vez es menor que el retardo de la señal Q_2 (violeta). Como vimos en la teoría, esta es una de las características de este contador y es por esto que recibe el nombre de contador asincronico.

7.2. Contador sincrónico de tres bits

7.2.1. Introducción teórica

Los contadores asincronicos de la subsección anterior son simples, pero no muy rápidos. Si se construye un contador con un número grande de bits, las demoras causadas por el esquema de sincronización en cascada pueden volverse demasiado grandes para satisfacer los requisitos de desempeño deseados. Podemos construir un contador más rápido si sincronizamos todos los flip-flops al mismo tiempo aplicando el método descrito a continuación:

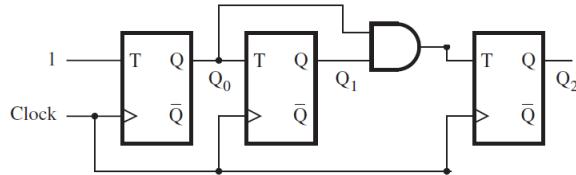


Figura 27: Circuito del contador sincrónico de tres bits

Debido a que todos los cambios ocurren con el mismo retraso después del flanco activo de la señal Clk, el circuito se llama contador sincrónico.

7.2.2. Mediciones realizadas y análisis de datos

Para la implementación del contador sincrónico se utilizaron dos integrados 74HC107 (utilizado anteriormente) y un integrado 74HC08 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT08.pdf). Esta implementación, al igual que para el contador asincronico, fue realizada en una protoboard al cual se le agregaron LEDs para verificar su buen comportamiento mas fácilmente.

Las mediciones que se realizaron fueron las mismas que para el caso del contador anterior:

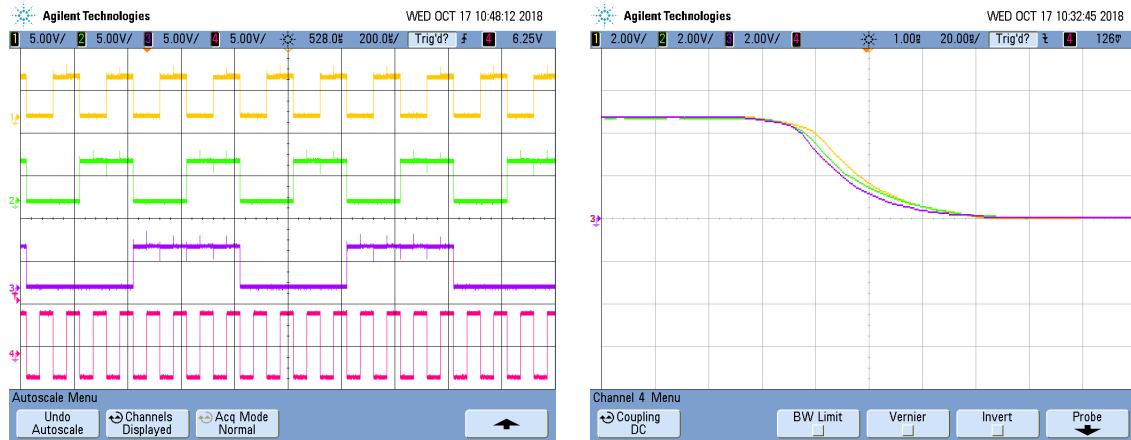


Figura 28: Mediciones realizadas para el contador sincrónico

En la primera imagen vemos el buen comportamiento de nuestro contador (los colores se corresponden con los del contador anterior).

En la segunda imagen podemos notar como los retardos de las tres señales (Q_0 , Q_1 y Q_2) se asemejan muchísimo mas que en el caso del contador asincronico. Según la teoría, esto es lo que tiene que ocurrir, ya que el Clk que controla cada una de las tres etapas del contador sincrónico es el mismo. De esta forma, los retardos de las tres etapas son los mismos.

8. Ejercicio 8

Se busca utilizar un circuito que pudiera tomar la salida de un sensor de distancia, en este caso HC-SR04, la cual viene dada en un pulso de micro segundos y establecer una salida binaria acorde a la medición realizada. Se planteo el siguiente circuito el cual analizaremos por partes a continuación:

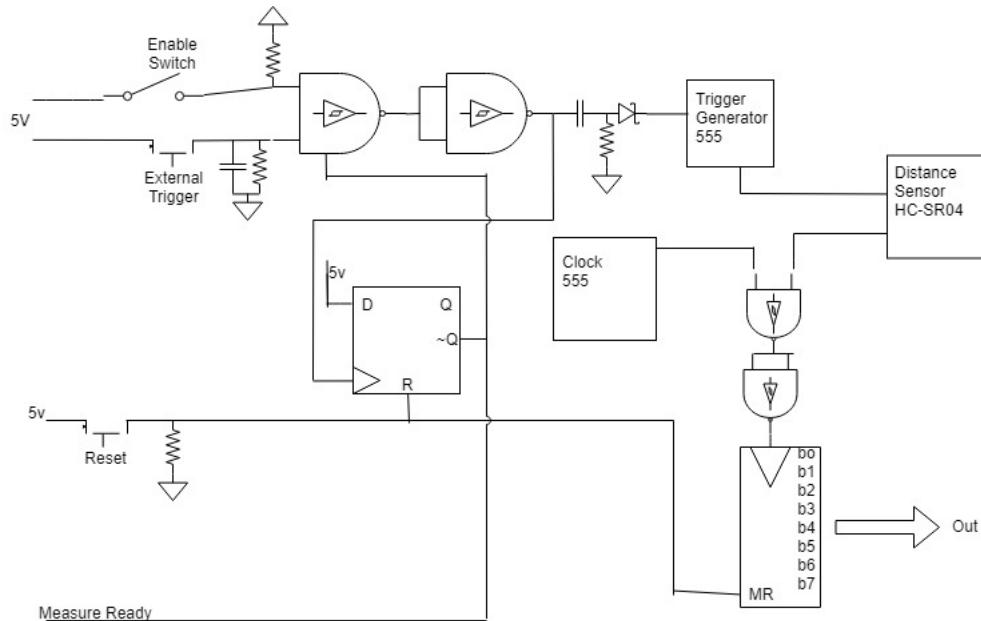


Figura 29: Circuito Lógico Implementado

*La salida del flipflop indica un triple AND con las señales de Enable y External Trigger.

Tener en cuenta que en el diseño se consideró un regulador de voltaje para poder utilizar baterías de 9V de manera tal que esta tensión es convertida a 5V. También se utilizaron leds rojos para detectar las salidas del contador y un led para notar que se podía comenzar a medir nuevamente. Al estar apagado el led se nota que hay una medición lista por lo que es necesario resetearla para volver a medir.

8.1. Etapa de Entrada

Se coloco un switch de enable, el cual con una resistencia de pulldown asegure que al estar en abierto al bloque de AND conformado por las NANDS, independientemente de cual sea el valor del trigger externo nos coloque una entrada en 0V. Considerando el switch Enable cerrado, ahora el circuito reacciona ante el External Trigger. Se colocaron una resistencia y un capacitor como sistema de debounce. Cuando se presenta el pico de 5V, de tener altos y bajos entre 0V y 5V que caigan dentro del tiempo $\tau = R * C$ del sistema, son absorbidos por la carga del capacitor y se ve una curva parecida a la característica de la carga de un RC. Luego al soltar el External Trigger, el capacitor comienza a descargarse y los picos de 0V a 5V provocados por el bounce del botón son nuevamente absorbidos por el sistema y se ve una caída de 5V a 0V característica de la descarga del RC. Por otra parte al trabajar con compuertas Schmitt Trigger nos aseguramos que en la zona de transición de 0V a 5V provocada por el RC de debounce nos permanezcamos a salvo dentro de los márgenes donde la señal es considerada 0 para luego en el periodo de descarga notar un comportamiento similar solo que permaneciendo en 1 a lo largo de la caída hasta el 0. Se observa entonces una perfecta salida de un pulso a la salida del bloque AND armado con NANDS.

Por otra parte la salida del bloque AND es interconectada con otro bloque AND también generado con NANDS con la salida negada de un flipflop de tipo D, el cual almacena un 1 en el caso de que el clock lo habilite, y solo se coloca en 0 si se lo resetea Low to High externamente. Realimentando así la señal de salida de los bloques al clock del flipflop se puede armar una manera de evitar el retrigging conectando la salida negada del flipflop al último bloque AND. Por otra parte externamente una vez terminado de medir se puede resetear externamente el flip flop habilitando nuevamente la tomada de mediciones.

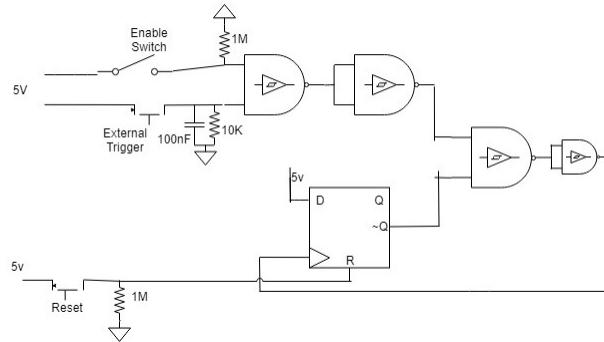


Figura 30: Circuito Lógico De Entrada

8.2. Generador del Pulso

Se busca la forma de generar un pulso de un determinado tiempo controlado internamente por el circuito, para de esta manera asegurarse que al sensor se lo estaba excitando con $10\mu s$ lo cual informa el fabricante que es lo mínimo que genera el trigger. Por otra parte es necesario que el Trigger del 555 sea mayor a $1,2\mu s$ (tomado como parámetro en la hoja de datos del fabricante) y es indicado que debe ser menor al pulso generado por el 555 en configuración mono estable. Se indica el periodo del pulso como $t = 1,1 * R_A * C$ donde se busca generar un pulso de entre $10\mu s$ y $15\mu s$ para triggerear el sensor, por lo que se busca un pulso de $10\mu s$ para triggerear el 555. Para esto recordando que al sistema llega un pulso generado por el External Trigger de longitud variable, se lo recorta con un circuito RC. Dado la configuración del RC sobre la resistencia comienzan inicialmente a caer los 5V hasta que se carga el capacitor dado por el tiempo característico $\tau = R * C$ donde la caída de tensión sobre la resistencia es nula. De esta manera se recorta la señal de tiempo arbitrario a $10\mu s$ con componentes de $10nF$ y $1K\Omega$. Por otra parte se puede ver que al pasar el pulso, para evitar la descarga del capacitor por esa resistencia generando un pulso negativo, se coloco un diodo shotkey para contrarrestar este fenómeno, teniendo en cuenta que la tecnología permite la menor caída de potencial a comparación otros diodos.

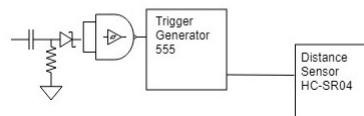


Figura 31: Circuito Lógico Generador de Pulso

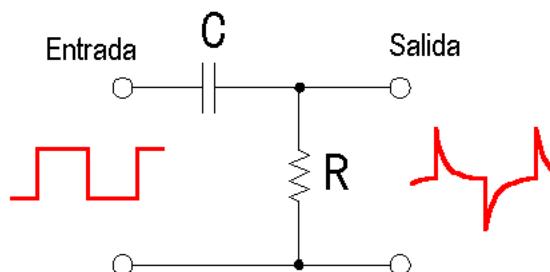


Figura 32: Funcionamiento RC

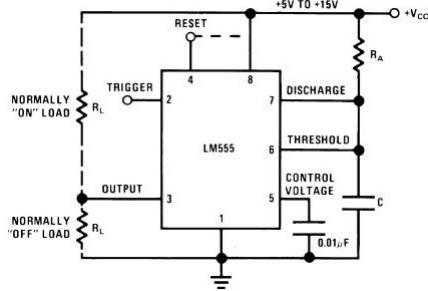


Figura 33: Configuración Monoestable del 555

8.3. Generador del Clock

El clock implementado fue exclusivo para ser utilizado por el contador de manera tal que por cada flanco descendiente del clock se tome una unidad de medición. Se considero acorde tomar entonces un clock que permitiera, con una salida de 8bits generar la medición máxima acorde a $400cm$ (lo máximo que puede medir el sensor). Dado que el sensor especificado por el fabricante devuelve un pulso dado por la relación $cm = uS/58$, se busco el pulso máximo bajo $400cm$ de $23200us$ y luego un clock que permitiera 255 flancos descendientes en esa longitud de tiempo. Esto llevo a un clock de $90us$ y dando la medición mínima del sensor de $2cm$ en un poco mas de un clock aproximadamente $1,3Clocks$.

Por otra parte la configuración aestable del 555 permite bajo ciertas consideraciones realizar este clock. El fabricante indica la relación del periodo $T = t1+t2 = 0,693(R_A+2R_B)C$ donde el DutyCycle queda definido como $D = R_B/R_A+2R_B$. Observar que de tomar una resistencia R_B mucho mayor a R_A se puede conseguir una simetría en el duty cycle del 50%. Teniendo en cuenta esto se tomaron valores $R_A = 12K\Omega$, $R_B = 120K\Omega$, y un equivalente en paralelo $C_{eq} = 517pF$.

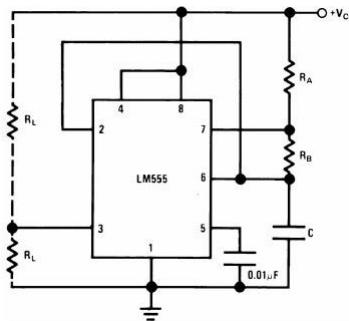


Figura 34: Configuración Aestable del 555

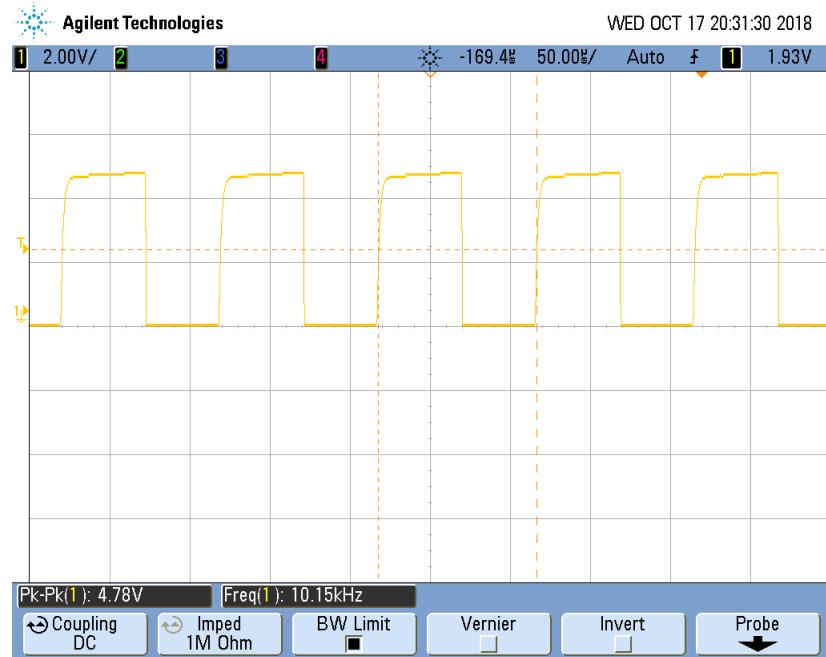


Figura 35: Clock Generado

8.4. Contador

Se conectó la salida del clock anterior con la salida del pulso echo del sensor a un bloque AND y se conectó con la entrada clock del contador. Teniendo en cuenta que el contador utilizado 74HC4040 opera con flancos descendentes de cada clock, al colocar esta señal se consigue una operación por cada clock mientras que echo este en 1. Así medimos la longitud del pulso en clocks, que por como se hicieron las cuentas se puede asociar a la distancia la cual midió el sensor. Una señal de reset externa también es colocada en el MasterReset del contador para poder borrar mediciones anteriores cada vez que uno va a generar una nueva.

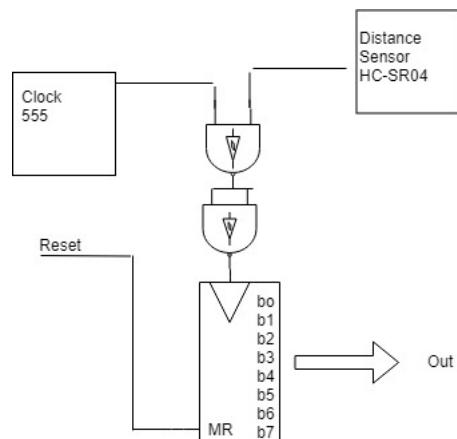


Figura 36: Configuración del Contador

8.5. Anexo

- Hojas de Datos de los Fabricantes

<http://pdf1.alldatasheet.com/datasheet-pdf/view/26897/TI/CD4093.html>
<http://pdf1.alldatasheet.com/datasheet-pdf/view/15607/PHILIPS/74HC4040.html>
<http://pdf1.alldatasheet.com/datasheet-pdf/view/791941/TI1/LM555.html>
<http://pdf1.alldatasheet.com/datasheet-pdf/view/17676/PHILIPS/HEF4013BP.html>

- Foto del Esquemático

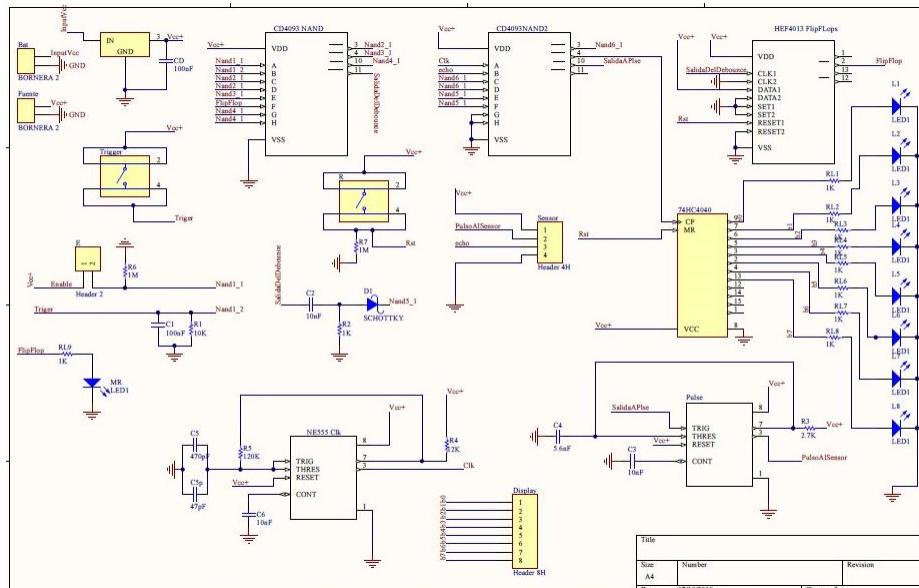


Figura 37: Foto del Esquematico