

# Pré-posicionamento de AIGs

INF01205 - CAD para Sistemas Digitais

André I. Reis  
Jody Maick A. de Matos

Universidade Federal do Rio Grande do Sul  
Instituto de Informática  
*jody.matos@inf.ufrgs.br*

Porto Alegre, 2013

# Outline



- 1 Definição do Trabalho
  - Descrição Geral da Entrada
  - Descrição Geral da Saída
  - Avaliação
- 2 Descrição do benchmark
  - Estrutura de Pastas
  - Especificação da Entrada
  - Especificação da Saída
- 3 Estimativas de Atraso
  - Atraso pelo Modelo de Elmore

# Outline



- 1 Definição do Trabalho
  - Descrição Geral da Entrada
  - Descrição Geral da Saída
  - Avaliação
- 2 Descrição do benchmark
  - Estrutura de Pastas
  - Especificação da Entrada
  - Especificação da Saída
- 3 Estimativas de Atraso
  - Atraso pelo Modelo de Elmore

# O que precisa ser feito?


## Pré-posicionamento de AIGs

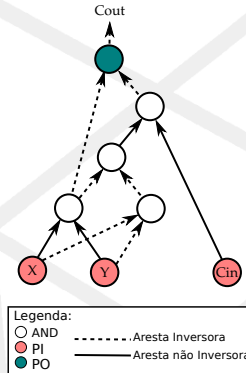
-  Parse de um arquivo AAG
-  Parse de um arquivo DEF

## Análise Estática de Atraso

-  Parse de um arquivo SDC
-  Parse de um arquivo SPECS

# O que é um arquivo AAG?

 AIG descrito no formato AIGER [1]



# O que é um arquivo AAG?



AIG descrito no formato AIGER [1]

```
aag 10 3 0 2 7
2
4
6
8
11
12 2 4
14 3 5
16 13 15
18 16 6
10 19 13
20 17 7
8 21 19
```

# O que é um arquivo DEF?



## *Design Exchange Format*

DESIGN B1

```
DIEAREA ( 0 0 ) ( 39 216 );  
NANDAREA 10 20 ;
```

```
PINS 8 ;  
- pi4 + ... + FIXED ( 0 17 ) E ;  
- pi3 + ... + FIXED ( 0 54 ) E ;  
- pi5 + ... + FIXED ( 0 91 ) E ;  
- pi1 + ... + FIXED ( 0 128 ) E ;  
- pi0 + ... + FIXED ( 0 165 ) E ;  
- pi2 + ... + FIXED ( 0 202 ) E ;  
- po0 + ... + FIXED ( 39 66 ) W ;  
- po1 + ... + FIXED ( 39 152 ) W ;
```

Related to aig4place

# O que é um arquivo SDC?



## *Synopsys Design Constraints*

```
create_clock -period 0.2 -name clk

set_input_delay 0.01 -clock clk pi4
set_input_delay 0 -clock clk pi3
set_input_delay 0 -clock clk pi5
set_input_delay 0 -clock clk pi1
set_input_delay 0 -clock clk pi0
set_input_delay 0 -clock clk pi2

set_max_delay 0.18 -to po0
set_max_delay 0.2 -to po1
```



# O que é um arquivo SPECS?



Demais especificações para este trabalho

```
resistance_unit ohms  
capacitance_unit ff  
distance_unit microns
```

```
cell ( NAND2 ) {  
    width 10  
    height 20  
    input_capacitance 1.664199  
    input_resistance 633.165  
}
```

LAYER MET1

```
RESISTANCE RPERSQ 0.45  
CAPACITANCE CPERSQ 0.0702
```

# O que precisa ser feito?

## Pré-posicionamento de AIGs



produzir um arquivo PPAAG

## Análise Estática de Atraso



produzir um arquivo REPORT

## Como será a avaliação?

- $$NF = (0.6 \times NP) + (0.4 \times NA)$$

NF: nota final

NP: nota do pré-posicionador de AIG

NA: nota do analisador estático de atraso

### Prazo Final para Entrega

- 13 de dezembro de 2013

# Outline

- 1 Definição do Trabalho
  - Descrição Geral da Entrada
  - Descrição Geral da Saída
  - Avaliação
- 2 Descrição do benchmark
  - Estrutura de Pastas
  - Especificação da Entrada
  - Especificação da Saída
- 3 Estimativas de Atraso
  - Atraso pelo Modelo de Elmore

## Onde baixar os arquivos?

### Link

- <http://inf.ufrgs.br/~jmamatos/doku.php/downloads:inf01205>

# Benchmarks

benchmark

```
|  
|_b01  
|  |_  
|  |_ b01.aag  
|  |_ b01.def  
|  |_ b01.sdc  
|  |_ b01.specs  
  
|_b02  
|  |_  
|  |_ b02.aag  
|  |_ b02.def  
|  |_ b02.sdc  
|  |_ b02.specs
```

# Arquivo AAG

## Variáveis

### Variáveis como números

- números pares = variáveis logicamente positivas
- números ímpares = variáveis logicamente invertidas

2 variável 1

3 negação da variável 1

4 variável 2

5 negação da variável 2

# Arquivo AAG

```
//      M I L O A
aag 10 3 0 2 7 // cabeça1ho
2           // entrada 1
4           // entrada 2
6           // entrada 3
8           // saída 1
11          // saída 2
12 2 4      // and 1
14 3 5      // and 2
16 13 15    // and 3
18 16 6     // and 4
10 19 13    // and 5
20 17 7     // and 6
8 21 19     // and 7
```



# Arquivo AAG

## Cabeçalho

```
//      M  I  L  O  A
aag 10 3 0 2 7 // cabeçalho

// M = máximo de variáveis ( $M=I+L+A$ )
// I = número de entradas
// L = número de latches
// O = número de saídas
// A = número de Ands
```

# Arquivo AAG

## Entradas

```
//      M I L O A
aag 10 3 0 2 7
2           // entrada 1
4           // entrada 2
6           // entrada 3

// primeiras linhas após o cabeçalho
// serão 'I' linhas
```

# Arquivo AAG

## Saídas

```
//      M I L O A
aag 10 3 0 2 7
2
4
6
8          // saída 1
11         // saída 2

// sequência de linhas após as entradas
// serão 'O' linhas
```

# Arquivo AAG

Ands

```
aag 10 3 0 2 7
2
4
6
8
11
12 2 4          // and 1
14 3 5          // and 2
16 13 15        // and 3
18 16 6         // and 4
10 19 13        // and 5
20 17 7         // and 6
8 21 19         // and 7
// sequência de linha após as saídas
// serão 'A' linhas
```

# Arquivo DEF

DESIGN B1

DIEAREA ( 0 0 ) ( 39 216 );  
NANDAREA 10 20 ;

PINS 8 ;

– pi4 + ... + FIXED ( 0 17 ) E ;  
– pi3 + ... + FIXED ( 0 54 ) E ;  
– pi5 + ... + FIXED ( 0 91 ) E ;  
– pi1 + ... + FIXED ( 0 128 ) E ;  
– pi0 + ... + FIXED ( 0 165 ) E ;  
– pi2 + ... + FIXED ( 0 202 ) E ;  
– po0 + ... + FIXED ( 39 66 ) W ;  
– po1 + ... + FIXED ( 39 152 ) W ;

Related to aig4place

# Arquivo DEF

DESIGN *"nome\_do\_projeto"*

DIEAREA ( *"X1" "Y1"* ) ( *"X2" "Y2"* );

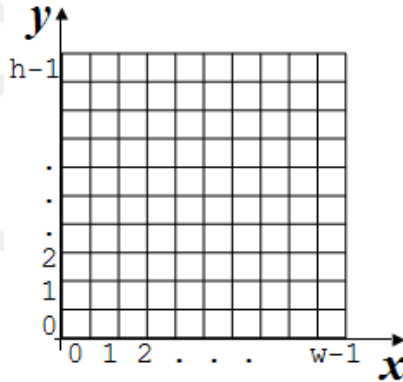
NANDAREA *"largura" "altura"* ;

PINS *"numero\_de\_pinos"* ;

– *"nome\_pino"* + FIXED ( *"X" "Y"* ) *"N/S/E/W"* ; *// Uma linha para cada pino*  
*// nome\_do\_pino precisa ser igual ao nome do pino no AAG (ver no AIGER FORMAT)*  
*// N = norte*  
*// S = sul*  
*// E = leste*  
*// W = oeste*

Related to *"nome\_do\_aig"*

# Arquivo DEF



# Arquivo SDC

```
create_clock -period 0.2 -name clk

set_input_delay 0.01 -clock clk pi4
set_input_delay 0 -clock clk pi3
set_input_delay 0 -clock clk pi5
set_input_delay 0 -clock clk pi1
set_input_delay 0 -clock clk pi0
set_input_delay 0 -clock clk pi2

set_max_delay 0.18 -to po0
set_max_delay 0.2 -to po1
```



# Arquivo SDC

*// tempo em nanosegundos*

`create_clock -period "período" -name clk`

`set_input_delay "atraso" -clock clk "nome_pino" // atraso da entrada num pino`

`set_max_delay "atraso" -to "nome_pino" // atraso máximo até um pino de saída`

# Arquivo SPECS

```
resistance_unit ohms
capacitance_unit ff
distance_unit microns

cell ( NAND2 ) {
    width 10
    height 20
    input_capacitance 1.664199
    input_resistance 633.165
}

LAYER MET1
    RESISTANCE RPERSQ 0.45
    CAPACITANCE CPERSQ 0.0702
END MET1
```

# Arquivo PPAAG

```
//      M   I   L   O   A   W   H
aag 10 3 0 2 7 300 450 // cabeça1ho
2      ("X" "Y") // entrada 1
4      ("X" "Y") // entrada 2
6      ("X" "Y") // entrada 3
8      ("X" "Y") // saída 1
11     ("X" "Y") // saída 2
12 2 4      ("X" "Y") // and 1
14 3 5      ("X" "Y") // and 2
16 13 15    ("X" "Y") // and 3
18 16 6      ("X" "Y") // and 4
10 19 13    ("X" "Y") // and 5
20 17 7      ("X" "Y") // and 6
8 21 19     ("X" "Y") // and 7
```

# Arquivo REPORT

Pin	Type	Fanout	Load (fF)	Slew (ps)	Delay (ps)	Arrival (ps)
(clock clk)	launch					0
input_1	INPUT_PIN	1	80	0	0	0
AND_1/A					+177	177
AND_1/A	AND	1	120	30	+64	251
output_1	OUTPUT_PIN	0	0	0	0	251
(clock clk)	capture					200

Timing slack : -51ps

Start-point : input\_1

End-point : output\_1




# Outline

- 1 Definição do Trabalho
  - Descrição Geral da Entrada
  - Descrição Geral da Saída
  - Avaliação
- 2 Descrição do benchmark
  - Estrutura de Pastas
  - Especificação da Entrada
  - Especificação da Saída
- 3 Estimativas de Atraso
  - Atraso pelo Modelo de Elmore

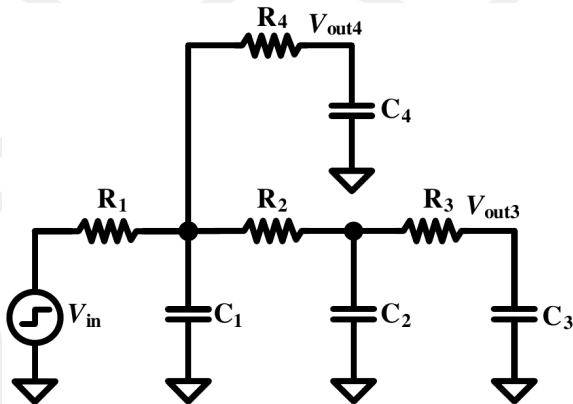
# Modelo de Elmore

## Atraso Estimado na célula $i$

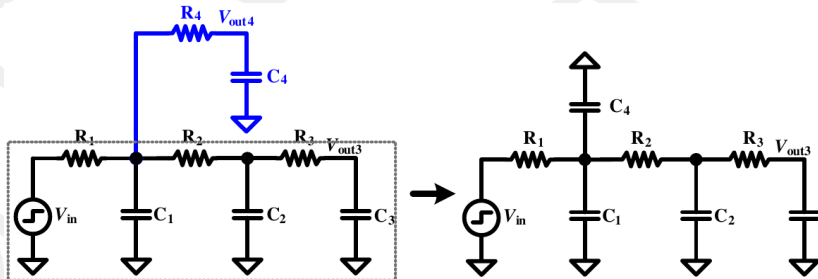
$$T_{D_i} = \sum_{k=1}^N R_{k_i} C_k$$

-   $N$ : número de nodos no circuito
-   $C_K$ : capacitância no nodo  $k$
-   $C_{K_i}$ : resistência efetiva entre a entrada e o nodo  $k$ , comuns á célula  $i$

# Modelo de Elmore

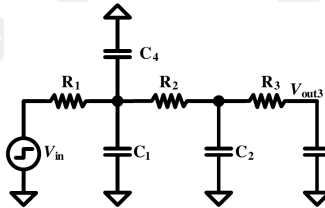


# Modelo de Elmore





# Modelo de Elmore



$$T_{D_i} = \sum_{k=1}^N R_{k_i} C_k$$

$$T_{D_3} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3 + R_1 C_4$$

# Referências



A. Biere, “AIGER Format,” 2007. [Online]. Available: [fmv.jku.at/aiger/](http://fmv.jku.at/aiger/)



N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, A. Wesley, Ed., 2005.



Analog Mixed Signal IC Design Lab, “Elmore Delay in RC Networks,” 2010. [Online]. Available: <http://www.lumerink.com/courses/ece5410/Handouts/Elmore%20Delay.pdf>