



## UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO

CENTRO TECNOLÓGICO

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

### Circuitos Lógicos

#### Laboratório 1. Tutorial e Demonstração Prático do uso do Vivado IDE

Nome: \_\_\_\_\_ Data: \_\_\_\_/\_\_\_\_/\_\_\_\_\_

No Vivado IDE, o desenvolvimento de hardware simplificado consiste nos seguintes passos principais:

1. Criar um projeto de design,
2. Adicionar ou criar códigos de design HDL,
3. Adicione um arquivo de *constraints*,
4. Executar síntese, implementação e geração de *bitstream*,
5. Programar um dispositivo FPGA.

Para isso, vamos usar os códigos do Comparador de 2 bits apresentados na parte inicial da aula.

#### Passo 1. Criar um projeto de design

Um novo projeto do Vivado pode ser criado da seguinte forma:

1. Na janela de inicialização do Vivado, clique no ícone Criar Novo Projeto. A janela Novo Projeto é exibida.
2. Insira o nome do projeto como eq2 e o local do diretório desejado e clique em Avançar.
3. Na caixa de diálogo Tipo de projeto, selecione Projeto RTL e marque a caixa Não especificar fontes neste momento. Clique em Avançar. Adicionaremos os arquivos posteriormente usando o Project Manager, que é mais flexível e fornece mais controle.
4. Na caixa de diálogo de seleção de *Parts*, clique na guia *Parts* no campo de seleção para especificar o dispositivo FPGA de destino. Para a placa Nexys 4, selecione o seguinte:
  - Product Category: All
  - Family: Artix-7
  - Sub-Family: Artix-7
  - Package: csg324
  - Speed: -1
  - Part: xc7a100tcsg324-1

#### Passo 2. Adicionar ou criar códigos de design HDL

Depois que um projeto é criado, podemos adicionar arquivos HDL existentes ao projeto ou criar novos arquivos HDL. O procedimento para adicionar arquivos HDL existentes é o seguinte:

1. Na subjanela Flow Navigator, expanda Project Manager e selecione Add Sources. Uma caixa de diálogo é exibida.
2. Selecione o botão Adicionar ou criar fontes de design e clique em Avançar para prosseguir para a próxima caixa de diálogo.
3. Nesta janela de diálogo, pressione o sinal “+” no meio da janela de diálogo. Uma pequena janela aparece com três itens: Adicionar arquivos..., Adicionar diretórios... e Criar arquivos...



## UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO

CENTRO TECNOLÓGICO

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

4. Clique no item Adicionar Arquivos.. e navegue até o local. Selecione os três arquivos comparadores e adicione-os à lista. Como alternativa, se os três arquivos estiverem na mesma pasta, clique em Adicionar Diretórios.. para adicionar o diretório.
5. Após incluir todos os arquivos necessários, clique no botão Concluir. Os arquivos vão ser analisados e importados para o projeto e exibido hierarquicamente na subjanela *Design Sources* da subjanela *Sources*.

### Passo 3. Adicione um arquivo de *constraints*

O procedimento para adicionar o arquivo de restrição a um projeto é semelhante ao de adicionar um arquivo de design:

1. Na subjanela *Flow Navigator*, expanda Project Manager e selecione Add Sources. Uma caixa de diálogo é exibida.
2. Selecione o botão Adicionar ou criar *constraints* e clique em Avançar para prosseguir para a próxima caixa de diálogo.
3. Nesta janela de diálogo, pressione o sinal "+".
4. Clique em Adicionar arquivos... e navegue até o local. Selecione nexys4\_ddr\_chu.xdc e marque os arquivos de *constraints* de cópia na caixa do projeto.
5. Clique no botão Concluir. O arquivo será importado para o projeto e exibido na pasta *Constraints* da subjanela *Sources*.
6. Clique no arquivo e ele aparecerá na subjanela *Workplace*. Comente as restrições associadas aos sinais de E/S não utilizados e salve o arquivo.

### Passo 4. Executar síntese, implementação e geração de bitstream



### Passo 5. Programar um dispositivo FPGA.

