



UNC



FCEFyN

# ELECTRÓNICA DIGITAL III

## CLASE 2 Módulo GPIO

Ing. Emiliano Migliore

UNIVERSIDAD NACIONAL DE CÓRDOBA - Facultad de Ciencias Exactas, Físicas y Naturales

2025

# Módulo GPIO

Un **GPIO** (*General Purpose Input/Output*) es un periférico digital presente en los microcontroladores que permite utilizar pines físicos como **entradas o salidas de propósito general**, es decir, sin una función fija predefinida.

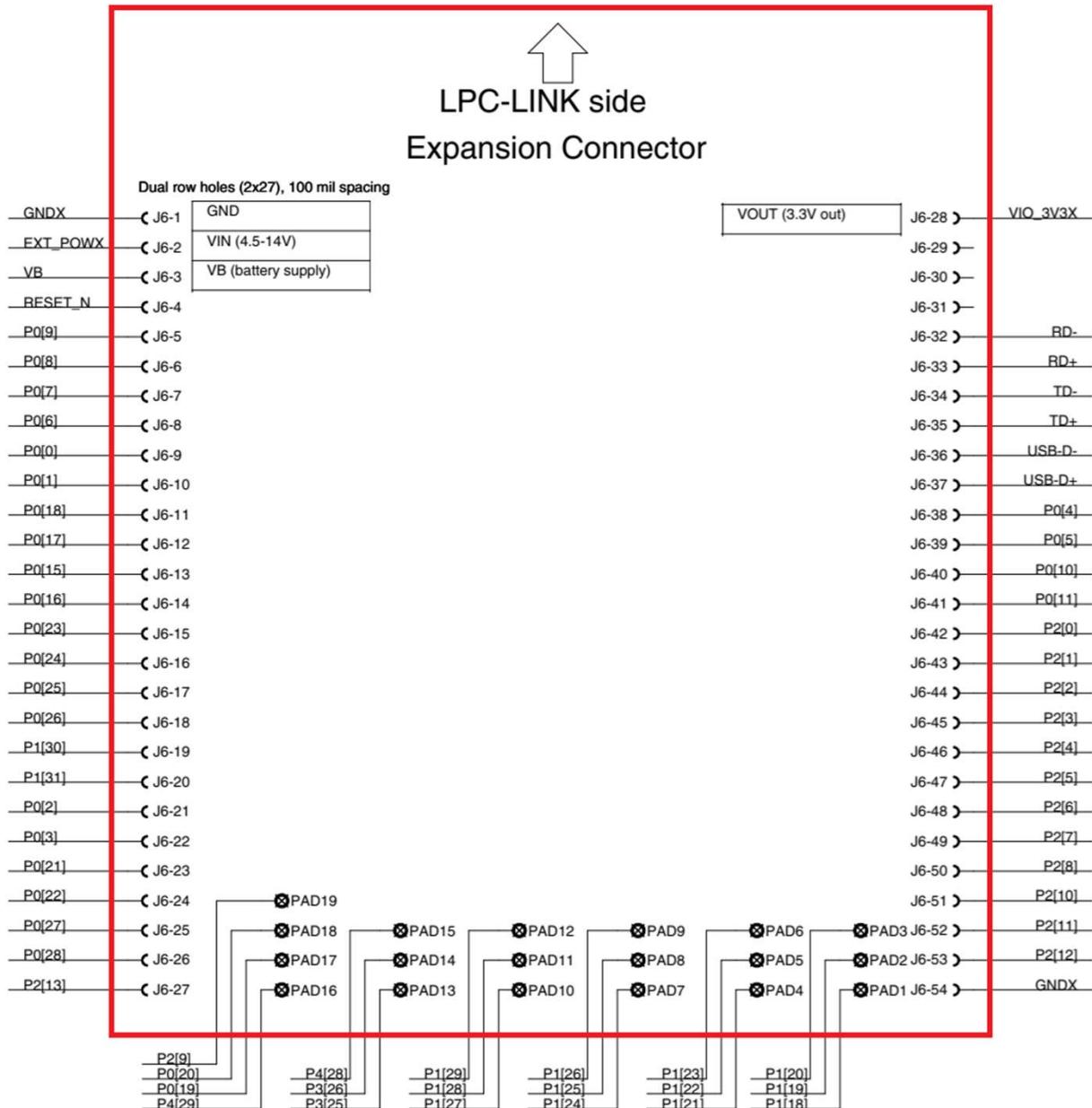
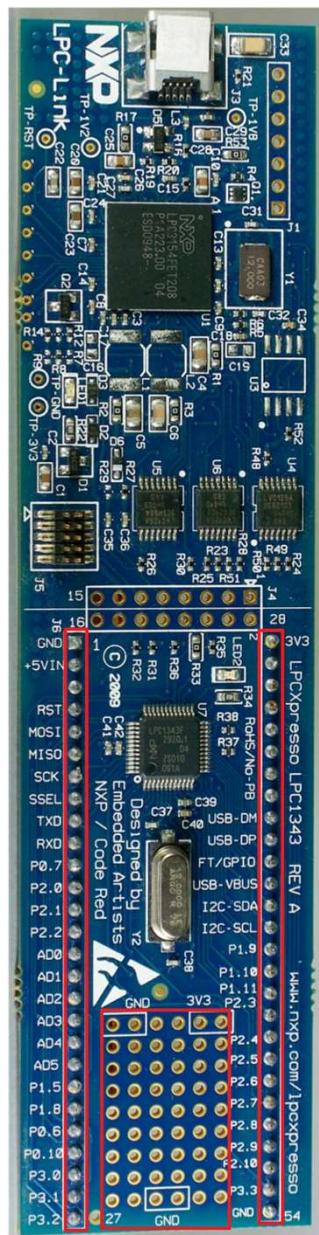
La **LPC1769** tiene en total **5 puertos GPIO**:

## GPIO pin description

Pin Name	Type
P0[30:0][1];	Input/
P1[31:0][2];	Output
P2[13:0];	
P3[26:25];	
P4[29:28]	

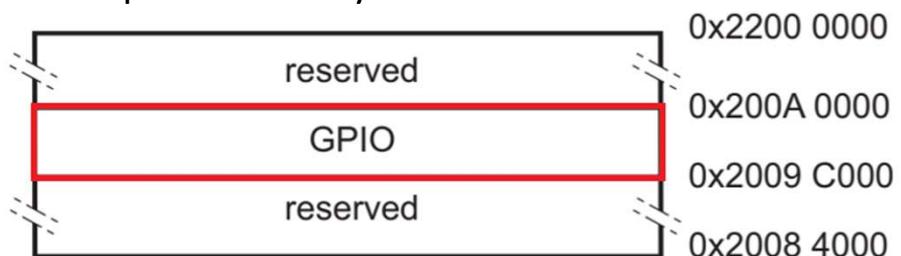
[1] P0[14:12] are not available.

[2] P1[2], P1[3], P1[7:5], P1[13:11] are not available.



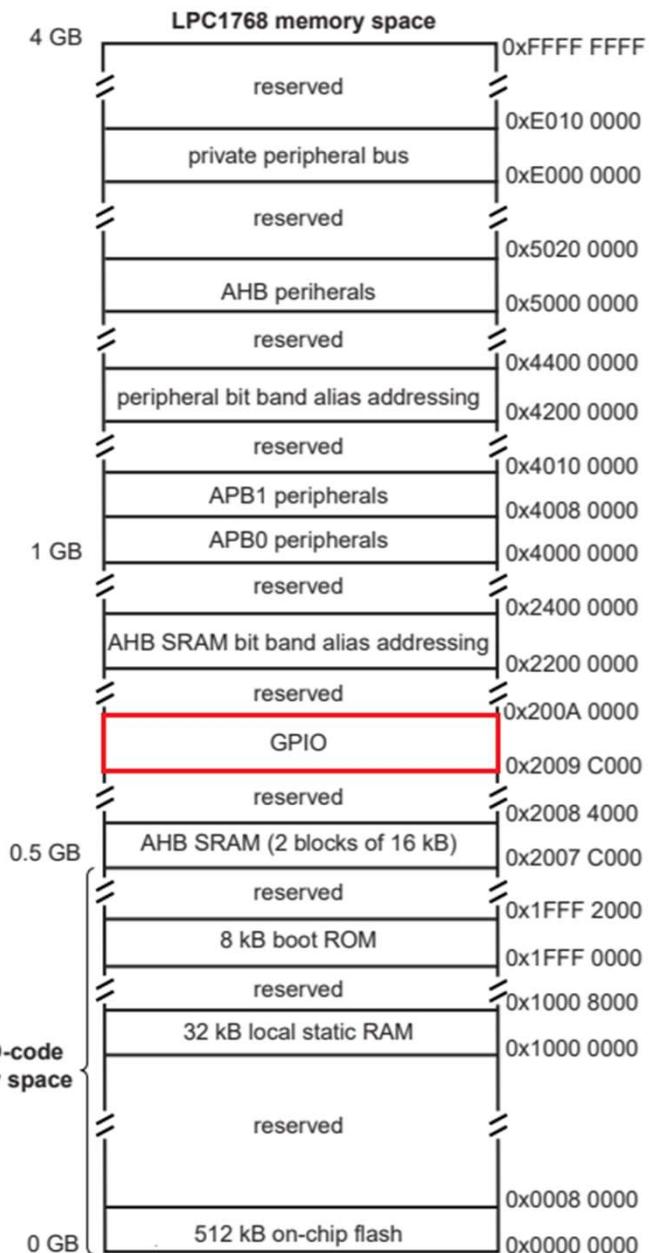
# Módulo GPIO: Mapeo en Memoria

En la LPC1769, el periférico GPIO está mapeado en memoria a partir de la dirección 0x2009C000, donde cada puerto (GPIO0 a GPIO4) ocupa un bloque de 0x20 bytes:



Cada puerto tiene su propio bloque dentro de esa región. Luego, a partir de la dirección base de cada puerto, están los registros control como FIODIR, FIOMASK, FIOPIN, FIOSET y FIOCLR.

Puerto	Dirección base	Offset	Registro
GPIO0	0x2009C000	0x00	FIODIR
GPIO1	0x2009C020	0x14	FIOMASK
GPIO2	0x2009C040	0x18	FIOPIN
GPIO3	0x2009C060	0x1C	FIOSET
GPIO4	0x2009C080	0x20	FIOCLR



# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINSEL (Pin Function Select register)

Los bits de estos registros controlan en *modo de funcionamiento* de los pines de un puerto. Para cada pin, se necesitan 2 bits para definir su funcionamiento:

Pin function select register bits		
PINSEL0 to PINSEL9 Values	Function	Value after Reset
00	Primary (default) function, typically GPIO port	00
01	First alternate function	
10	Second alternate function	
11	Third alternate function	

El registro PINSEL0 controla las funciones de la mitad inferior del Puerto 0.

El registro PINSEL1 controla las funciones de la mitad superior del Puerto 0.

El registro PINSEL2 controla las funciones de la mitad inferior del Puerto 1.

El registro PINSEL3 controla las funciones de la mitad superior del Puerto 1.

El registro PINSEL4 controla las funciones de la mitad inferior del Puerto 2.

El registro PINSEL7 controla las funciones de la mitad superior del Puerto 3.

El registro PINSEL9 controla las funciones de la mitad superior del Puerto 4.

**Nota:** Luego de un RESET o al momento de iniciar los registros PINSEL se encuentran en 0, por lo cual los puertos estarán configurados como GPIO.

Summary of PINSEL registers		
Register	Controls	
PINSEL0	P0[15:0]	
PINSEL1	P0 [31:16]	
PINSEL2	P1 [15:0] (Ethernet)	
PINSEL3	P1 [31:16]	
PINSEL4	P2 [15:0]	
PINSEL5	P2 [31:16]	not used
PINSEL6	P3 [15:0]	not used
PINSEL7	P3 [31:16]	
PINSEL8	P4 [15:0]	not used
PINSEL9	P4 [31:16]	
PINSEL10	Trace port enable	

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINSEL (Pin Function Select register)

Pin function select register 0 (PINSEL0 - address 0x4002 C000) bit description

PINSEL0	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P0.0	GPIO Port 0.0	RD1	TXD3	SDA1	00
3:2	P0.1	GPIO Port 0.1	TD1	RXD3	SCL1	00
5:4	P0.2	GPIO Port 0.2	TXD0	AD0.7	Reserved	00
7:6	P0.3	GPIO Port 0.3	RXD0	AD0.6	Reserved	00
9:8	P0.4 <sup>[1]</sup>	GPIO Port 0.4	I2SRX_CLK	RD2	CAP2.0	00
11:10	P0.5 <sup>[1]</sup>	GPIO Port 0.5	I2SRX_WS	TD2	CAP2.1	00
13:12	P0.6	GPIO Port 0.6	I2SRX_SDA	SSEL1	MAT2.0	00
15:14	P0.7	GPIO Port 0.7	I2STX_CLK	SCK1	MAT2.1	00
17:16	P0.8	GPIO Port 0.8	I2STX_WS	MISO1	MAT2.2	00
19:18	P0.9	GPIO Port 0.9	I2STX_SDA	MOSI1	MAT2.3	00
21:20	P0.10	GPIO Port 0.10	TXD2	SDA2	MAT3.0	00
23:22	P0.11	GPIO Port 0.11	RXD2	SCL2	MAT3.1	00
29:24	-	Reserved	Reserved	Reserved	Reserved	0
31:30	P0.15	GPIO Port 0.15	TXD1	SCK0	SCK	00

[1] Not available on 80-pin package.

Pin function select register 1 (PINSEL1 - address 0x4002 C004) bit description

PINSEL1	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P0.16	GPIO Port 0.16	RXD1	SSEL0	SSEL	00
3:2	P0.17	GPIO Port 0.17	CTS1	MISO0	MISO	00
5:4	P0.18	GPIO Port 0.18	DCD1	MOSI0	MOSI	00
7:6	P0.19 <sup>[1]</sup>	GPIO Port 0.19	DSR1	Reserved	SDA1	00
9:8	P0.20 <sup>[1]</sup>	GPIO Port 0.20	DTR1	Reserved	SCL1	00
11:10	P0.21 <sup>[1]</sup>	GPIO Port 0.21	RI1	Reserved	RD1	00
13:12	P0.22	GPIO Port 0.22	RTS1	Reserved	TD1	00
15:14	P0.23 <sup>[1]</sup>	GPIO Port 0.23	AD0.0	I2SRX_CLK	CAP3.0	00
17:16	P0.24 <sup>[1]</sup>	GPIO Port 0.24	AD0.1	I2SRX_WS	CAP3.1	00
19:18	P0.25	GPIO Port 0.25	AD0.2	I2SRX_SDA	TXD3	00
21:20	P0.26	GPIO Port 0.26	AD0.3	AOUT	RXD3	00
23:22	P0.27 <sup>[1][2]</sup>	GPIO Port 0.27	SDA0	USB_SDA	Reserved	00
25:24	P0.28 <sup>[1][2]</sup>	GPIO Port 0.28	SCL0	USB_SCL	Reserved	00
27:26	P0.29	GPIO Port 0.29	USB_D+	Reserved	Reserved	00
29:28	P0.30	GPIO Port 0.30	USB_D-	Reserved	Reserved	00
31:30	-	Reserved	Reserved	Reserved	Reserved	00

[1] Not available on 80-pin package.

[2] Pins P0[27] and P0[28] are open-drain for I<sup>2</sup>C-bus compliance.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINSEL (Pin Function Select register)

Pin function select register 2 (PINSEL2 - address 0x4002 C008) bit description

PINSEL2	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P1.0	GPIO Port 1.0	ENET_TXD0	Reserved	Reserved	00
3:2	P1.1	GPIO Port 1.1	ENET_TXD1	Reserved	Reserved	00
7:4	-	Reserved	Reserved	Reserved	Reserved	0
9:8	P1.4	GPIO Port 1.4	ENET_TX_EN	Reserved	Reserved	00
15:10	-	Reserved	Reserved	Reserved	Reserved	0
17:16	P1.8	GPIO Port 1.8	ENET_CRS	Reserved	Reserved	00
19:18	P1.9	GPIO Port 1.9	ENET_RXD0	Reserved	Reserved	00
21:20	P1.10	GPIO Port 1.10	ENET_RXD1	Reserved	Reserved	00
27:22	-	Reserved	Reserved	Reserved	Reserved	0
29:28	P1.14	GPIO Port 1.14	ENET_RX_ER	Reserved	Reserved	00
31:30	P1.15	GPIO Port 1.15	ENET_REF_CLK	Reserved	Reserved	00

Pin function select register 3 (PINSEL3 - address 0x4002 C00C) bit description

PINSEL3	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P1.16 <sup>[1]</sup>	GPIO Port 1.16	ENET_MDC	Reserved	Reserved	00
3:2	P1.17 <sup>[1]</sup>	GPIO Port 1.17	ENET_MDIO	Reserved	Reserved	00
5:4	P1.18	GPIO Port 1.18	USB_UP_LED	PWM1.1	CAP1.0	00
7:6	P1.19	GPIO Port 1.19	MCOA0	<u>USB_PPWR</u>	CAP1.1	00
9:8	P1.20	GPIO Port 1.20	MCI0	PWM1.2	SCK0	00
11:10	P1.21 <sup>[1]</sup>	GPIO Port 1.21	<u>MCABORT</u>	PWM1.3	SSEL0	00
13:12	P1.22	GPIO Port 1.22	MCOB0	<u>USB_PWRD</u>	MAT1.0	00
15:14	P1.23	GPIO Port 1.23	MCI1	PWM1.4	MISO0	00
17:16	P1.24	GPIO Port 1.24	MCI2	PWM1.5	MOSI0	00
19:18	P1.25	GPIO Port 1.25	MCOA1	Reserved	MAT1.1	00
21:20	P1.26	GPIO Port 1.26	MCOB1	PWM1.6	CAP0.0	00
23:22	P1.27 <sup>[1]</sup>	GPIO Port 1.27	CLKOUT	<u>USB_OVRCR</u>	CAP0.1	00
25:24	P1.28	GPIO Port 1.28	MCOA2	PCAP1.0	MAT0.0	00
27:26	P1.29	GPIO Port 1.29	MCOB2	PCAP1.1	MAT0.1	00
29:28	P1.30	GPIO Port 1.30	Reserved	V <sub>BUS</sub>	AD0.4	00
31:30	P1.31	GPIO Port 1.31	Reserved	SCK1	AD0.5	00

[1] Not available on 80-pin package.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINSEL (Pin Function Select register)

Pin function select register 4 (PINSEL4 - address 0x4002 C010) bit description

PINSEL4	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P2.0	GPIO Port 2.0	PWM1.1	TXD1	Reserved	00
3:2	P2.1	GPIO Port 2.1	PWM1.2	RXD1	Reserved	00
5:4	P2.2	GPIO Port 2.2	PWM1.3	CTS1	Reserved [2]	00
7:6	P2.3	GPIO Port 2.3	PWM1.4	DCD1	Reserved [2]	00
9:8	P2.4	GPIO Port 2.4	PWM1.5	DSR1	Reserved [2]	00
11:10	P2.5	GPIO Port 2.5	PWM1.6	DTR1	Reserved [2]	00
13:12	P2.6	GPIO Port 2.6	PCAP1.0	RI1	Reserved [2]	00
15:14	P2.7	GPIO Port 2.7	RD2	RTS1	Reserved	00
17:16	P2.8	GPIO Port 2.8	TD2	TXD2	ENET_MDC	00
19:18	P2.9	GPIO Port 2.9	USB_CONNECT	RXD2	ENET_MDIO	00
21:20	P2.10	GPIO Port 2.10	EINT0	NMI	Reserved	00
23:22	P2.11[1]	GPIO Port 2.11	EINT1	Reserved	I2STX_CLK	00
25:24	P2.12[1]	GPIO Port 2.12	EINT2	Reserved	I2STX_WS	00
27:26	P2.13[1]	GPIO Port 2.13	EINT3	Reserved	I2STX_SDA	00
31:28	-	Reserved	Reserved	Reserved	Reserved	0

[1] Not available on 80-pin package.

[2] These pins support a debug trace function when selected via a development tool or by writing to the PINSEL10 register.

Pin function select register 7 (PINSEL7 - address 0x4002 C01C) bit description

PINSEL7	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
17:0	-	Reserved	Reserved	Reserved	Reserved	0
19:18	P3.25[1]	GPIO Port 3.25	Reserved	MAT0.0	PWM1.2	00
21:20	P3.26[1]	GPIO Port 3.26	STCLK	MAT0.1	PWM1.3	00
31:22	-	Reserved	Reserved	Reserved	Reserved	0

[1] Not available on 80-pin package.

Pin function select register 9 (PINSEL9 - address 0x4002 C024) bit description

PINSEL9	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
23:0	-	Reserved	Reserved	Reserved	Reserved	00
25:24	P4.28	GPIO Port 4.28	RX_MCLK	MAT2.0	TXD3	00
27:26	P4.29	GPIO Port 4.29	TX_MCLK	MAT2.1	RXD3	00
31:28	-	Reserved	Reserved	Reserved	Reserved	00

Pin function select register 10 (PINSEL10 - address 0x4002 C028) bit description

Bit	Symbol	Value	Description	Reset value
2:0	-	-	Reserved. Software should not write 1 to these bits.	NA
3	GPIO/TRACE	0	TPIU interface pins control.	0
			TPIU interface is disabled.	
			TPIU interface is enabled. TPIU signals are available on the pins hosting them regardless of the PINSEL4 content.	
31:4	-	-	Reserved. Software should not write 1 to these bits.	NA

# **Módulo GPIO: Configuración de Puertos a Nivel de Hardware**

## **Registros PINMODE (Pin Mode Select register)**

Los bits de estos registros controlan el *modo de entrada* de los pines de un puerto. Para cada pin, se necesitan 2 bits para definir su funcionamiento:

**Pin Mode Select register Bits**

PINMODE0 to PINMODE9 Values	Function	Value after Reset
00	Pin has an on-chip pull-up resistor enabled.	00
01	Repeater mode	
10	Pin has neither pull-up nor pull-down resistor enabled.	
11	Pin has an on-chip pull-down resistor enabled.	

El registro PINMODE0 controla la configuración de la resistencia pull-up/pull-down para los pines 0 a 15 del Puerto 0.

El registro PINMODE1 controla la configuración de la resistencia pull-up/pull-down para los pines 16 a 26 del Puerto 0.

El registro PINMODE2 controla la configuración de la resistencia pull-up/pull-down para los pines 0 a 15 del Puerto 1.

El registro PINMODE3 controla la configuración de la resistencia pull-up/pull-down para los pines 16 a 26 del Puerto 1.

El registro PINMODE4 controla la configuración de la resistencia pull-up/pull-down para los pines 0 a 15 del Puerto 2.

El registro PINMODE7 controla la configuración de la resistencia pull-up/pull-down para los pines 16 a 31 del Puerto 3.

El registro PINMODE9 controla la configuración de la resistencia pull-up/pull-down para los pines 16 a 31 del Puerto 4.

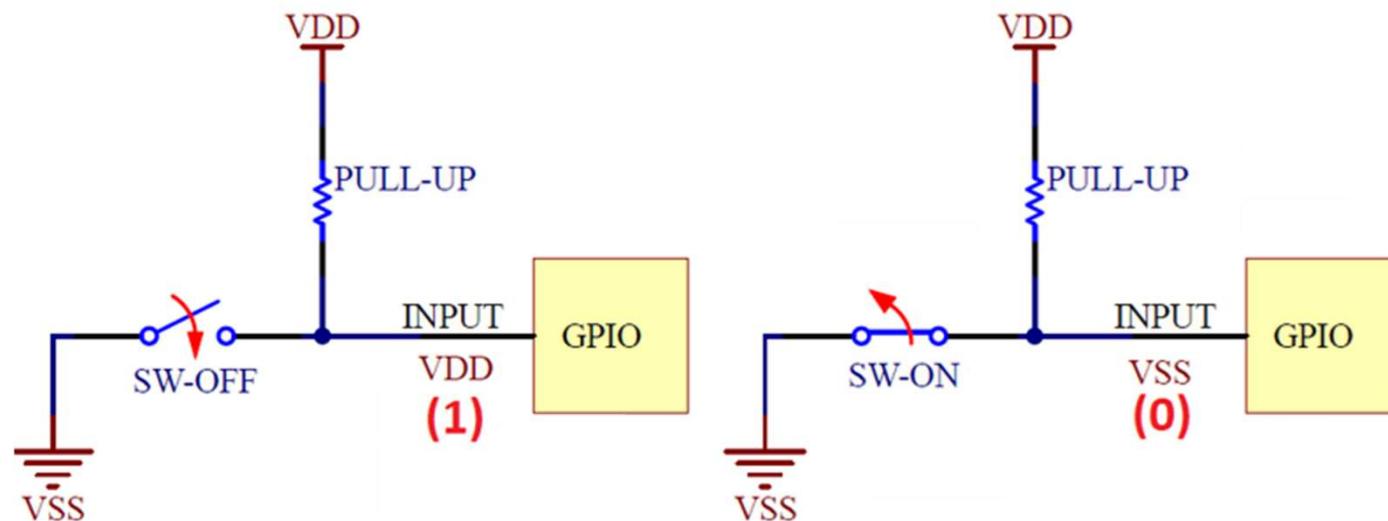
**Nota:** Luego de un RESET o al momento de iniciar los registros PINMODE se encuentran en 0, por lo cual los puertos estarán configurados con resistencias pull-up.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Configuración Pull-Up Interna

La resistencia **pull-up** tiene la función de polarizar la entrada con la tensión de alimentación  $V_{DD}$ , para el caso en que un pulsador se encuentre conectado a  $V_{SS}$ .

- Cuando el pulsador se encuentra abierto, la corriente circula desde  $V_{DD}$  hacia la entrada, estableciendo una tensión de entrada igual a  $V_{DD}$  (1 lógico).
- Cuando el pulsador se encuentra cerrado, la corriente circula desde  $V_{DD}$  hacia  $V_{SS}$ , estableciendo una tensión de entrada igual a  $V_{SS}$  (0 lógico).



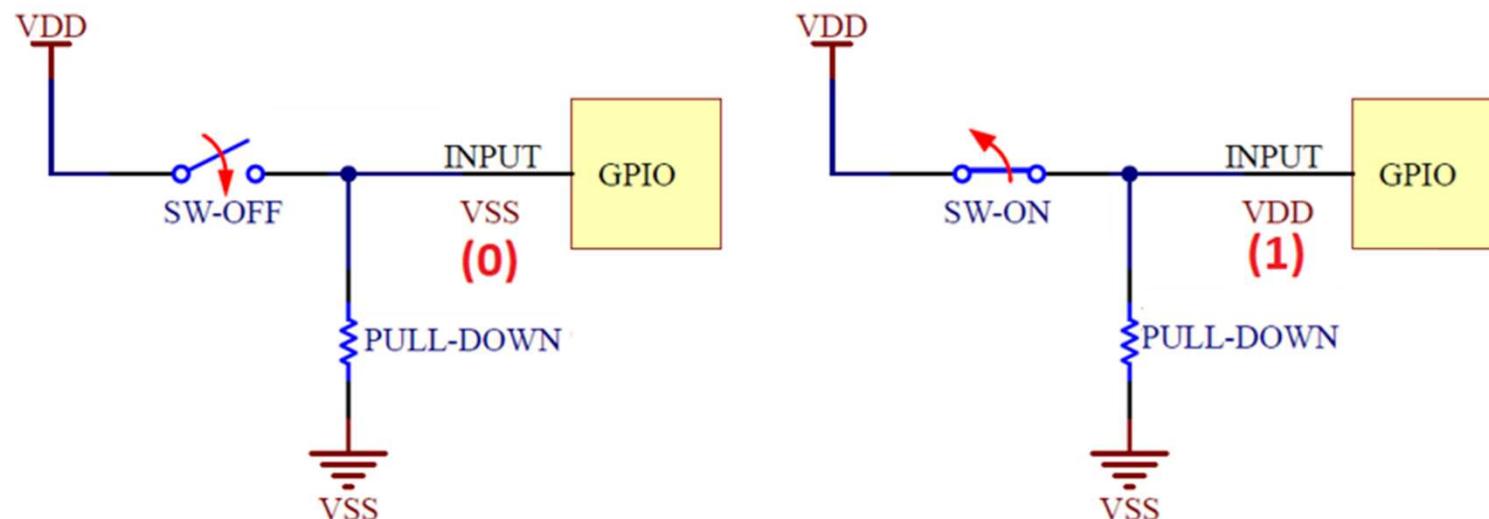
# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Configuración Pull-Down Interna

La resistencia **pull-down** tiene la función de polarizar la entrada con tensión de referencia  $V_{DD}$ , para el caso en que un pulsador se encuentre conectado a  $V_{DD}$ .

Cuando el pulsador se encuentra abierto, la corriente circula desde la entrada hacia  $V_{SS}$ , estableciendo una tensión de entrada igual a  $V_{SS}$  (0 lógico).

Cuando el pulsador se encuentra cerrado, la corriente circula desde  $V_{DD}$  hacia  $V_{SS}$ , estableciendo una tensión de entrada igual a  $V_{DD}$  (1 lógico).



**Nota:** El valor de la resistencia varía entre 1K y 10K. Cuanto mayor sea la resistencia, mas lento será el pin de entrada en responder a los cambios de tensión. Esto se debe a que el sistema de alimentación del pin, compuesto por una resistencia pull-up/down y un capacitor, se puede considerar como un filtro RC el cual presenta transitorios de carga y descarga.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINMODE (Pin Mode Select register)

Pin Mode select register 0 (PINMODE0 - address 0x4002 C040) bit description

PINMODE0	Symbol	Value	Description	Reset value
1:0	P0.00MODE	Port 0 pin 0 on-chip pull-up/down resistor control.	00	
		00	P0.0 pin has a pull-up resistor enabled.	
		01	P0.0 pin has repeater mode enabled.	
		10	P0.0 pin has neither pull-up nor pull-down.	
		11	P0.0 has a pull-down resistor enabled.	
3:2	P0.01MODE	Port 0 pin 1 control, see P0.00MODE.	00	
5:4	P0.02MODE	Port 0 pin 2 control, see P0.00MODE.	00	
7:6	P0.03MODE	Port 0 pin 3 control, see P0.00MODE.	00	
9:8	P0.04MODE <sup>[1]</sup>	Port 0 pin 4 control, see P0.00MODE.	00	
11:10	P0.05MODE <sup>[1]</sup>	Port 0 pin 5 control, see P0.00MODE.	00	
13:12	P0.06MODE	Port 0 pin 6 control, see P0.00MODE.	00	
15:14	P0.07MODE	Port 0 pin 7 control, see P0.00MODE.	00	
17:16	P0.08MODE	Port 0 pin 8 control, see P0.00MODE.	00	
19:18	P0.09MODE	Port 0 pin 9control, see P0.00MODE.	00	
21:20	P0.10MODE	Port 0 pin 10 control, see P0.00MODE.	00	
23:22	P0.11MODE	Port 0 pin 11 control, see P0.00MODE.	00	
29:24	-	Reserved.	NA	
31:30	P0.15MODE	Port 0 pin 15 control, see P0.00MODE.	00	

[1] Not available on 80-pin package.

Pin Mode select register 1 (PINMODE1 - address 0x4002 C044) bit description

PINMODE1	Symbol	Description	Reset value
1:0	P0.16MODE	Port 0 pin 16 control, see P0.00MODE.	00
3:2	P0.17MODE	Port 0 pin 17 control, see P0.00MODE.	00
5:4	P0.18MODE	Port 0 pin 18 control, see P0.00MODE.	00
7:6	P0.19MODE <sup>[1]</sup>	Port 0 pin 19 control, see P0.00MODE.	00
9:8	P0.20MODE <sup>[1]</sup>	Port 0 pin 20control, see P0.00MODE.	00
11:10	P0.21MODE <sup>[1]</sup>	Port 0 pin 21 control, see P0.00MODE.	00
13:12	P0.22MODE	Port 0 pin 22 control, see P0.00MODE.	00
15:14	P0.23MODE <sup>[1]</sup>	Port 0 pin 23 control, see P0.00MODE.	00
17:16	P0.24MODE <sup>[1]</sup>	Port 0 pin 24 control, see P0.00MODE.	00
19:18	P0.25MODE	Port 0 pin 25 control, see P0.00MODE.	00
21:20	P0.26MODE	Port 0 pin 26 control, see P0.00MODE.	00
29:22	-	Reserved. <sup>[2]</sup>	NA
31:30	-	Reserved.	NA

[1] Not available on 80-pin package.

[2] The pin mode cannot be selected for pins P0[27] to P0[30]. Pins P0[27] and P0[28] are dedicated I2C open-drain pins without pull-up/down. Pins P0[29] and P0[30] are USB specific pins without configurable pull-up or pull-down resistors. Pins P0[29] and P0[30] also must have the same direction since they operate as a unit for the USB function.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINMODE (Pin Mode Select register)

Pin Mode select register 2 (PINMODE2 - address 0x4002 C048) bit description

PINMODE2	Symbol	Description	Reset value
1:0	P1.00MODE	Port 1 pin 0 control, see P0.00MODE.	00
3:2	P1.01MODE	Port 1 pin 1 control, see P0.00MODE.	00
7:4	-	Reserved.	NA
9:8	P1.04MODE	Port 1 pin 4 control, see P0.00MODE.	00
15:10	-	Reserved.	NA
17:16	P1.08MODE	Port 1 pin 8 control, see P0.00MODE.	00
19:18	P1.09MODE	Port 1 pin 9 control, see P0.00MODE.	00
21:20	P1.10MODE	Port 1 pin 10 control, see P0.00MODE.	00
27:22	-	Reserved.	NA
29:28	P1.14MODE	Port 1 pin 14 control, see P0.00MODE.	00
31:30	P1.15MODE	Port 1 pin 15 control, see P0.00MODE.	00

Pin Mode select register 3 (PINMODE3 - address 0x4002 C04C) bit description

PINMODE3	Symbol	Description	Reset value
1:0	P1.16MODE <sup>[1]</sup>	Port 1 pin 16 control, see P0.00MODE.	00
3:2	P1.17MODE <sup>[1]</sup>	Port 1 pin 17 control, see P0.00MODE.	00
5:4	P1.18MODE	Port 1 pin 18 control, see P0.00MODE.	00
7:6	P1.19MODE	Port 1 pin 19 control, see P0.00MODE.	00
9:8	P1.20MODE	Port 1 pin 20 control, see P0.00MODE.	00
11:10	P1.21MODE <sup>[1]</sup>	Port 1 pin 21 control, see P0.00MODE.	00
13:12	P1.22MODE	Port 1 pin 22 control, see P0.00MODE.	00
15:14	P1.23MODE	Port 1 pin 23 control, see P0.00MODE.	00
17:16	P1.24MODE	Port 1 pin 24 control, see P0.00MODE.	00
19:18	P1.25MODE	Port 1 pin 25 control, see P0.00MODE.	00
21:20	P1.26MODE	Port 1 pin 26 control, see P0.00MODE.	00
23:22	P1.27MODE <sup>[1]</sup>	Port 1 pin 27 control, see P0.00MODE.	00
25:24	P1.28MODE	Port 1 pin 28 control, see P0.00MODE.	00
27:26	P1.29MODE	Port 1 pin 29 control, see P0.00MODE.	00
29:28	P1.30MODE	Port 1 pin 30 control, see P0.00MODE.	00
31:30	P1.31MODE	Port 1 pin 31 control, see P0.00MODE.	00

[1] Not available on 80-pin package.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Registros PINMODE (Pin Mode Select register)

Pin Mode select register 4 (PINMODE4 - address 0x4002 C050) bit description

PINMODE4	Symbol	Description	Reset value
1:0	P2.00MODE	Port 2 pin 0 control, see P0.00MODE.	00
3:2	P2.01MODE	Port 2 pin 1 control, see P0.00MODE.	00
5:4	P2.02MODE	Port 2 pin 2 control, see P0.00MODE.	00
7:6	P2.03MODE	Port 2 pin 3 control, see P0.00MODE.	00
9:8	P2.04MODE	Port 2 pin 4 control, see P0.00MODE.	00
11:10	P2.05MODE	Port 2 pin 5 control, see P0.00MODE.	00
13:12	P2.06MODE	Port 2 pin 6 control, see P0.00MODE.	00
15:14	P2.07MODE	Port 2 pin 7 control, see P0.00MODE.	00
17:16	P2.08MODE	Port 2 pin 8 control, see P0.00MODE.	00
19:18	P2.09MODE	Port 2 pin 9 control, see P0.00MODE.	00
21:20	P2.10MODE	Port 2 pin 10 control, see P0.00MODE.	00
23:22	P2.11MODE <sup>[1]</sup>	Port 2 pin 11 control, see P0.00MODE.	00
25:24	P2.12MODE <sup>[1]</sup>	Port 2 pin 12 control, see P0.00MODE.	00
27:26	P2.13MODE <sup>[1]</sup>	Port 2 pin 13 control, see P0.00MODE.	00
31:28	-	Reserved.	NA

[1] Not available on 80-pin package.

Pin Mode select register 7 (PINMODE7 - address 0x4002 C05C) bit description

PINMODE7	Symbol	Description	Reset value
17:0	-	Reserved	NA
19:18	P3.25MODE <sup>[1]</sup>	Port 3 pin 25 control, see P0.00MODE.	00
21:20	P3.26MODE <sup>[1]</sup>	Port 3 pin 26 control, see P0.00MODE.	00
31:22	-	Reserved.	NA

[1] Not available on 80-pin package.

Pin Mode select register 9 (PINMODE9 - address 0x4002 C064) bit description

PINMODE9	Symbol	Description	Reset value
23:0	-	Reserved.	NA
25:24	P4.28MODE	Port 4 pin 28 control, see P0.00MODE.	00
27:26	P4.29MODE	Port 4 pin 29 control, see P0.00MODE.	00
31:28	-	Reserved.	NA

# **Módulo GPIO: Configuración de Puertos a Nivel de Hardware**

## **Registros PINMODE\_OD (Open Drain Pin Mode Select register)**

Los bits de estos registros controlan el *modo de operación* de los pines de un puerto. Para cada pin, se necesitan 1 bits para definir su funcionamiento:

Open Drain Pin Mode Select register Bits		
PINMODE_OD0 to PINMODE_OD4	Function Values	Value after Reset
0	Pin is in the normal (not open drain) mode.	00
1	Pin is in the open drain mode.	

El registro PINMODE\_OD0 controla la configuración de Open Drain para los pines del Puerto 0.

El registro PINMODE\_OD1 controla la configuración de Open Drain para los pines del Puerto 1.

El registro PINMODE\_OD1 controla la configuración de Open Drain para los pines del Puerto 2.

El registro PINMODE\_OD1 controla la configuración de Open Drain para los pines del Puerto 3.

El registro PINMODE\_OD1 controla la configuración de Open Drain para los pines del Puerto 4.

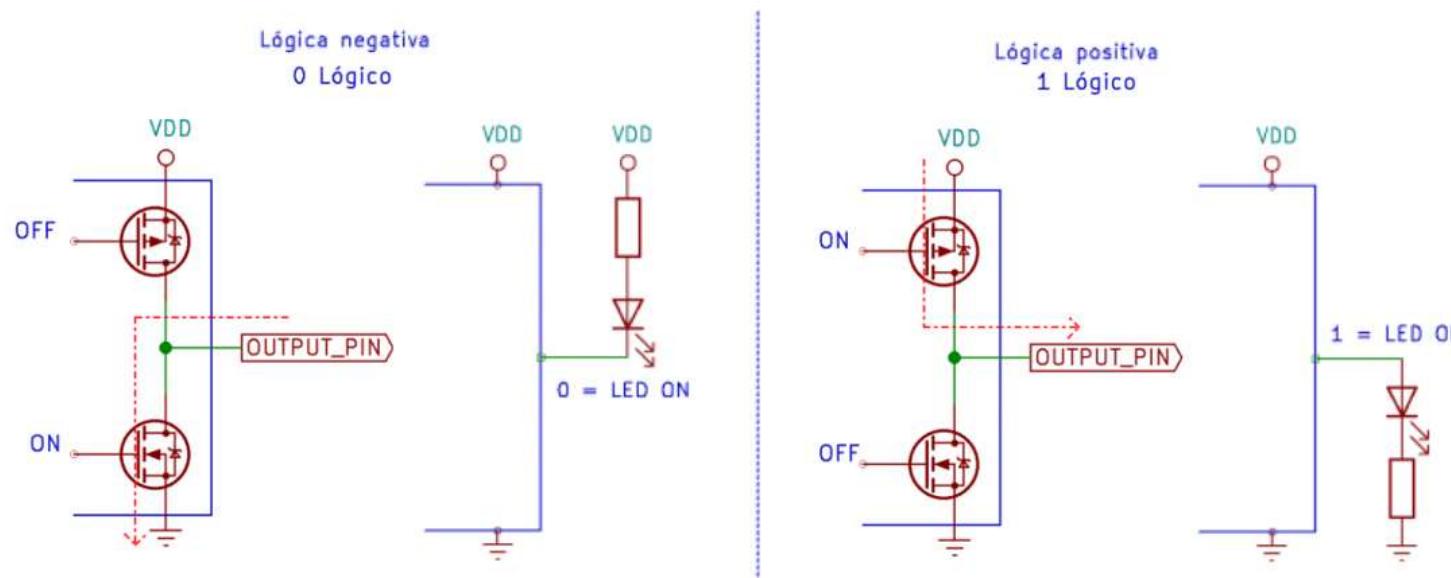
**Nota:** Cuando se reinicia la placa o se inicia, éste registro se encuentra por default en 0, que sería modo de funcionamiento normal, no open drain.

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Configuración Push-Pull

La modalidad de salida a **Push-Pull (o totem-pole)** está conformada por un par de transistores N-MOS y P-MOS, los cuales conmutan para generar dos niveles de tensión de salida.

- Cuando se establece una señal de salida de nivel bajo (0 lógico), el P-MOS se encuentra en saturación (pull) y el N-MOS en corte, estableciendo una tensión de salida igual a  $V_{SS}$  en donde la corriente fluye desde el pin de salida hacia la referencia de tensión (drenador de corriente).
- Cuando se establece una señal de salida de nivel alto (1 lógico), el N-MOS se encuentra en saturación (push) y el P-MOS en corte, estableciendo una tensión de salida igual a  $V_{DD}$  en donde la corriente fluye desde la tensión de alimentación hacia el pin de salida (fuente de corriente).



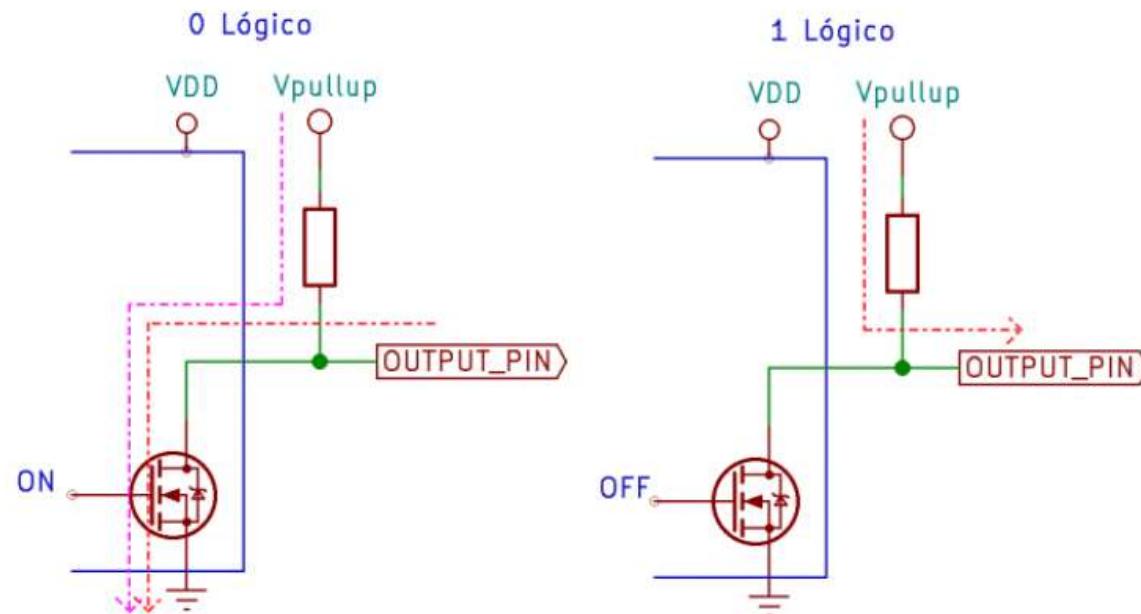
**Nota:** Esta configuración se utiliza en interfaces de comunicación unidireccional de línea (SPI, UART).

# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Configuración Open-Drain

La modalidad de salida a **Drenador Abierto** está conformada por un transistor N-MOS, el cual conmuta para generar un nivel de tensión de salida.

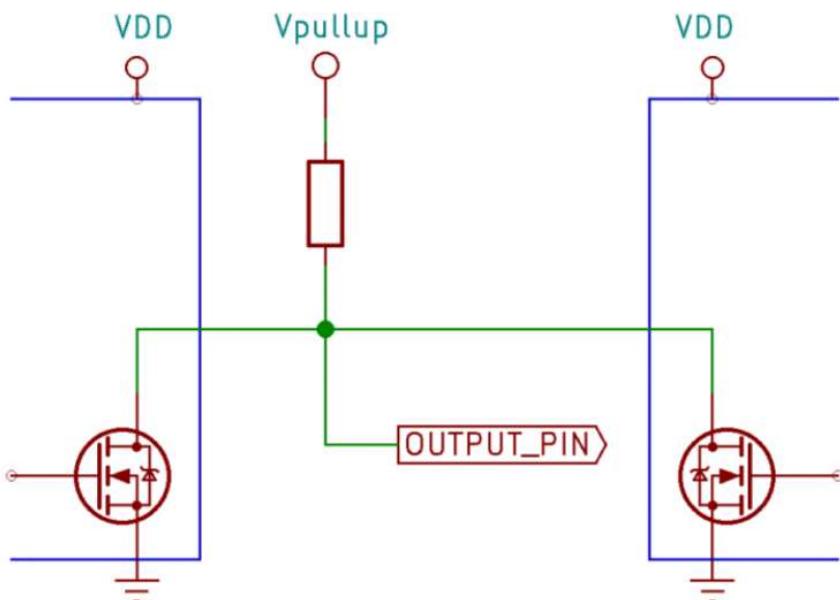
- Cuando se establece una señal de salida de nivel alto (1 lógico), el N-MOS se encuentra en saturación, estableciendo una tensión de salida igual a  $V_{SS}$  en donde la corriente fluye desde el pin de salida hacia la referencia de tensión (drenador de corriente).
- Cuando se establece una señal de salida de nivel bajo (0 lógico), el N-MOS se encuentra en corte, no pudiendo establecer una tensión de salida por lo que la misma se encuentra en alta impedancia.



# Módulo GPIO: Configuración de Puertos a Nivel de Hardware

## Configuración Open-Drain

**Nota:** Esta configuración se utiliza en interfaces de comunicación bidireccional de línea (I2C, One-Wire). La línea se mantiene en un nivel alto mediante una resistencia externa de pull-up, y cuando cualquier dispositivo genera una señal, la línea se establece a un nivel bajo. Esta configuración denominada **AND cableada** y permite que los dispositivos conectados a la línea tengan una tensión de alimentación diferente a la tensión de alimentación del pin de salida del MCU.



**Nota:** La resistencia de pull-up utilizada para la salida de Drenaje Abierto debe equilibrar los siguientes parámetros:

- Pendiente del flanco: la línea en sí tiene capacitancia, y la resistencia de pull-up acoplada a ella forma un filtro paso bajo, y diferentes valores de resistencia afectarán la pendiente del flanco de subida/bajada. Cuanto menor sea la resistencia, más pronunciado será el flanco y mejor será la transmisión de la señal.
- Consumo de energía: si el valor de resistencia de pull-up es demasiado bajo, cuando la línea se suba, se generará un consumo de energía excesivo.
- Ruido: si el valor de resistencia de pull-up es demasiado alto, la resistencia de pull-up será más débil y será más fácil que el ruido externo sea recogido por la línea.

# Módulo GPIO: Configuración de Puertos a Nivel de Software

## Registros FIODIR (Fast GPIO Port Direction control register)

Los bits de estos registros controlan la dirección de los pines de un puerto como *entradas o salidas*. Para cada pin, se necesita 1 bits para definir su funcionamiento:

Fast GPIO port Direction register FIO0DIR to FIO4DIR - addresses 0x2009 C000 to 0x2009 C080

bit description				
Bit	Symbol	Value	Description	Reset value
31:0	FIO0DIR		Fast GPIO Direction PORTx control bits. Bit 0 in FIOxDIR controls pin Px.0, bit 31 in FIOxDIR controls pin Px.31.	0x0
	FIO1DIR			
	FIO2DIR	0	Controlled pin is input.	
	FIO3DIR			
	FIO4DIR	1	Controlled pin is output.	

- Un cero '0' configura el pin como **entrada**.
- Un uno '1' configura el puerto como **salida**.

**Nota:** El bit menos significativo del registro FIODIR configura el PIN menos significativo del puerto.

**Nota:** FIO = Fast Input Output.

Fast GPIO port Direction control byte and half-word accessible register description				
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxDIR0	Fast GPIO Port x Direction control register 0. Bit 0 in FIOxDIR0 register corresponds to pin Px.0 ... bit 7 to pin Px.7.	8 (byte) R/W	0x00	FIO0DIR0 - 0x2009 C000 FIO1DIR0 - 0x2009 C020 FIO2DIR0 - 0x2009 C040 FIO3DIR0 - 0x2009 C060 FIO4DIR0 - 0x2009 C080
FIOxDIR1	Fast GPIO Port x Direction control register 1. Bit 0 in FIOxDIR1 register corresponds to pin Px.8 ... bit 7 to pin Px.15.	8 (byte) R/W	0x00	FIO0DIR1 - 0x2009 C001 FIO1DIR1 - 0x2009 C021 FIO2DIR1 - 0x2009 C041 FIO3DIR1 - 0x2009 C061 FIO4DIR1 - 0x2009 C081
FIOxDIR2	Fast GPIO Port x Direction control register 2. Bit 0 in FIOxDIR2 register corresponds to pin Px.16 ... bit 7 to pin Px.23.	8 (byte) R/W	0x00	FIO0DIR2 - 0x2009 C002 FIO1DIR2 - 0x2009 C022 FIO2DIR2 - 0x2009 C042 FIO3DIR2 - 0x2009 C062 FIO4DIR2 - 0x2009 C082
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxDIR3	Fast GPIO Port x Direction control register 3. Bit 0 in FIOxDIR3 register corresponds to pin Px.24 ... bit 7 to pin Px.31.	8 (byte) R/W	0x00	FIO0DIR3 - 0x2009 C003 FIO1DIR3 - 0x2009 C023 FIO2DIR3 - 0x2009 C043 FIO3DIR3 - 0x2009 C063 FIO4DIR3 - 0x2009 C083
FIOxDIRL	Fast GPIO Port x Direction control Lower half-word register. Bit 0 in FIOxDIRL register corresponds to pin Px.0 ... bit 15 to pin Px.15.	16 (half-word) R/W	0x0000	FIO0DIRL - 0x2009 C000 FIO1DIRL - 0x2009 C020 FIO2DIRL - 0x2009 C040 FIO3DIRL - 0x2009 C060 FIO4DIRL - 0x2009 C080
FIOxDIRU	Fast GPIO Port x Direction control Upper half-word register. Bit 0 in FIOxDIRU register corresponds to Px.16 ... bit 15 to Px.31.	16 (half-word) R/W	0x0000	FIO0DIRU - 0x2009 C002 FIO1DIRU - 0x2009 C022 FIO2DIRU - 0x2009 C042 FIO3DIRU - 0x2009 C062 FIO4DIRU - 0x2009 C082

# Módulo GPIO: Configuración de Puertos a Nivel de Software

## Registros FIOMASK (Fast Mask register for port)

Los bits de estos registros permiten enmascarar los pines de un puerto. Para cada pin, se necesita 1 bits para definir su funcionamiento:

Fast GPIO port Mask register (FIO0MASK to FIO4MASK - addresses 0x2009 C010 to 0x2009 C090)  
bit description

Bit	Symbol	Value	Description	Reset value
31:0	FIO0MASK		Fast GPIO physical pin access control.	0x0
	FIO1MASK	0	Controlled pin is affected by writes to the port's FIOxSET, FIOxCLR, and FIOxPIN register(s). Current state of the pin can be read from the FIOxPIN register.	
	FIO2MASK			
	FIO3MASK			
	FIO4MASK	1	Controlled pin is not affected by writes into the port's FIOxSET, FIOxCLR and FIOxPIN register(s). When the FIOxPIN register is read, this bit will not be updated with the state of the physical pin.	

- Un cero '0' permite controlar al PIN del puerto mediante los registros GPIO.
- Un uno '1' enmascara al PIN del puerto, de esta forma no será afectado por los registros GPIO.

**Nota:** Las funciones de los registros FIOPIN, FIOSET, FIOCLR y FIOPIN, sólo alterarán al PIN del puerto cuando éste registro tiene un valor de cero '0' para ese PIN. Si éste registro posee un valor de uno '1' para el PIN del puerto, el estado del PIN no es afectado por las funciones mencionadas.

Fast GPIO port Mask byte and half-word accessible register description

Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxMASK0	Fast GPIO Port x Mask register 0. Bit 0 in FIOxMASK0 register corresponds to pin Px.0 ... bit 7 to pin Px.7.	8 (byte) R/W	0x0	FIO0MASK0 - 0x2009 C010 FIO1MASK0 - 0x2009 C030 FIO2MASK0 - 0x2009 C050 FIO3MASK0 - 0x2009 C070 FIO4MASK0 - 0x2009 C090
FIOxMASK1	Fast GPIO Port x Mask register 1. Bit 0 in FIOxMASK1 register corresponds to pin Px.8 ... bit 7 to pin Px.15.	8 (byte) R/W	0x0	FIO0MASK1 - 0x2009 C011 FIO1MASK1 - 0x2009 C031 FIO2MASK1 - 0x2009 C051 FIO3MASK1 - 0x2009 C071 FIO4MASK1 - 0x2009 C091
FIOxMASK2	Fast GPIO Port x Mask register 2. Bit 0 in FIOxMASK2 register corresponds to pin Px.16 ... bit 7 to pin Px.23.	8 (byte) R/W	0x0	FIO0MASK2 - 0x2009 C012 FIO1MASK2 - 0x2009 C032 FIO2MASK2 - 0x2009 C052 FIO3MASK2 - 0x2009 C072 FIO4MASK2 - 0x2009 C092
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxMASK3	Fast GPIO Port x Mask register 3. Bit 0 in FIOxMASK3 register corresponds to pin Px.24 ... bit 7 to pin Px.31.	8 (byte) R/W	0x0	FIO0MASK3 - 0x2009 C013 FIO1MASK3 - 0x2009 C033 FIO2MASK3 - 0x2009 C053 FIO3MASK3 - 0x2009 C073 FIO4MASK3 - 0x2009 C093
FIOxMASKL	Fast GPIO Port x Mask Lower half-word register. Bit 0 in FIOxMASKL register corresponds to pin Px.0 ... bit 15 to pin Px.15.	16 (half-word) R/W	0x0	FIO0MASKL - 0x2009 C010 FIO1MASKL - 0x2009 C030 FIO2MASKL - 0x2009 C050 FIO3MASKL - 0x2009 C070 FIO4MASKL - 0x2009 C090
FIOxMASKU	Fast GPIO Port x Mask Upper half-word register. Bit 0 in FIOxMASKU register corresponds to pin Px.16 ... bit 15 to Px.31.	16 (half-word) R/W	0x0	FIO0MASKU - 0x2009 C012 FIO1MASKU - 0x2009 C032 FIO2MASKU - 0x2009 C052 FIO3MASKU - 0x2009 C072 FIO4MASKU - 0x2009 C092

# Módulo GPIO: Configuración de Puertos a Nivel de Software

## Registros FIOPIN (Fast GPIO port Pin value register)

Los bits de estos registros permiten obtener el estado del PIN en el caso de que el PIN se encuentre configurado como entrada y define el estado del PIN si se encuentra configurado como salida:

Fast GPIO port Pin value register (FIO0PIN to FIO4PIN- addresses 0x2009 C014 to 0x2009 C094)  
bit description

Bit	Symbol	Value	Description	Reset value
31:0	FIO0PIN		Fast GPIO output value bits. Bit 0 corresponds to pin Px.0, bit 31 corresponds to pin Px.31. Only bits also set to 0 in the FIOxMASK register are affected by a write or show the pin's actual logic state.	0x0
	FIO1PIN	0	Reading a 0 indicates that the port pin's current state is LOW. Writing a 0 sets the output register value to LOW.	
	FIO2PIN	1	Reading a 1 indicates that the port pin's current state is HIGH. Writing a 1 sets the output register value to HIGH.	
	FIO3PIN			
	FIO4PIN			

- En el caso de que se encuentre configurado como entrada.
  - Leemos cero '0' si se encuentra en estado bajo.
  - Leemos uno '1' si se encuentra en estado alto.
- En el caso de que se encuentre configurado como salida.
  - Si escribo cero '0' se pone en estado bajo.
  - Si escribo uno '1' se pone en estado alto.

**Nota:** Si el registro FIOMASK se encuentra en uno '1' para el PIN del puerto que se está modificando.

- La escritura del registro FIOPIN no afectará el estado del PIN. (output)
- La lectura del PIN devolverá cero '0', sin importar de su estado físico real. (input)

Fast GPIO port Pin value byte and half-word accessible register description				
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxPIN0	Fast GPIO Port x Pin value register 0. Bit 0 in FIOxPIN0 register corresponds to pin Px.0 ... bit 7 to pin Px.7.	8 (byte) R/W	0x00	FIO0PIN0 - 0x2009 C014 FIO1PIN0 - 0x2009 C034 FIO2PIN0 - 0x2009 C054 FIO3PIN0 - 0x2009 C074 FIO4PIN0 - 0x2009 C094
FIOxPIN1	Fast GPIO Port x Pin value register 1. Bit 0 in FIOxPIN1 register corresponds to pin Px.8 ... bit 7 to pin Px.15.	8 (byte) R/W	0x00	FIO0PIN1 - 0x2009 C015 FIO1PIN1 - 0x2009 C035 FIO2PIN1 - 0x2009 C055 FIO3PIN1 - 0x2009 C075 FIO4PIN1 - 0x2009 C095
FIOxPIN2	Fast GPIO Port x Pin value register 2. Bit 0 in FIOxPIN2 register corresponds to pin Px.16 ... bit 7 to pin Px.23.	8 (byte) R/W	0x00	FIO0PIN2 - 0x2009 C016 FIO1PIN2 - 0x2009 C036 FIO2PIN2 - 0x2009 C056 FIO3PIN2 - 0x2009 C076 FIO4PIN2 - 0x2009 C096
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxPIN3	Fast GPIO Port x Pin value register 3. Bit 0 in FIOxPIN3 register corresponds to pin Px.24 ... bit 7 to pin Px.31.	8 (byte) R/W	0x00	FIO0PIN3 - 0x2009 C017 FIO1PIN3 - 0x2009 C037 FIO2PIN3 - 0x2009 C057 FIO3PIN3 - 0x2009 C077 FIO4PIN3 - 0x2009 C097
FIOxPINL	Fast GPIO Port x Pin value Lower half-word register. Bit 0 in FIOxPINL register corresponds to pin Px.0 ... bit 15 to pin Px.15.	16 (half-word) R/W	0x0000	FIO0PINL - 0x2009 C014 FIO1PINL - 0x2009 C034 FIO2PINL - 0x2009 C054 FIO3PINL - 0x2009 C074 FIO4PINL - 0x2009 C094
FIOxPINU	Fast GPIO Port x Pin value Upper half-word register. Bit 0 in FIOxPINU register corresponds to pin Px.16 ... bit 15 to Px.31.	16 (half-word) R/W	0x0000	FIO0PINU - 0x2009 C016 FIO1PINU - 0x2009 C036 FIO2PINU - 0x2009 C056 FIO3PINU - 0x2009 C076 FIO4PINU - 0x2009 C096

# Módulo GPIO: Configuración de Puertos a Nivel de Software

## Registros FIOSET (Fast GPIO port output Set register)

Los bits de estos registros permiten establecer el estado alto '1' de los PINES del puerto que tienen en uno '1' el bit del registro FIOSET asociado, para aquellos PINES configurados como salida.

Fast GPIO port output Set register (FIO0SET to FIO4SET - addresses 0x2009 C018 to 0x2009 C098)  
bit description

Bit	Symbol	Value	Description	Reset value
31:0	FIO0SET		Fast GPIO output value Set bits. Bit 0 in FIOxSET controls pin Px.0, bit 31 in FIOxSET controls pin Px.31.	0x0
	FIO1SET	0	Controlled pin output is unchanged.	
	FIO2SET	1	Controlled pin output is set to HIGH.	

- Escribir un uno '1' en el registro pondrá en alto '1' el PIN del puerto asociado en el caso de que se encuentre configurado como salida.
- Escribir un cero '0' en el registro no tiene efecto sobre el PIN del puerto asociado.
- Leer éste registro devuelve el contenido actual del puerto configurado como salida.

**Nota:** Los cambios ocurrirán sólo en aquellos PINES de los puertos para los cuales su FIOMASK asociado se encuentre seteado con un cero '0'.

Fast GPIO port output Set byte and half-word accessible register description				
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxSET0	Fast GPIO Port x output Set register 0. Bit 0 in FIOxSET0 register corresponds to pin Px.0 ... bit 7 to pin Px.7.	8 (byte) R/W	0x00	FIO0SET0 - 0x2009 C018 FIO1SET0 - 0x2009 C038 FIO2SET0 - 0x2009 C058 FIO3SET0 - 0x2009 C078 FIO4SET0 - 0x2009 C098
FIOxSET1	Fast GPIO Port x output Set register 1. Bit 0 in FIOxSET1 register corresponds to pin Px.8 ... bit 7 to pin Px.15.	8 (byte) R/W	0x00	FIO0SET1 - 0x2009 C019 FIO1SET1 - 0x2009 C039 FIO2SET1 - 0x2009 C059 FIO3SET1 - 0x2009 C079 FIO4SET1 - 0x2009 C099
FIOxSET2	Fast GPIO Port x output Set register 2. Bit 0 in FIOxSET2 register corresponds to pin Px.16 ... bit 7 to pin Px.23.	8 (byte) R/W	0x00	FIO0SET2 - 0x2009 C01A FIO1SET2 - 0x2009 C03A FIO2SET2 - 0x2009 C05A FIO3SET2 - 0x2009 C07A FIO4SET2 - 0x2009 C09A
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxSET3	Fast GPIO Port x output Set register 3. Bit 0 in FIOxSET3 register corresponds to pin Px.24 ... bit 7 to pin Px.31.	8 (byte) R/W	0x00	FIO0SET3 - 0x2009 C01B FIO1SET3 - 0x2009 C03B FIO2SET3 - 0x2009 C05B FIO3SET3 - 0x2009 C07B FIO4SET3 - 0x2009 C09B
FIOxSETL	Fast GPIO Port x output Set Lower half-word register. Bit 0 in FIOxSETL register corresponds to pin Px.0 ... bit 15 to pin Px.15.	16 (half-word) R/W	0x0000	FIO0SETL - 0x2009 C018 FIO1SETL - 0x2009 C038 FIO2SETL - 0x2009 C058 FIO3SETL - 0x2009 C078 FIO4SETL - 0x2009 C098
FIOxSETU	Fast GPIO Port x output Set Upper half-word register. Bit 0 in FIOxSETU register corresponds to Px.16 ... bit 15 to Px.31.	16 (half-word) R/W	0x0000	FIO0SETU - 0x2009 C01A FIO1SETU - 0x2009 C03A FIO2SETU - 0x2009 C05A FIO3SETU - 0x2009 C07A FIO4SETU - 0x2009 C09A

# Módulo GPIO: Configuración de Puertos a Nivel de Software

## Registros FIOCLEAR (Fast GPIO port output Clear register)

Los bits de estos registros permiten establecer el estado bajo '0' de los PINES del puerto que tienen en uno '1' el bit del registro FIOCLR asociado, para aquellos PINES configurados como salida.

Fast GPIO port output Clear register (FIO0CLR to FIO4CLR- addresses 0x2009 C01C to 0x2009 C09C)  
bit description

Bit	Symbol	Value	Description	Reset value
31:0	FIO0CLR		Fast GPIO output value Clear bits. Bit 0 in FIOxCLR controls pin Px.0, bit 31 controls pin Px.31.	0x0
	FIO1CLR			
	FIO2CLR	0	Controlled pin output is unchanged.	
	FIO3CLR			
	FIO4CLR	1	Controlled pin output is set to LOW.	

- Escribir un uno '1' en el registro pondrá en bajo '0' el PIN del puerto asociado en el caso de que se encuentre configurado como salida.
- Escribir un cero '0' en el registro no tiene efecto sobre el PIN del puerto asociado.

**Nota:** Los cambios ocurrirán sólo en aquellos PINES de los puertos para los cuales su FIOMASK asociado se encuentre seteado con un cero '0'.

**Nota:** FIOSET/FIOCLR permiten setear y resetear pines de forma simple y rápida, por otro lado FIOPIN permite cargar todo un valor deseado de 32 bits en un puerto.

Fast GPIO port output Clear byte and half-word accessible register description

Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxCLR0	Fast GPIO Port x output Clear register 0. Bit 0 in FIOxCLR0 register corresponds to pin Px.0 ... bit 7 to pin Px.7.	8 (byte) WO	0x00	FIO0CLR0 - 0x2009 C01C FIO1CLR0 - 0x2009 C03C FIO2CLR0 - 0x2009 C05C FIO3CLR0 - 0x2009 C07C FIO4CLR0 - 0x2009 C09C
FIOxCLR1	Fast GPIO Port x output Clear register 1. Bit 0 in FIOxCLR1 register corresponds to pin Px.8 ... bit 7 to pin Px.15.	8 (byte) WO	0x00	FIO0CLR1 - 0x2009 C01D FIO1CLR1 - 0x2009 C03D FIO2CLR1 - 0x2009 C05D FIO3CLR1 - 0x2009 C07D FIO4CLR1 - 0x2009 C09D
FIOxCLR2	Fast GPIO Port x output Clear register 2. Bit 0 in FIOxCLR2 register corresponds to pin Px.16 ... bit 7 to pin Px.23.	8 (byte) WO	0x00	FIO0CLR2 - 0x2009 C01E FIO1CLR2 - 0x2009 C03E FIO2CLR2 - 0x2009 C05E FIO3CLR2 - 0x2009 C07E FIO4CLR2 - 0x2009 C09E
Generic Register name	Description	Register length (bits) & access	Reset value	PORTn Register Address & Name
FIOxCLR3	Fast GPIO Port x output Clear register 3. Bit 0 in FIOxCLR3 register corresponds to pin Px.24 ... bit 7 to pin Px.31.	8 (byte) WO	0x00	FIO0CLR3 - 0x2009 C01F FIO1CLR3 - 0x2009 C03F FIO2CLR3 - 0x2009 C05F FIO3CLR3 - 0x2009 C07F FIO4CLR3 - 0x2009 C09F
FIOxCLRL	Fast GPIO Port x output Clear Lower half-word register. Bit 0 in FIOxCLRL register corresponds to pin Px.0 ... bit 15 to pin Px.15.	16 (half-word) WO	0x0000	FIO0CLRL - 0x2009 C01C FIO1CLRL - 0x2009 C03C FIO2CLRL - 0x2009 C05C FIO3CLRL - 0x2009 C07C FIO4CLRL - 0x2009 C09C
FIOxCLRU	Fast GPIO Port x output Clear Upper half-word register. Bit 0 in FIOxCLRU register corresponds to pin Px.16 ... bit 15 to Px.31.	16 (half-word) WO	0x0000	FIO0CLRU - 0x2009 C01E FIO1CLRU - 0x2009 C03E FIO2CLRU - 0x2009 C05E FIO3CLRU - 0x2009 C07E FIO4CLRU - 0x2009 C09E

# Módulo GPIO: Programación de Registros en C mediante Punteros a Miembros de Estructuras

Entre todos los archivos que nos proporciona el fabricante tenemos el archivo LPC17xx.h el cual proporciona definiciones de estructuras. #include "LPC17xx.h"

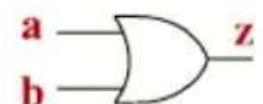
## *Impactar un Registro con 1 Lógico: OR-Igual ( $|=$ )*

```
LPC_GPIO0->FIODIR |= (1<<22); //P0.22 como Salida (Setear en 1)
```

Cuando ponemos un pin como salida se hace un  $|=$  (OR) para que solamente se modifique en el FIODIR los bits que se colocan en 1 y todos los demás permanezcan iguales.

$$X \text{ OR } 0 = X$$

$$X \text{ OR } 1 = 1$$



a	b	z
0	0	0
0	1	1
1	0	1
1	1	1

## *Impactar un Registro con 0 Lógico: AND-Igual-Complementada ( $\&= \sim$ )*

```
LPC_GPIO0->FIODIR &= ~(1<<22); //P0.22 como Entrada (Setear en 0)
```

Cuando ponemos un pin como entrada se hace un  $\&= \sim$  (AND y negamos el valor que ingresado) para que solo los pines donde ponemos 1 (que se niegan y quedan en 0) sean modificados y los demás permanezcan iguales.

$$X \text{ AND } 1 = X,$$

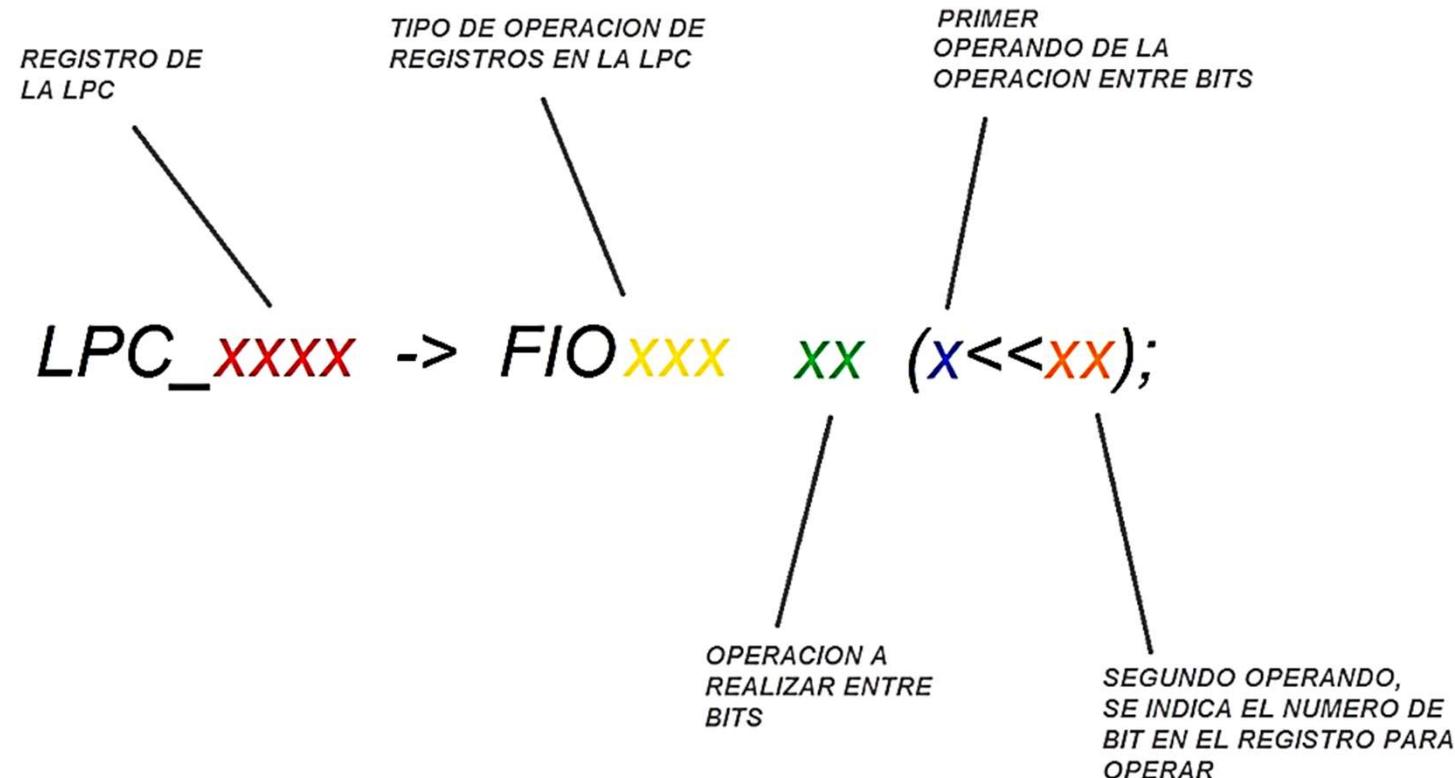
$$X \text{ AND } 0 = 0$$

$$X \text{ AND } \sim 1 = 0$$



a	b	z
0	0	0
0	1	0
1	0	0
1	1	1

# Módulo GPIO: Programación de Registros en C mediante Punteros a Miembros de Estructuras



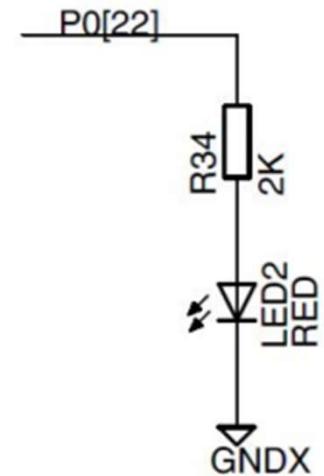
`LPC_GPIO0` es un puntero que apunta a la base de una estructura de datos de tipo “`LPC_GPIO`” (0x2009C000). La estructura unión nos da la ventaja de acceder a partes de los registros como 2 registros de 16-bit o 4-byte. Luego, mediante el operador “->” se accede al elemento `FIODIR` de la estructura `LPC_GPIO` y le carga el valor `(1<<22)`.

# Módulo GPIO: Programación de Registros en C mediante Punteros a Miembros de Estructuras

```
/*----General Purpose Input/Output (GPIO)----*/
typedef struct
{
    union {
        __IO uint32_t FIODIR;
        struct {
            __IO uint16_t FIODIRL;
            __IO uint16_t FIODIRH;
        };
        struct {
            __IO uint8_t FIODIRO0;
            __IO uint8_t FIODIR1;
            __IO uint8_t FIODIR2;
            __IO uint8_t FIODIR3;
        };
    };
    uint32_t RESERVED0[3];
    union {
        __IO uint32_t FIOMASK;
        struct {
            __IO uint16_t FIOMASKL;
            __IO uint16_t FIOMASKH;
        };
        struct {
            __IO uint8_t FIOMASK0;
            __IO uint8_t FIOMASK1;
            __IO uint8_t FIOMASK2;
            __IO uint8_t FIOMASK3;
        };
    };
    union {
        __IO uint32_t FIOPIN;
        struct {
            __IO uint16_t FIOPINL;
            __IO uint16_t FIOPINH;
        };
    };
    struct {
        __IO uint8_t FIOPIN0;
        __IO uint8_t FIOPIN1;
        __IO uint8_t FIOPIN2;
        __IO uint8_t FIOPIN3;
    };
    union {
        __IO uint32_t FIOSET;
        struct {
            __IO uint16_t FIOSETL;
            __IO uint16_t FIOSETH;
        };
        struct {
            __IO uint8_t FIOSET0;
            __IO uint8_t FIOSET1;
            __IO uint8_t FIOSET2;
            __IO uint8_t FIOSET3;
        };
    };
    union {
        __O uint32_t FIOCLR;
        struct {
            __O uint16_t FIOCLRL;
            __O uint16_t FIOCLRH;
        };
        struct {
            __O uint8_t FIOCLR0;
            __O uint8_t FIOCLR1;
            __O uint8_t FIOCLR2;
            __O uint8_t FIOCLR3;
        };
    };
} LPC_GPIO_TypeDef;
```

# Ejemplo 1: GPIO Configurado como Salida

```
1  /*
2   * @brief    Enciende y apaga un led conectado al pin P0.22 de forma intermitente
3   */
4
5  /* Directivas de Inclusión */
6 #include "LPC17xx.h"
7
8  /* Prototipos de Funciones */
9 void delay(void);
10
11 /* Función Principal */
12 int main(void){
13
14     LPC_PINCON->PINSEL1 |= ~(0b11<<12); // P0.22 GPIO Function
15     LPC_GPIO0->FIODIR |= (1<<22); // P0.22 Digital Output
16     //LPC_GPIO0->FIODIRL |= (1<<6);
17     LPC_GPIO0->FIOMASK |= ~(1<<22);
18
19     while(1)
20     {
21         LPC_GPIO0->FIOSET |= (1<<22); // Led ON
22         delay();
23         LPC_GPIO0->FIOCLR |= (1<<22); // Led OFF
24         delay();
25     }
26
27     return 0;
28 }
29
30 /* Definiciones de Funciones */
31 void delay(void)
32 {
33     uint32_t counter;
34     for(counter = 0 ; counter < 6000000; counter++);
35 }
```



## Ejemplo 2: GPIO Configurado como Entrada

```
1  /*
2   * @brief   Enciende y apaga un led conectado al pin P0.22 de forma intermitente.
3   * @details El tiempo de retardo es controlado por una señal digital proveniente
4   *          del pin P2.10 configurado como entrada digital.
5   */
6
7 /* Directivas de Inclusión */
8 #include "LPC17xx.h"
9
10 /* Prototipos de Funciones */
11 void delay(uint32_t delayTime);
12
13 /* Función Principal */
14 int main(void){
15
16     uint32_t delayTime;
17
18     LPC_GPIO0->FIODIR |= (1<<22);      // P0.22 Digital Output
19     LPC_GPIO2->FIODIR &= ~(1<<10);    // P2.10 Digital Input
20     LPC_PINCON->PINMODE4 |= (3<<20);    // P2.10 Internal Pull-Down Enabled
21
22     while(1)
23     {
24         if ((LPC_GPIO2->FIOPIN)&(1<<10))
25         {
26             delayTime = 1000000;
27         }
28         else
29         {
30             delayTime = 4000000;
31         }
32         LPC_GPIO0->FIOSET |= (1<<22);    // Led ON
33         delay(delayTime);
34         LPC_GPIO0->FIOCLR |= (1<<22);    // Led OFF
35         delay(delayTime);
36     }
37
38     return 0;
39 }
```

```
40
41 /* Definiciones de Funciones */
42 void delay(uint32_t delayTime)
43 {
44     uint32_t counter;
45     for(counter = 0 ; counter < delayTime; counter++);
46 }
47
```

## **Ejercicio 1: GPIO Configurado como Salida**

Una famosa empresa de calzados a incorporado a sus zapatillas 10 luces leds comandadas por un microcontrolador LPC1769 y ha pedido a su grupo de ingenieros que diseñen 2 secuencias de luces que cada cierto tiempo se vayan intercalando (secuencia A - secuencia B- secuencia A- ... ). Como todavía no se ha definido la frecuencia a la cual va a funcionar el CPU del microcontrolador, las funciones de retardos que se incorporen deben tener como parámetros de entrada variables que permitan modificar el tiempo de retardo que se vaya a utilizar finalmente. Se pide escribir el código que resuelva este pedido, considerando que los leds se encuentran conectados en los puertos P0,0 al P0.9.

## **Ejercicio 2: GPIO Configurado como Salida**

En los pines P2.0 a P2.7 se encuentra conectado un display de 7 segmentos. Utilizando la variable numDisplay [10] ={0x3F, 0x06, 0x5B, 0x4F, 0x66, 0x6D, 0x7D, 0x07, 0x7F, 0x67} que codifica los números del 0 a 9 para ser mostrados en el display, realizar un programa que muestre indefinidamente la cuenta de 0 a 9 en dicho display.

## **Ejercicio 3: GPIO Configurado como Entrada**

Configurar el pin P0.4 como entrada digital con resistencia de pull down y utilizarlo para decidir si el valor representado por los pines P0.0 al P0.3 van a ser sumados o restados al valor guardado en la variable "acumulador".

El valor inicial de "acumulador" es 0.

## **Ejercicio 4: GPIO Configurado como Entrada**

Considerando pulsadores normalmente abiertos conectados en un extremo a masa y en el otro directamente a las entradas P0.0 y p0.1. Realizar un programa que identifique en una variable cual o cuales pulsadores han sido presionados. Las identificaciones posibles a implementar en esta variable van a ser "ninguno", "pulsador 1", "pulsador 2", "pulsador 1 y 2".

## **Ejercicio 5: GPIO Configurado como Entrada**

Escribir un programa en C que permita realizar un promedio móvil con los últimos 8 datos ingresados por el puerto 1. Considerar que cada dato es un entero signado y está formado por los 16 bits menos significativos de dicho puerto. El resultado, también de 16 bits, debe ser sacado por los pines P0.0 al P0.11 y P0.15 al P0.18. Recordar que en un promedio móvil primero se descarta el dato mas viejo de los 8 datos guardados, se ingresa un nuevo dato proveniente del puerto y se realiza la nueva operación de promedio con esos 8 datos disponibles, así sucesivamente. Considerar el uso de un retardo antes de tomar una nueva muestra por el puerto.