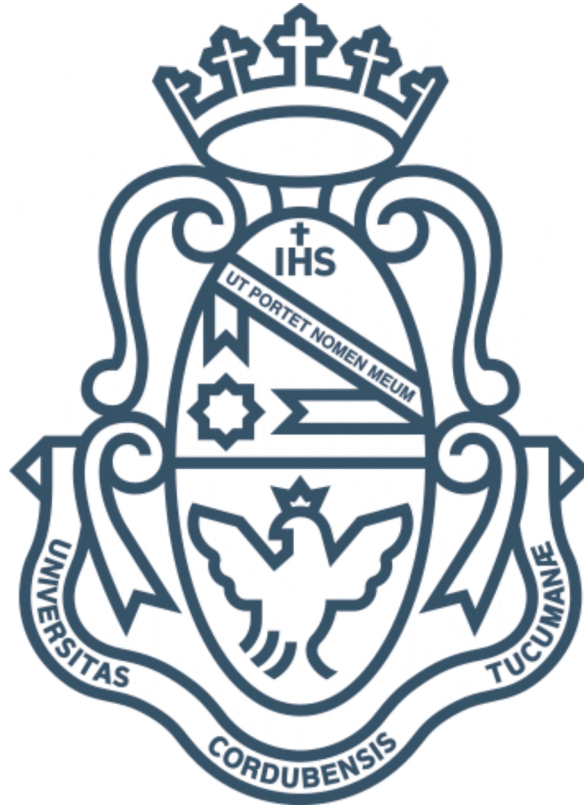


UNIVERSIDAD NACIONAL DE CÓRDOBA

Facultad de Ciencias Exactas Físicas y Naturales



Arquitectura de Computadoras

Trabajo Práctico nº 2

“Implementación de módulo UART”

Autores:

- Collante, Gerardo – 39022782
- Quinteros Castilla, Nicolás – 34351470

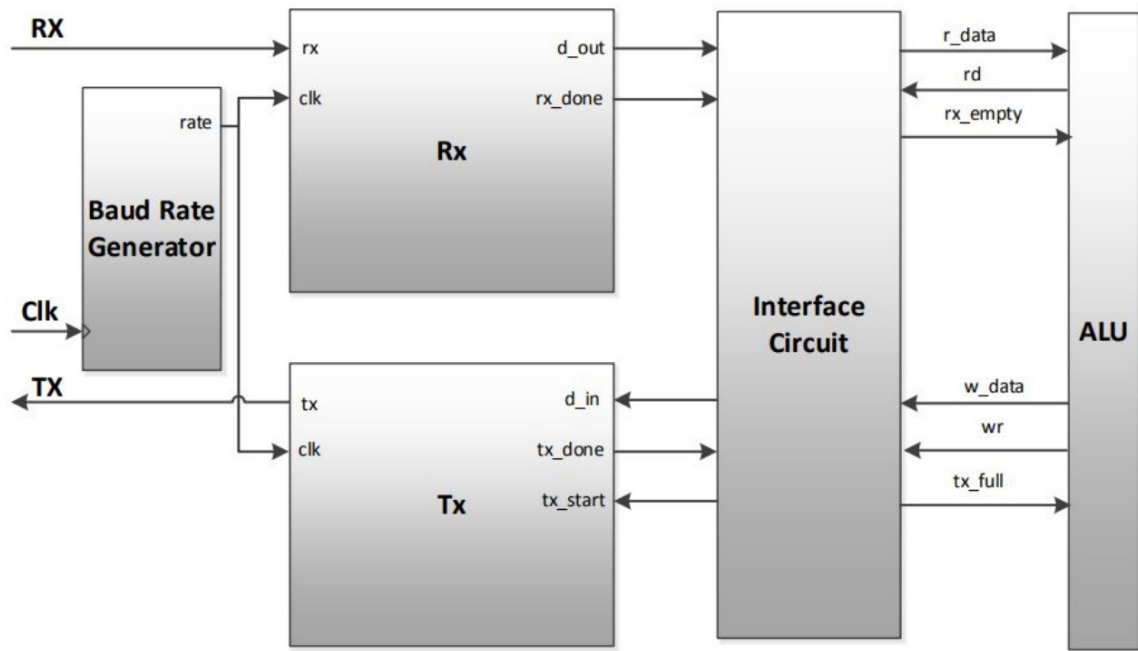
Docentes:

- Pereyra, Martín
- Pinzani, Paulo

Fecha: 31/10/2019

Introducción y objetivos

En el siguiente trabajo se realizó la implementación en Verilog de un módulo UART, el cuál se conecta a la ALU desarrollada anteriormente. El objetivo consistió en implementar el siguiente diagrama de bloques:



El módulo debía ser capaz tanto de realizar una transmisión como de recibir datos, comunicándose con una computadora. El objetivo fue enviar los operandos y el código de operación desde la PC, para que la ALU realizara la operación y devolviera el resultado.

Implementación

Se definió un módulo TOP que contiene los siguientes módulos:

- ALU
- Baud Rate Generator
- Circuito Interfaz
 - FIFO Tx
 - FIFO Rx
- UART transmisor

- UART receptor

Al módulo ALU desarrollado en el primer práctico, el cual es puramente combinacional con 2 entradas para operandos, una para el código de operación y una salida con el resultado; se le agregaron 4 módulos más.

El Baud Rate Generator es utilizado para coordinar el muestreo de la señal recibida. A partir de la entrada de clock y la velocidad de transmisión de la UART, genera un tick 16 veces por Baud Rate, lo que permite al módulo Rx trabajar con la señal de entrada.

Se implementaron los módulos de transmisión y recepción utilizando una lógica de máquinas de estado finitas. En cada caso se contaba con los estados de IDLE, START, DATA y STOP, en los cuales se formaba la trama en el caso del transmisor o se leían los datos que ingresaban al receptor, todo basándose en el estándar. Además, el módulo contaba con un chequeo de paridad.

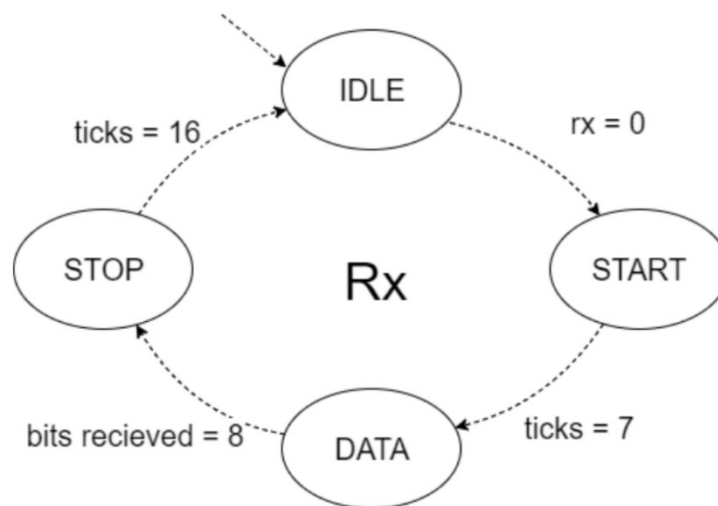


Diagrama de estados del receptor

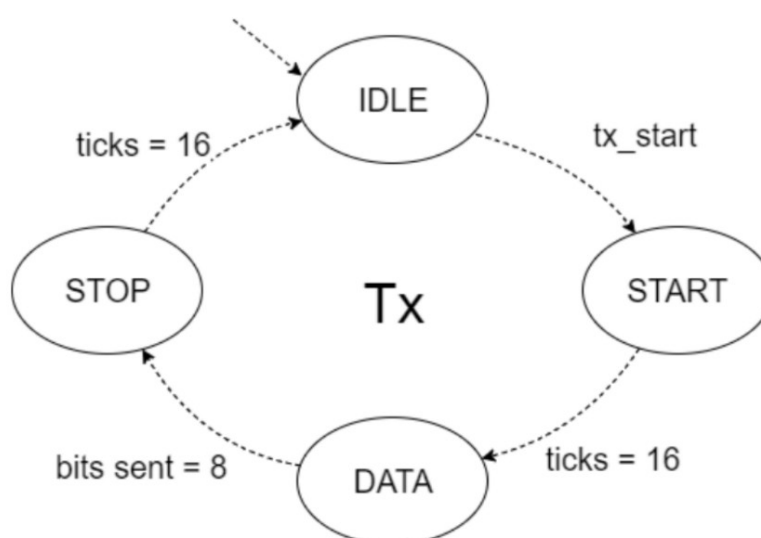
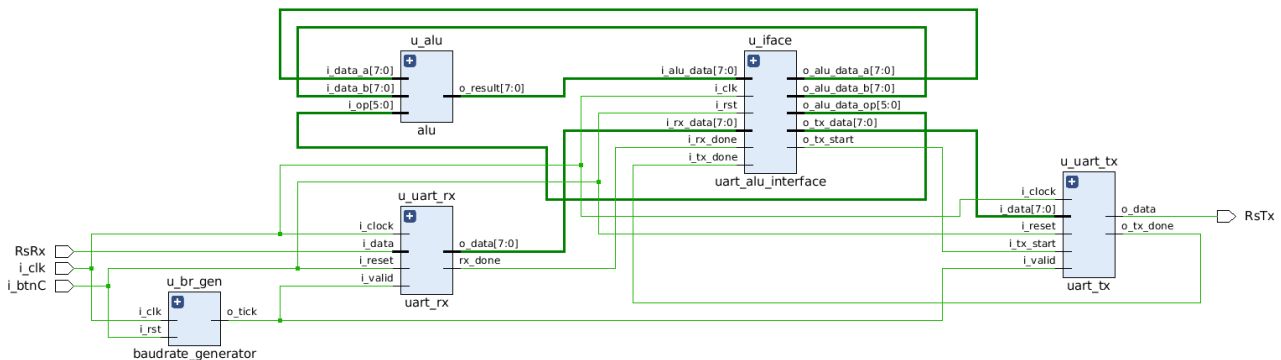


Diagrama de estados del transmisor

El circuito interfaz permite comunicar la ALU con el módulo UART. Recibe los bytes de Rx a través del módulo FIFO Rx, almacena en el buffer los valores entrantes y se los pasa a la ALU. Luego, ésta calcula el resultado y lo almacena en FIFO Tx, para después enviarlo por el transmisor.

Resultados

Utilizando una placa de desarrollo de Xilinx, Basys 3 y con la herramienta de desarrollo Vivado, se implementó el código del módulo descrito con su top level. A continuación se muestra el diagrama RTL.



Estructura RTL del módulo top level

Para la implementación se instanciaron los 5 módulos dentro de un módulo TOP, sobre el cual se declararon como entradas y salidas los pines de la FPGA a utilizar.

Para mapear los pines de la FPGA, se importó el archivo de constraints, y se definió un clock de 100MHz y la interfaz USB-RS232 de transmisión y recepción (RsRx y RsTx), además del botón btnC para el reset.

Para la transmisión de operandos y códigos de operación, y recepción del resultado desde la PC, se utilizó el software Cutecom, que luego de configurar el Baud Rate y el puerto USB al que se conectaba la placa, permitió la comunicación con la misma de la manera esperada. Al enviar primero un operando, luego el otro y a continuación el código de operación, se mostraba en pantalla el resultado obtenido de la ALU.

Conclusión

Se pudo implementar un transmisor y un receptor de UART en la placa y tener comunicación exitosa con la computadora. Se trabajó con distintos módulos lo cual permitió dividir las tareas fácilmente. El correcto funcionamiento de la UART con la ALU, permite integrar este trabajo práctico en otro que requiera mayor complejidad.