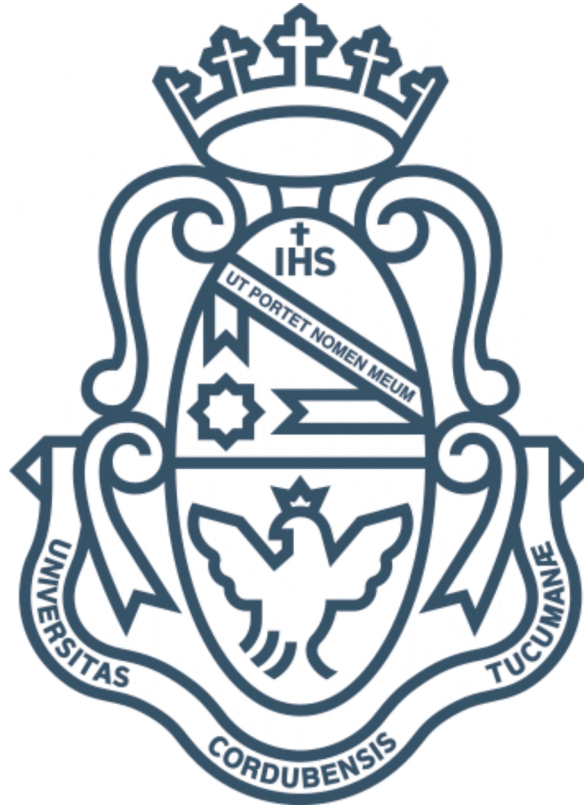


UNIVERSIDAD NACIONAL DE CÓRDOBA

Facultad de Ciencias Exactas Físicas y Naturales



Arquitectura de Computadoras

Trabajo Práctico nº 3

“Implementación de un procesador monociclo simple sin saltos BIP”

Autores:

- Collante, Gerardo – 39022782
- Quinteros Castilla, Nicolás – 34351470

Docentes:

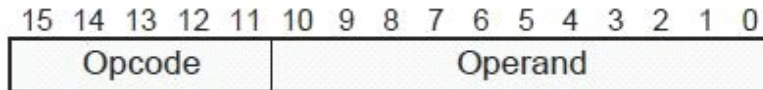
- Pereyra, Martín
- Pinzani, Paulo

Fecha: 20/11/2019

Introducción y objetivos

En lenguaje de descripción de hardware Verilog, se implementó un procesador simple, sin saltos monociclo: BIP, basado en el paper “A Basic Processor for Teaching Digital Circuits and Systems Design with FPGA” de Pereira y otros.

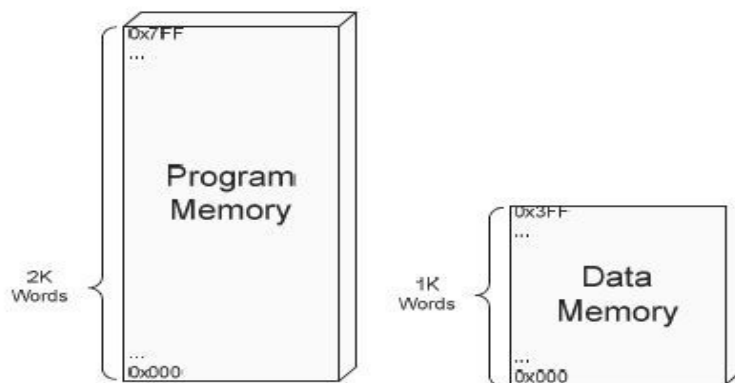
El procesador trabaja con operaciones de 16 bits como sigue:



El conjunto de instrucciones que se implementan es:

Operation	Opcode	Instruction	Data Memory (DM) and Accumulator (ACC) Updating	Program Counter (PC) updating	Affected Flags	BIP Model
Halt	00000	HLT		$PC \leftarrow PC$		I, II
Store Variable	00001	STO operand	$DM[operand] \leftarrow ACC$	$PC \leftarrow PC + 1$		I, II
Load Variable	00010	LD operand	$ACC \leftarrow DM[operand]$	$PC \leftarrow PC + 1$		I, II
Load Immediate	00011	LDI operand	$ACC \leftarrow operand$	$PC \leftarrow PC + 1$		I, II
Add Variable	00100	ADD operand	$ACC \leftarrow ACC + DM[operand]$	$PC \leftarrow PC + 1$	Z, N	I, II
Add Immediate	00101	ADDI operand	$ACC \leftarrow ACC + DM$	$PC \leftarrow PC + 1$	Z, N	I, II
Subtract Variable	00110	SUB operand	$ACC \leftarrow ACC - DM[operand]$	$PC \leftarrow PC + 1$	Z, N	I, II
Subtract Immediate	00111	SUBI operand	$ACC \leftarrow ACC - operand$	$PC \leftarrow PC + 1$	Z, N	I, II

La memoria está direccionada como se muestra a continuación:



Finalmente, el diagrama de bloques del procesador es como se presenta a continuación:

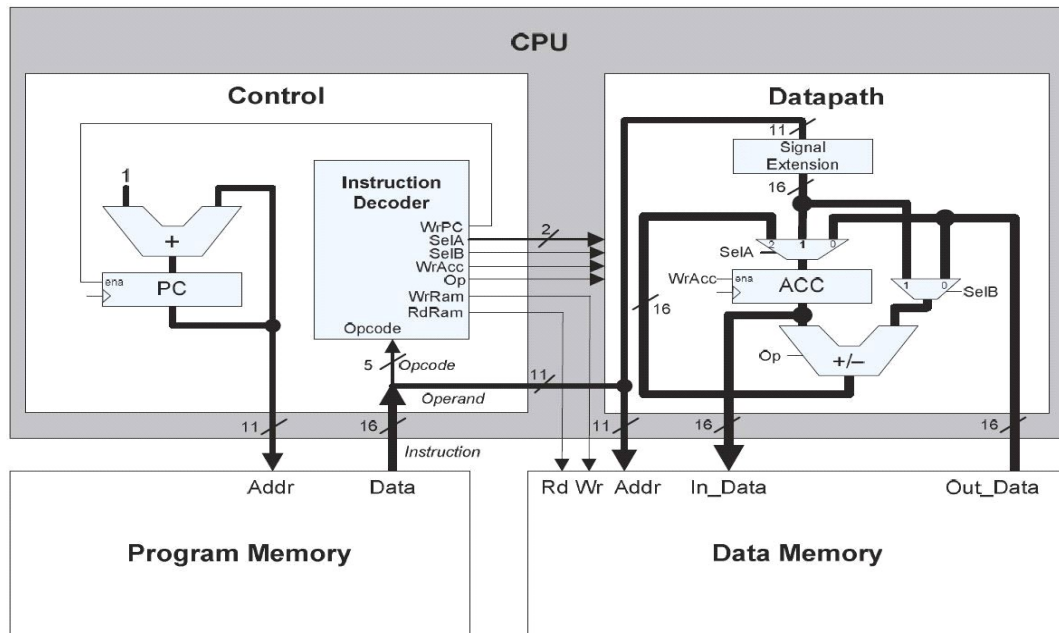


Figure 3. BIP I organization

Una vez implementado el procesador, se muestra por los leds (seleccionando cada uno con un botón) el PC, el valor del registro acumulador y el OPCODE.

Resultados

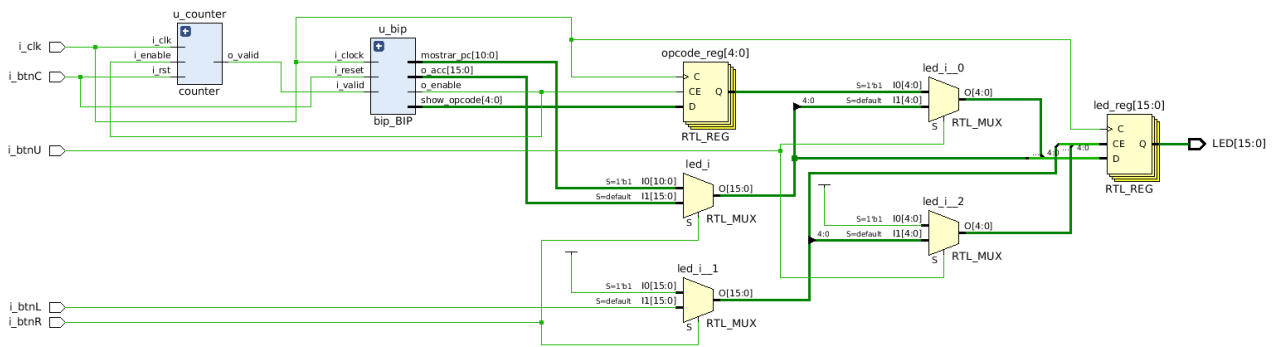
A través del testbench se logró una simulación que se muestra a continuación:

Name	Value	0.0 us	0.1 us	0.2 us	0.3 us	0.4 us	0.5 us	0.6 us	0.7 us	0.8 us	0.9 us	1.0 us	1.1 us
> acc[15:0]	0008	XXXX	0000	0001	0003	0008	0006	0008	0006	0008	0003	0008	0008
> instru...[15:0]	0000	XXXX	1001	2002	0007	1008	3002	2002	0004	1003	1008	0000	0000
> pc[10:0]	009	XXX	000	001	002	003	004	005	006	007	008	009	009

Donde se observa:

- acc = 16h'0008.
- instruction = 16h'0000.
- Pc = d'9.

En donde se puede ver que la ejecución del programa se lleva a cabo correctamente. A continuación se presenta el diagrama RTL top level:



Estructura RTL del módulo top level

Conclusión

Se entendió el funcionamiento de un procesador básico de instrucciones simples con el objetivo de sentar las bases para el próximo trabajo. En el mismo se deberán implementar instrucciones con saltos y un pipeline para explotar el ILP.