

1. Implemente un código VHDL que cada M (use generic) pulsos de clock ponga su salida en 1 durante 1 ciclo de clock. Utilice la siguiente entidad.

```
entity cnt1s is
    generic (M : integer := 100);
    Port (clk : in  STD_LOGIC;
          rst : in  STD_LOGIC;
          salida1s : out  STD_LOGIC);
end cnt1s;
```

Coloque la siguiente línea de código en donde declara las signals para que se calcule automáticamente la cantidad de bits del contador en base a la cuenta a realizar

```
constant N : integer := integer(ceil(log2(real (M))));
```

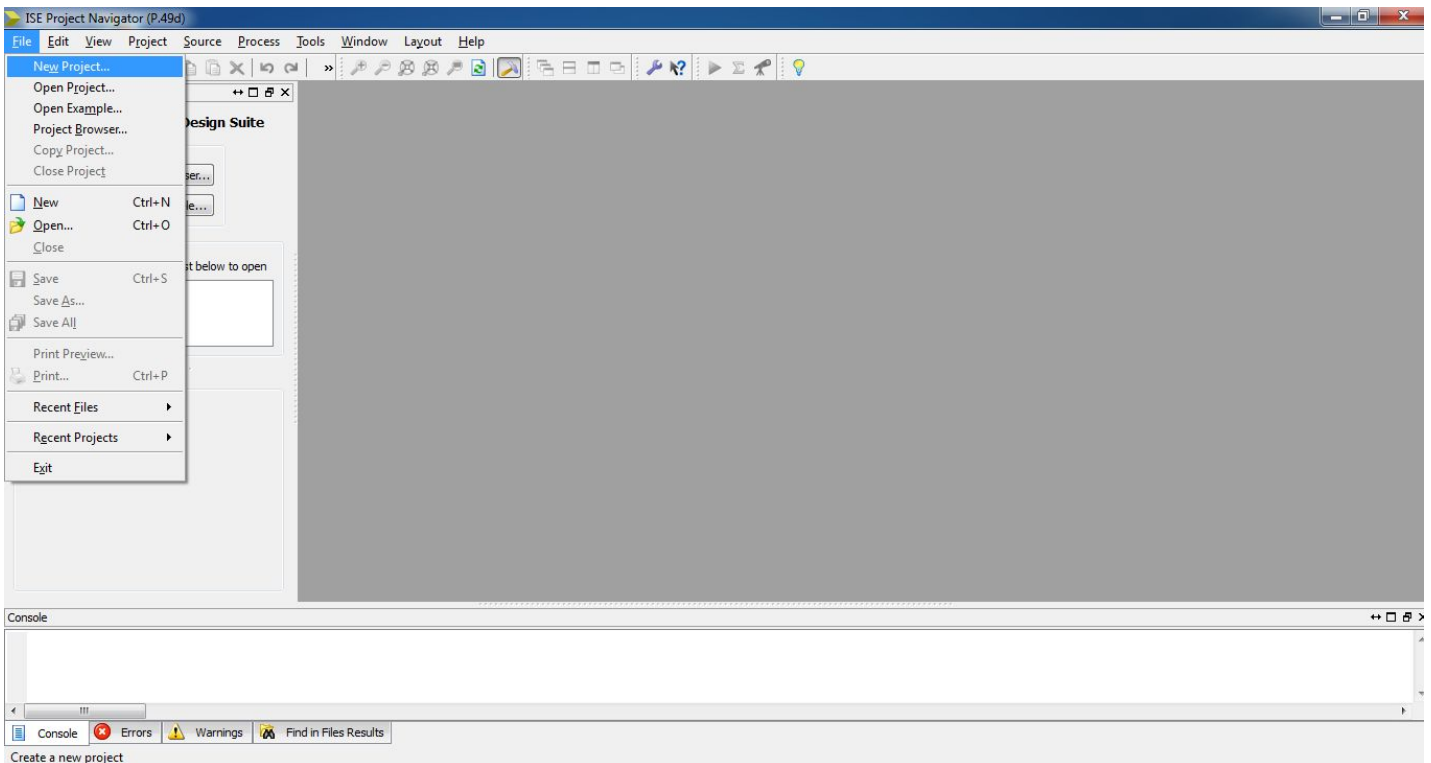
Deberá agregar el siguiente use

```
use ieee.math_real.all;
```

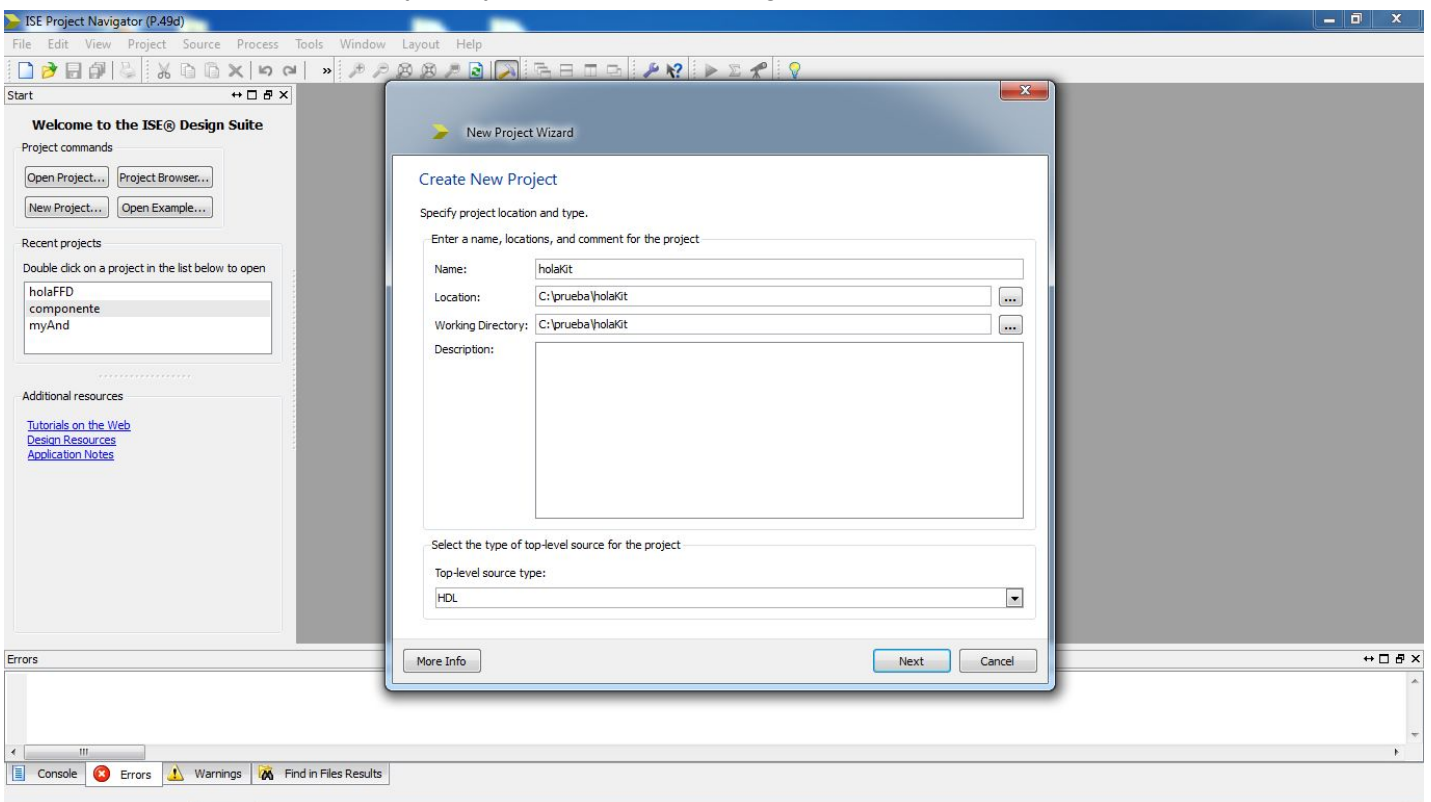
2. Implemente en VHDL un circuito que al recibir un uno en su única entrada complemente su salida. Utilice la siguiente entidad.

```
entity FFT is
    Port ( clk : in  STD_LOGIC;
          rst : in  STD_LOGIC;
          t : in  STD_LOGIC;
          q : out  STD_LOGIC);
end FFT;
```

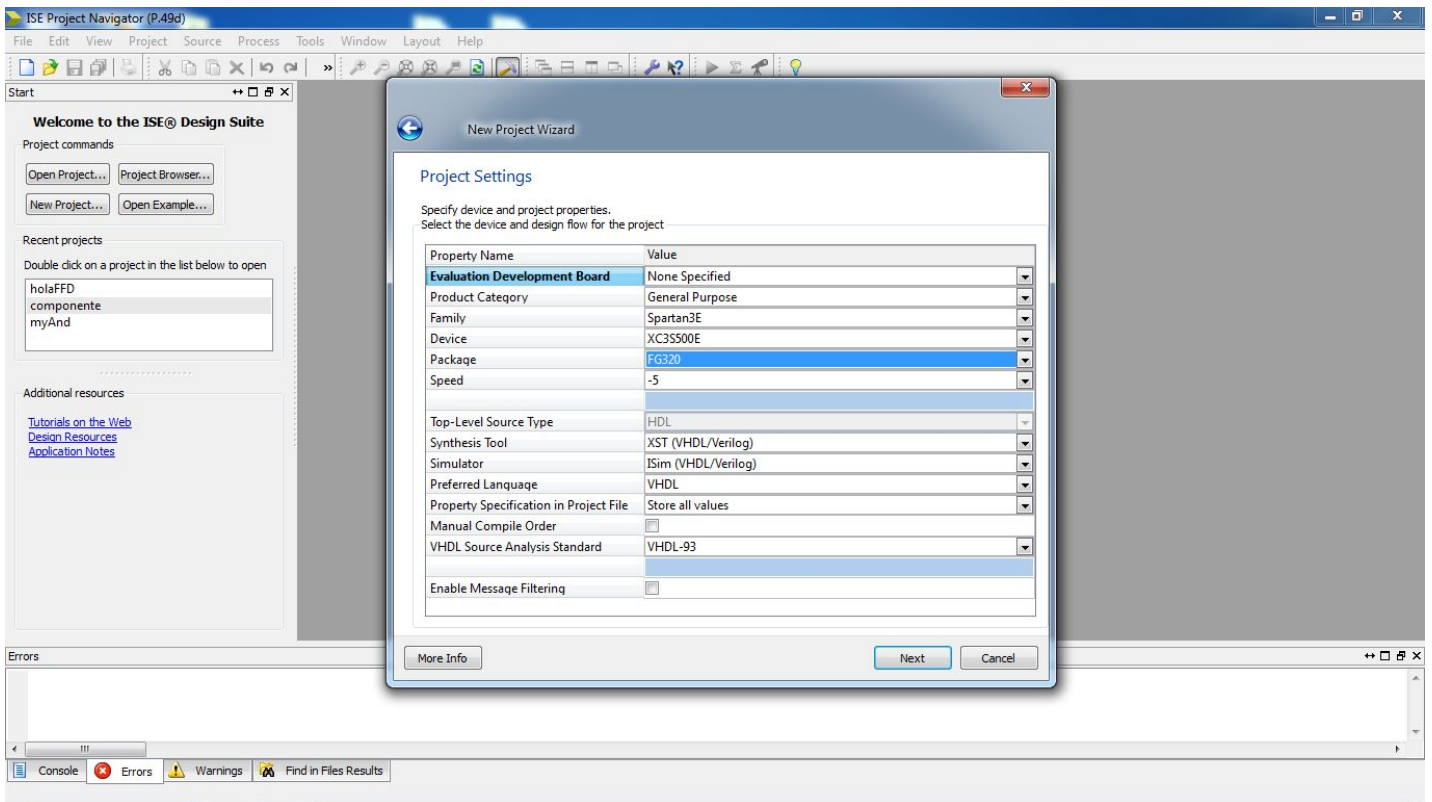
3. Seleccione en el menú superior File->New project



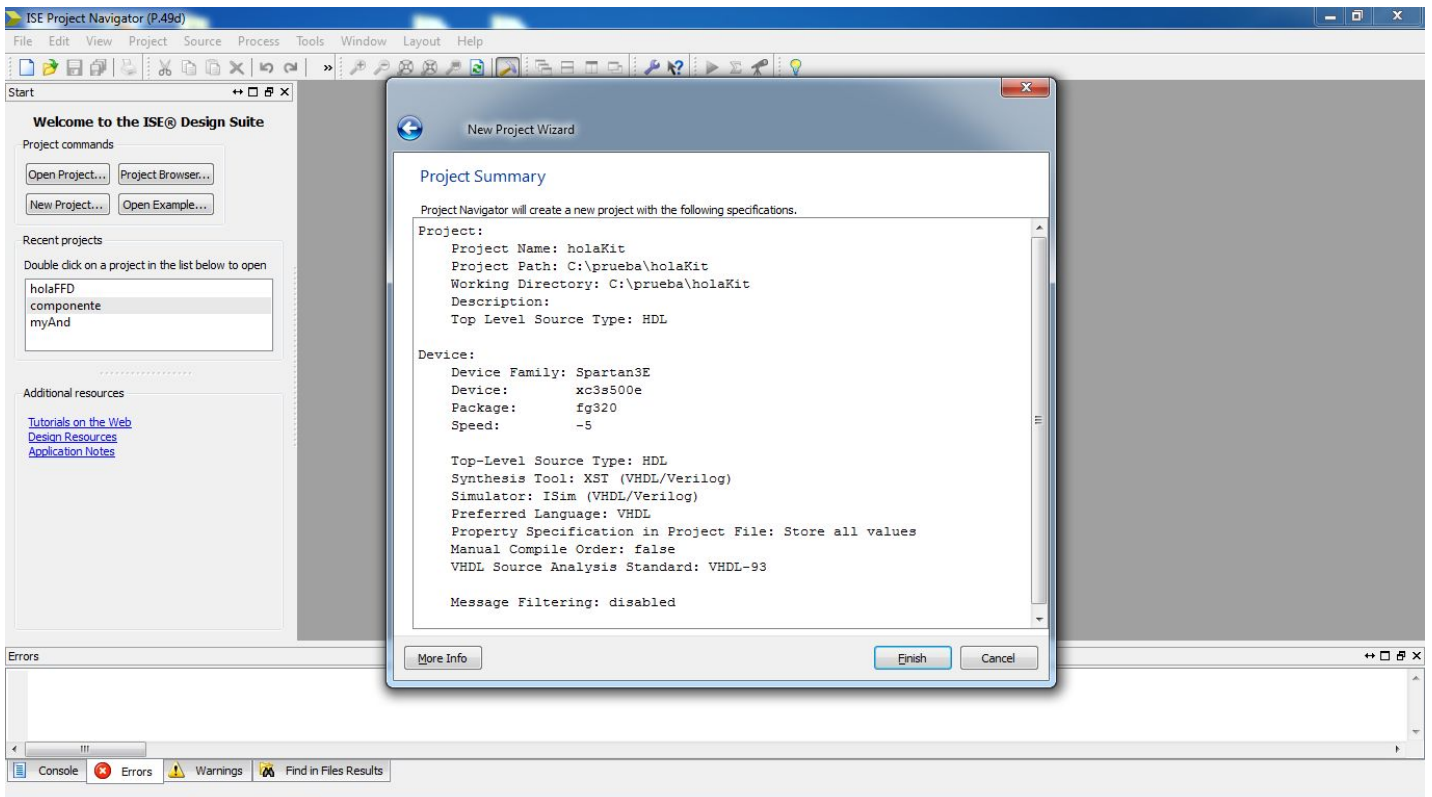
4. Coloque el nombre del proyecto y la carpeta donde lo guardará. Al finalizar presione Next



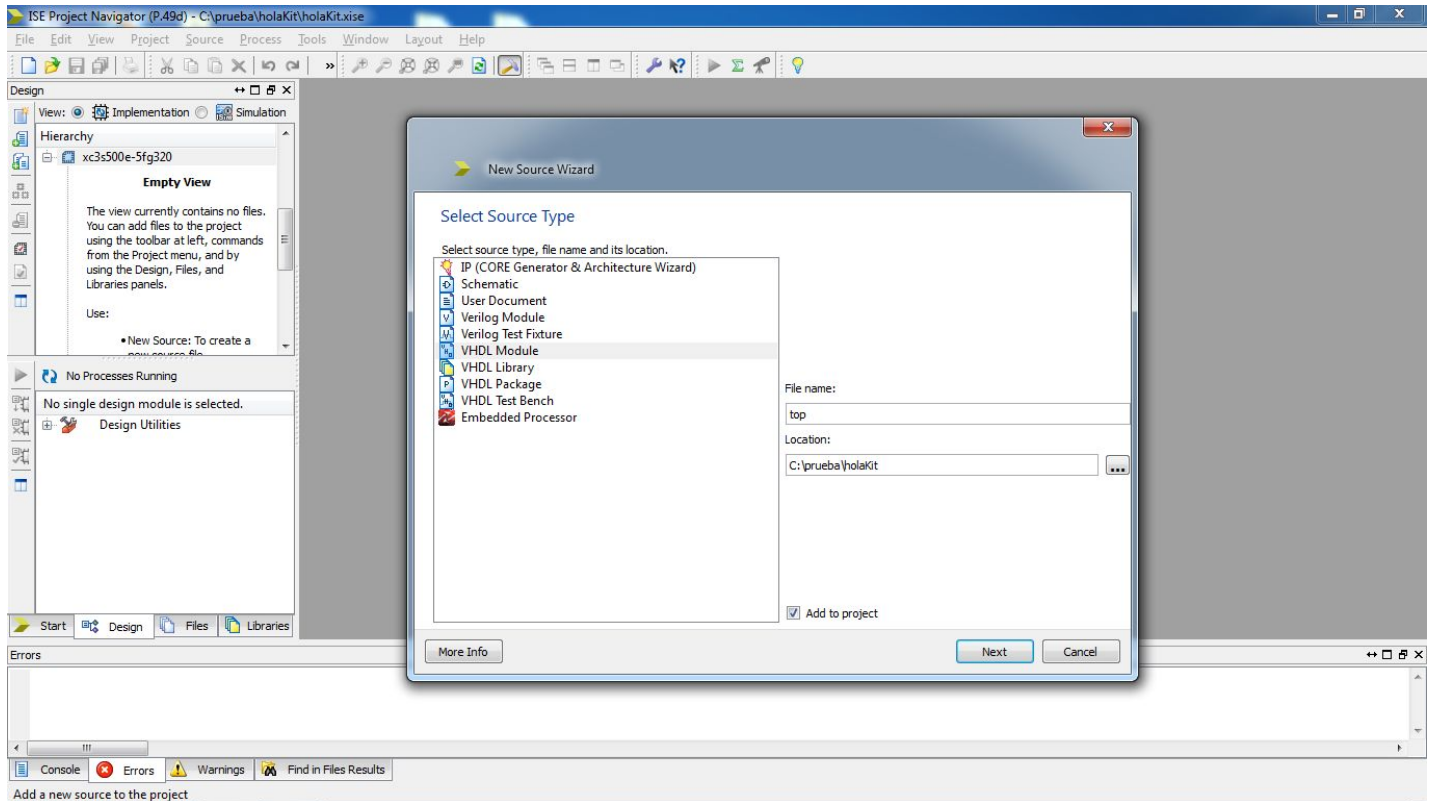
5. Configure las opciones como se ven en la siguiente imagen. Al finalizar presione Next



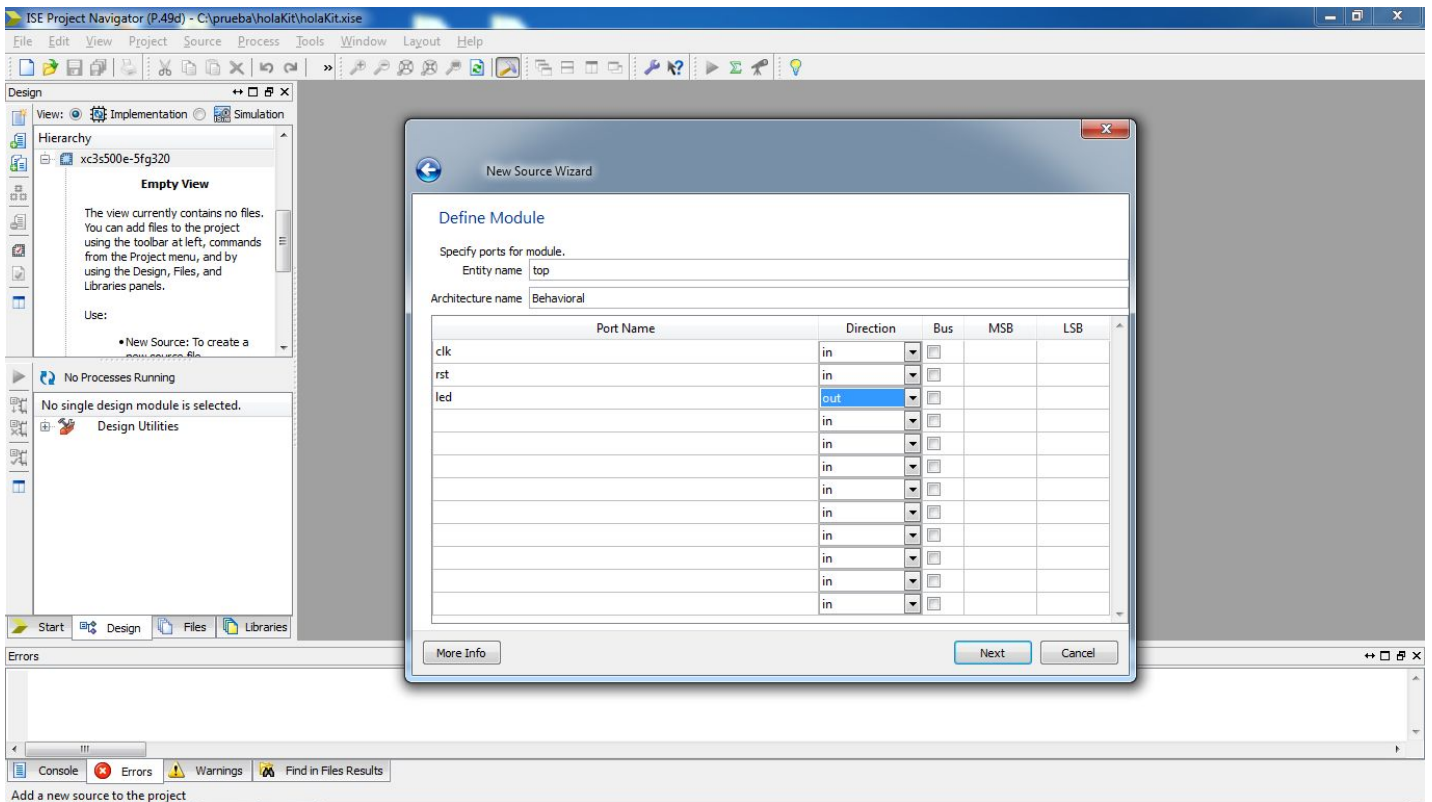
6. Verifique el resumen de lo seleccionado y presione finish



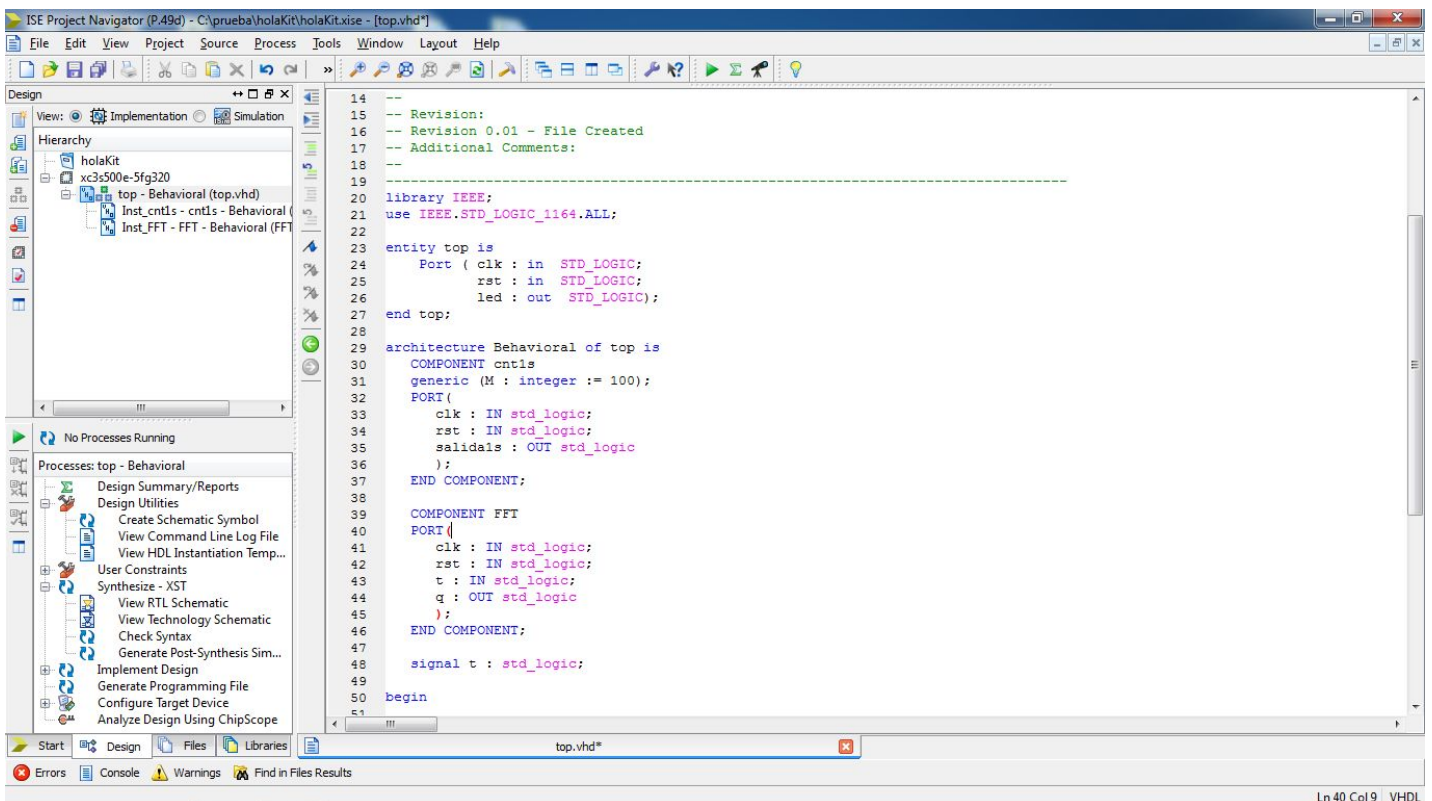
7. Seleccione en la solapa de la izquierda donde dice xc3s500e-5FG320 y presione el boton derecho, en el menú desplegado seleccione New Source...
8. En esta ventana seleccione la opción VHDL Module y coloque como nombre del archivo top como se observa en la siguiente figura. Además colóquelo como top module.(el que tiene el cuadradito verde)

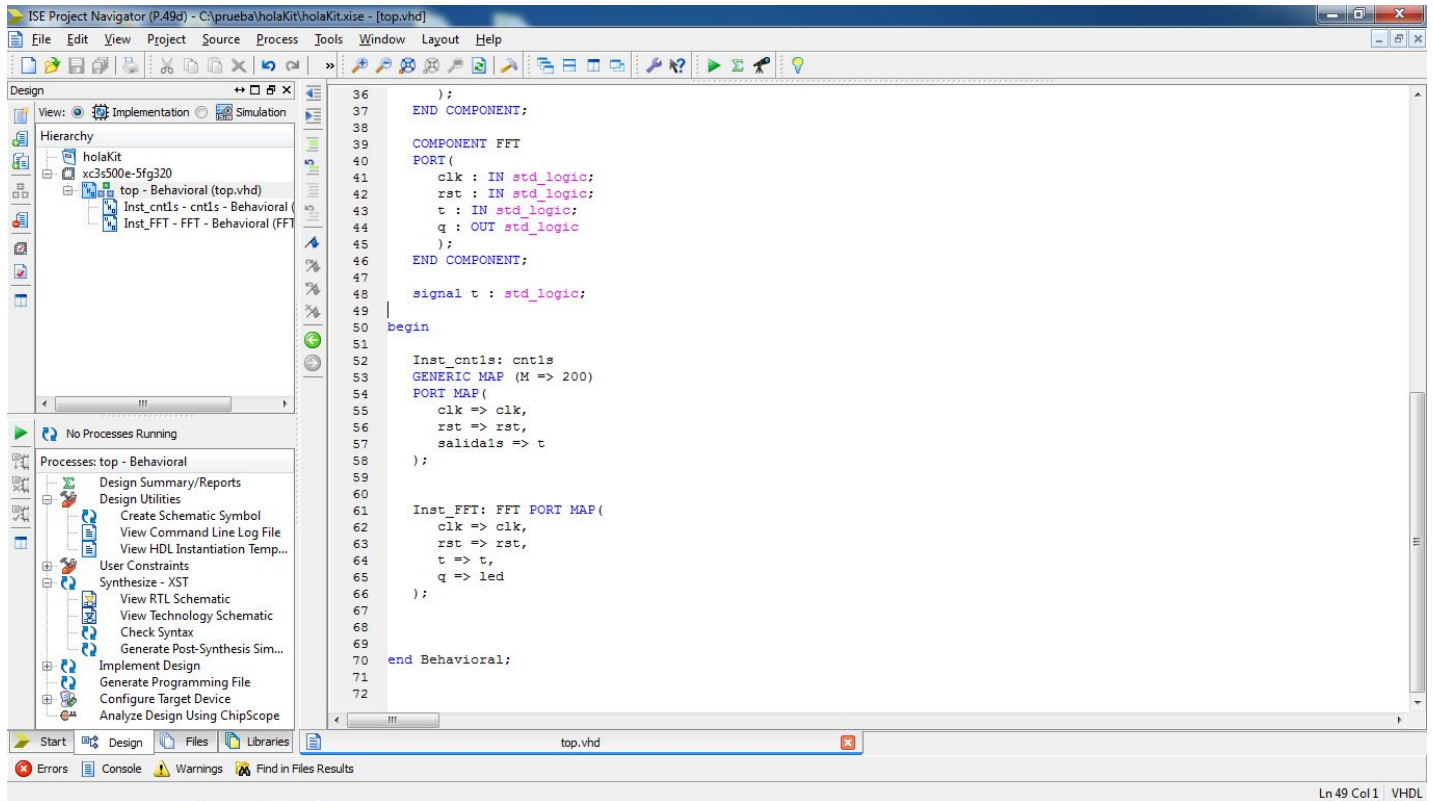


9. Configure las entradas y salidas como se observa en la siguiente imagen

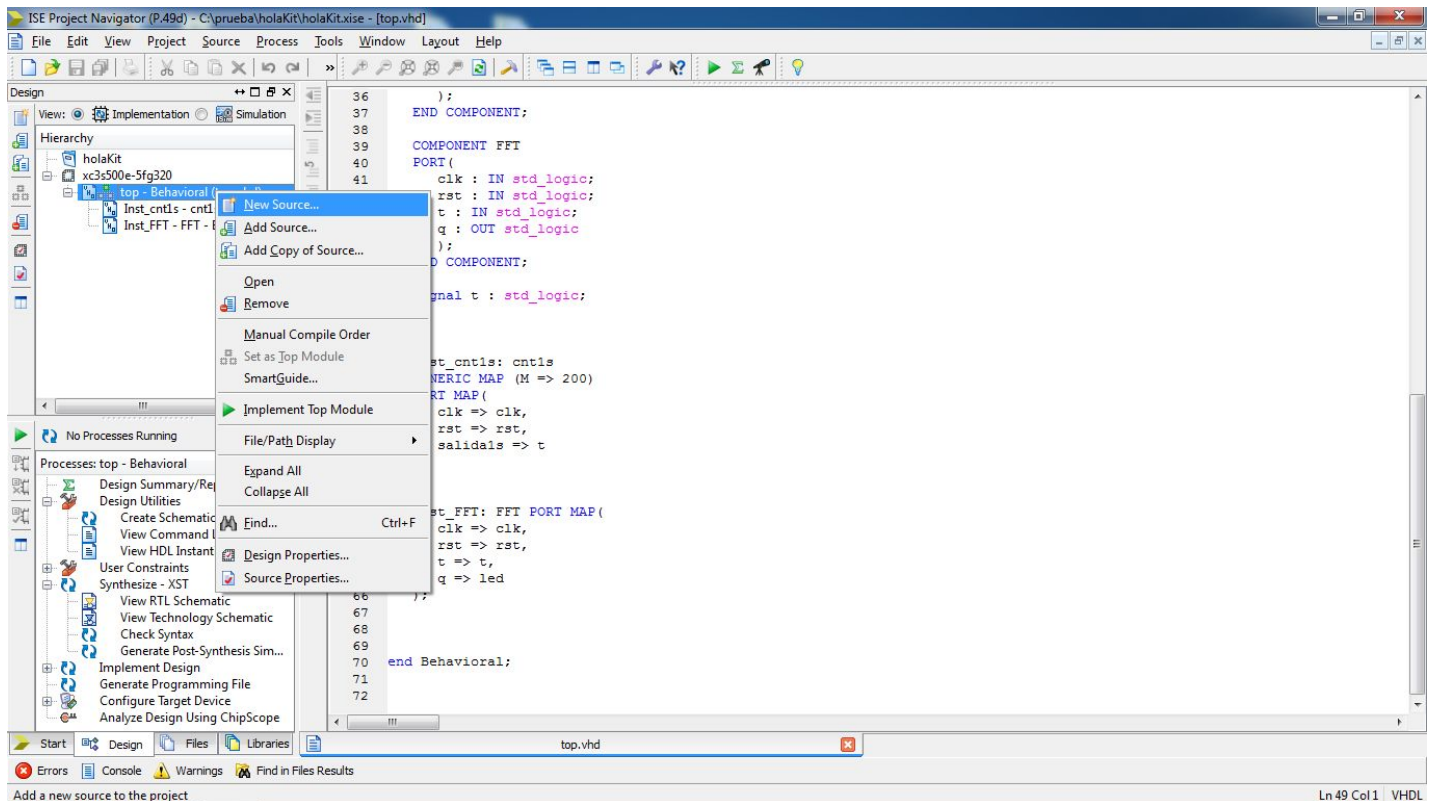


10. Instancie y conecte los siguientes componentes como se observa en las siguientes figuras

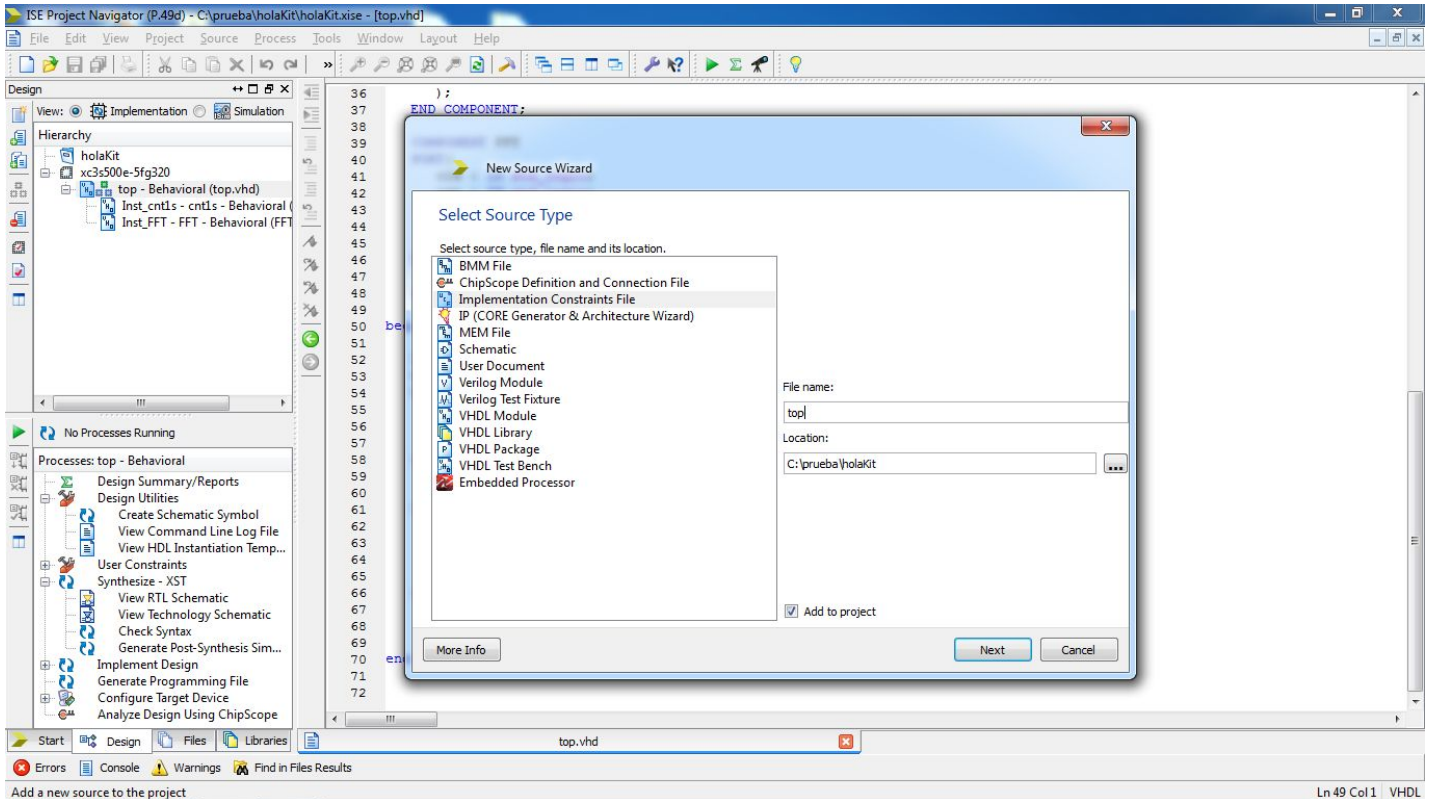




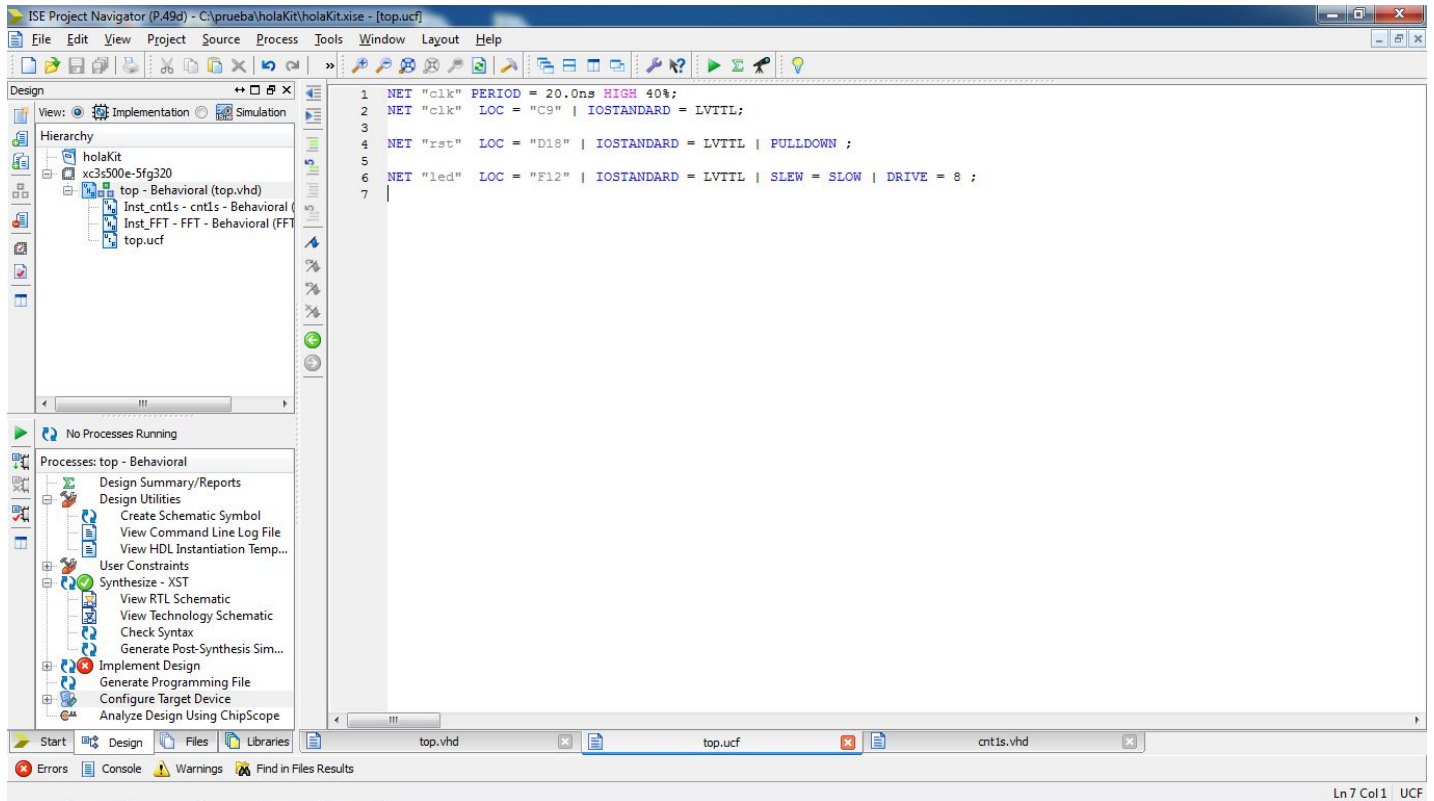
11. Seleccione en la solapa de la izquierda donde dice xc3s500e-5FG320 y presione el botón derecho, en el menú desplegado seleccione New Source...



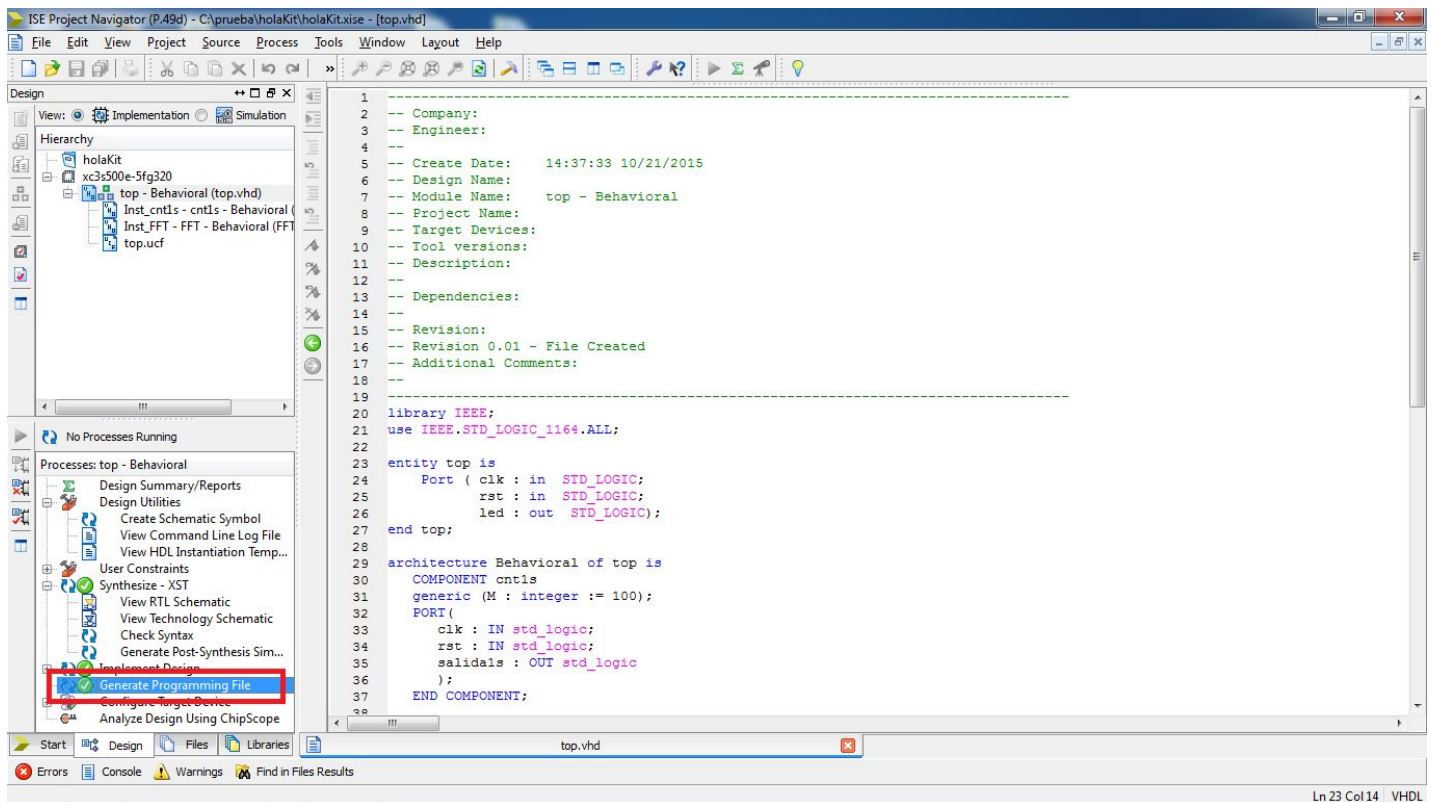
12. En esta ventana seleccione la opción implementation constraint file y coloque como nombre del archivo top.



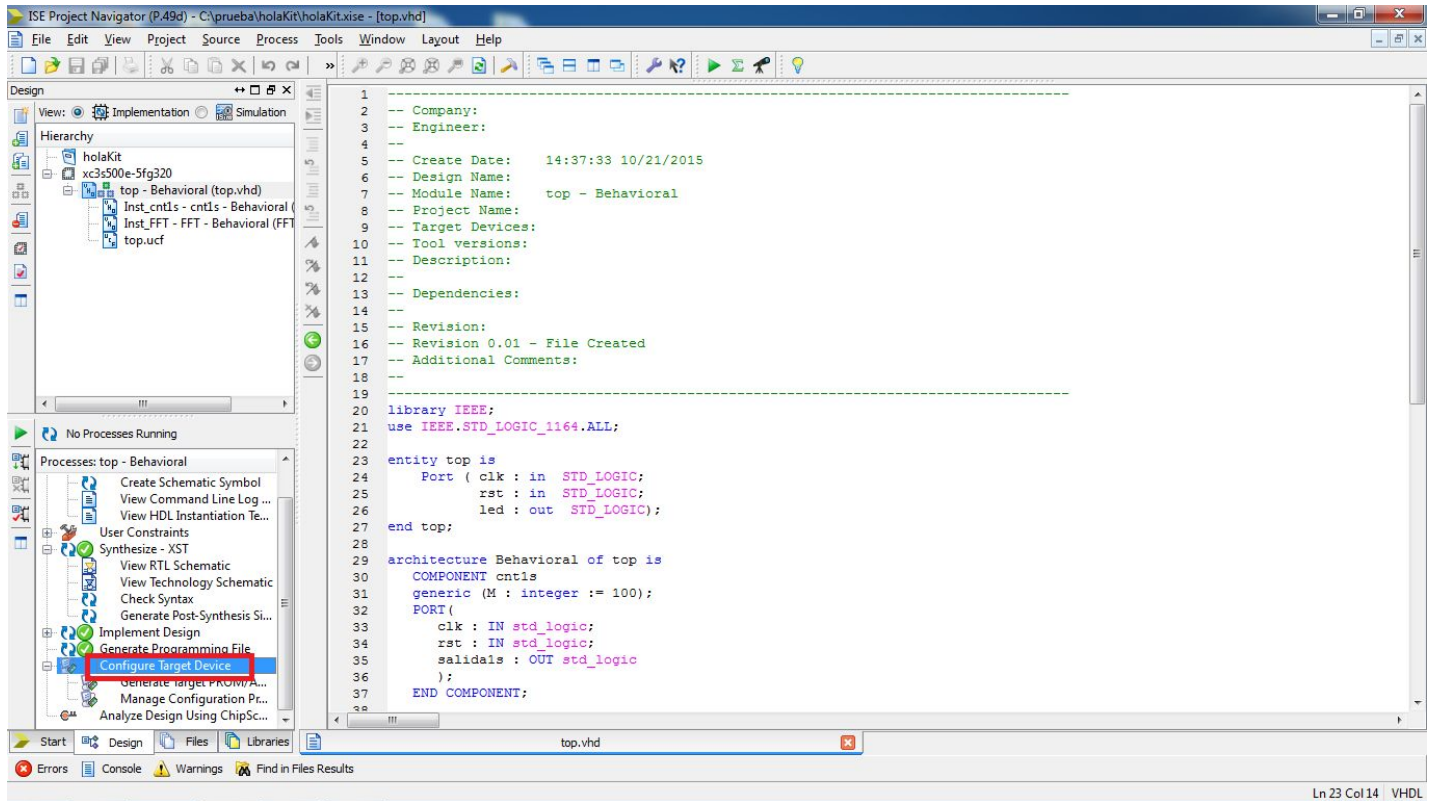
13. El programa le abrirá el archivo .ucf para colocar los constraints. Modifíquelo como se observa en la figura.



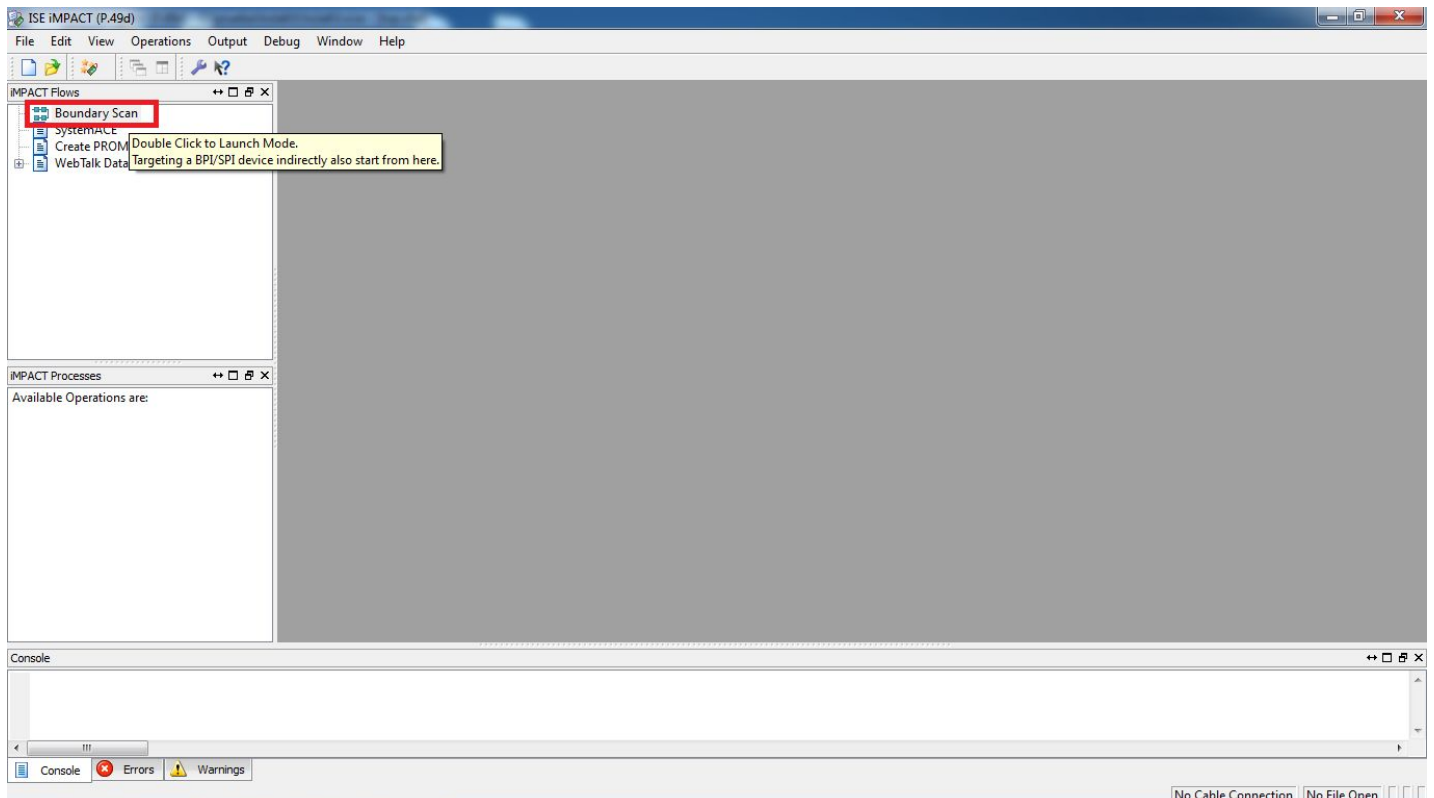
14. Seleccione xc3s500e-5FG320 y haga doble click en donde dice Generate programming file (va a tardar un poco) espere hasta que se ponga en verde.



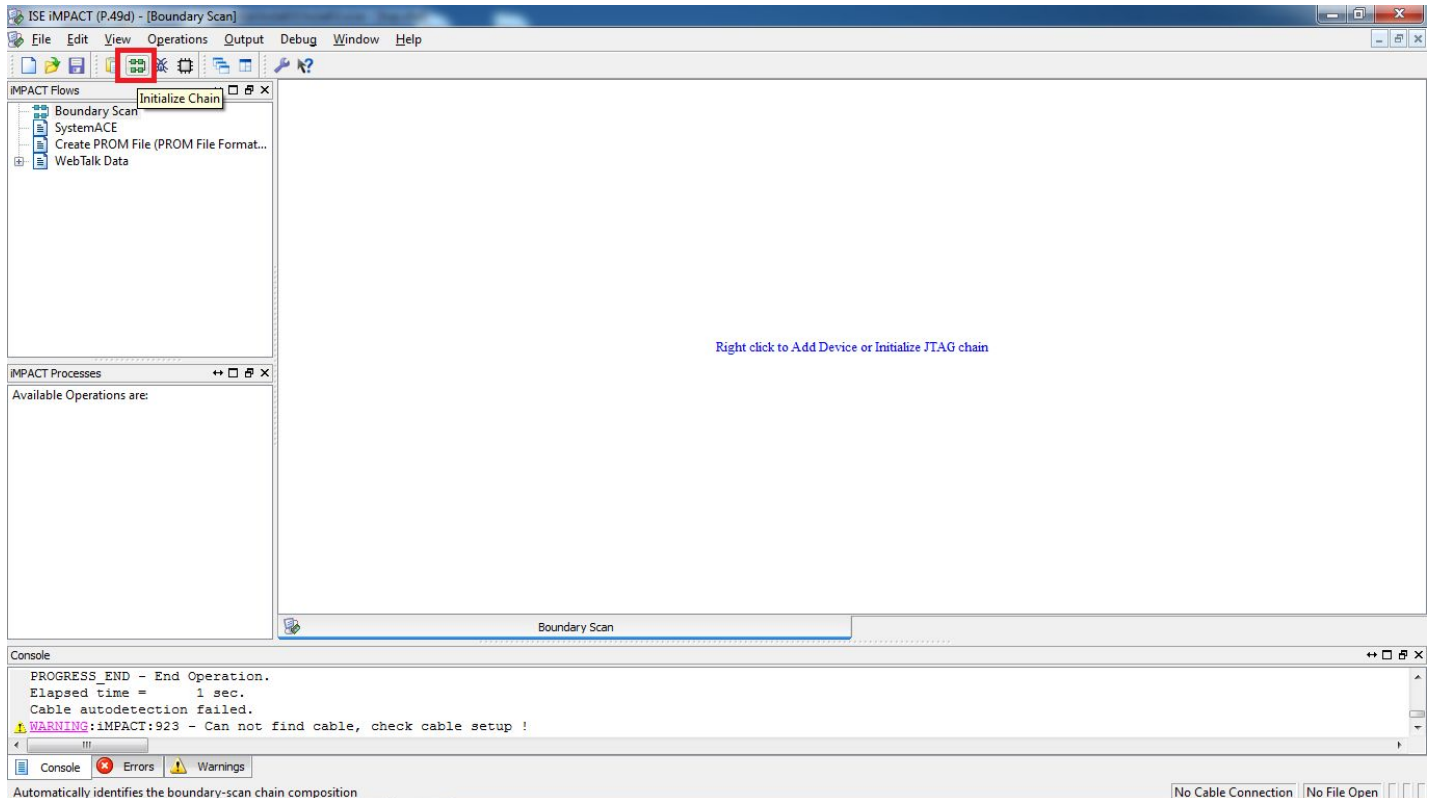
15. Presione Configure device target, esto le abrirá un programa llamado impact que le permite configurar la FPGA.



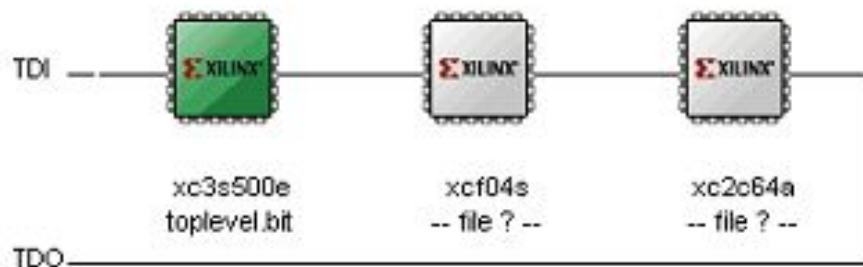
16. Una vez que el impact este abierto, haga doble click en Boundary Scan



17. Luego presione el botón indicado en la imagen para detectar la cadena JTAG. Presione cancel en todas las ventanas que salgan.



18. En el Impact le aparecera la cadena JTAG como la que se muestra a continuacion



19. Seleccione el dispositivo que dice xc3s500 y presione el botón derecho sobre el. Luego haga click sobre la opción Assign New Configuration File y seleccione el archivo en su directorio de proyecto top.bit

20. Una vez seleccionado el archivo de configuración, para programar presione el botón derecho sobre el dispositivo y seleccione la opción Program.