

Etude et conception d'un filtre numérique RIF à réponse impulsionnelle programmable

Etude de la bibliothèque AMS CMOS 0,35um,

1. Introduction aux bibliothèques

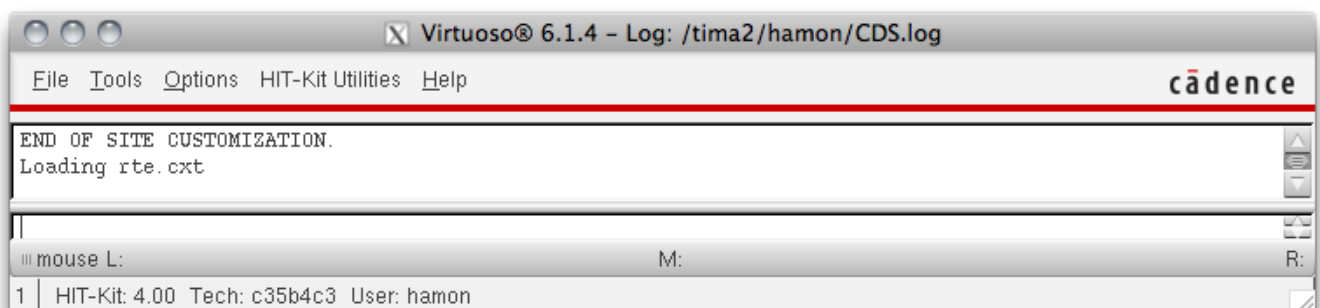
Lorsqu'on souhaite réaliser un circuit intégré numérique, il est possible de concevoir le circuit en utilisant des cellules standard ou « standard cells » qui sont fournies par le fondeur. Ces cellules correspondent en fait aux fonctions logiques élémentaires telles que AND, NAND, OR, NOR, XOR, bascules et verrous. Elles ont été conçues par le fondeur. Il existe différents modèles d'une même cellule dans les outils de CAO : électrique, vue résumée (abstract), dessin des masques (layout), VITAL (modèle comportemental en VHDL), etc. Le fondeur met à disposition ces cellules sous forme de bibliothèque à ses clients. Afin de bien comprendre, l'ensemble du flot de conception d'un ASIC, il est nécessaire d'appréhender ce que sont ces cellules standard et comment elles sont construites. Pour ce faire, nous utiliserons le logiciel Cadence pour les observer.

2. Le logiciel CADENCE

Lorsque l'on désire réaliser un ASIC, la première chose à faire est de choisir un fondeur. Celui-ci se chargera de la fabrication des puces à partir du dessin des masques (layout). Ce fondeur va utiliser un procédé de fabrication qui lui est propre. Ce procédé va donner à ses composants des caractéristiques particulières. Pour pouvoir réaliser les simulations, le fondeur fournit une bibliothèque de composants pour la conception en full custom. Il fournit aussi des cellules standard comme des portes logiques ou des amplificateurs (pour les circuits analogiques). Il est donc indispensable de posséder ce que l'on appelle le fichier technologique du fondeur ainsi que la bibliothèque de composants précaractérisés, pour pouvoir faire la conception d'un ASIC. Dans notre cas, nous travaillerons avec les composants d'AMS (AustriaMicroSystems).

a. Lancement du logiciel CADENCE

CADENCE va utiliser un répertoire de travail dans lequel, il placera tous les fichiers dont il aura à se servir. Pour éviter un mélange avec les autres logiciels, nous utiliserons le répertoire « cadence ». Dans ce répertoire, il faut ensuite lancer la commande suivante : `amsc35b4`

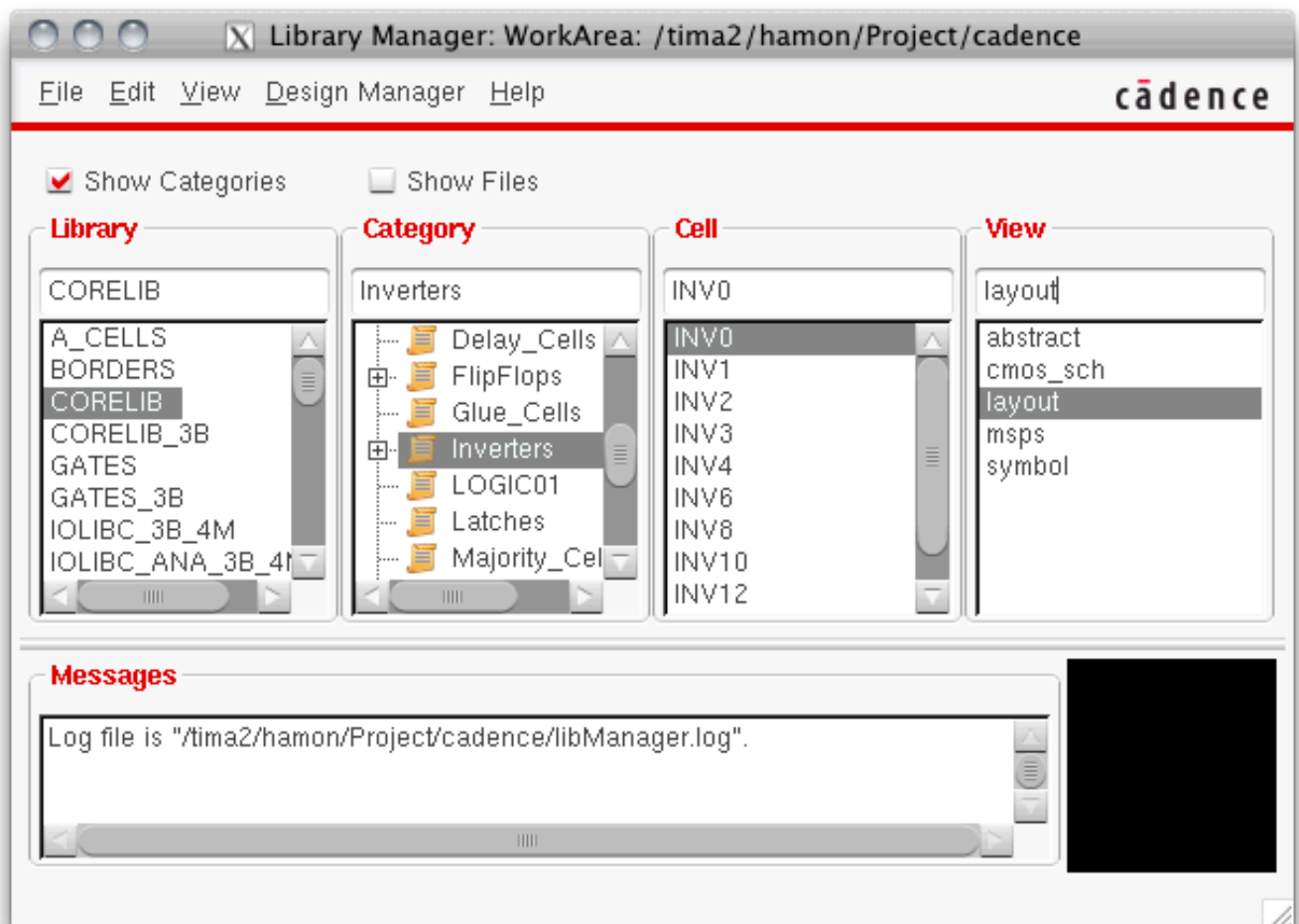


Cette fenêtre est la fenêtre principale de la suite CADENCE. C'est elle qui va donner les informations en cas de problème. Elle comporte aussi un certain nombre de menus qui sont utiles pour le fonctionnement général de tous les outils intégrés dans la suite CADENCE. C'est la fenêtre

ICFB-LOG. Cette fenêtre va afficher tous les commentaires ainsi que les éventuels messages d'erreurs. Toutes les informations qui s'affichent dans la fenêtre ICFB-LOG sont reportées dans un fichier dont le nom et le chemin sont donnés dans la partie supérieure. Sur cet exemple, on retrouve toutes les informations affichées dans le fichier CDS.log.

b. Le gestionnaire de bibliothèques

Il se peut que la fenêtre ICFB-LOG soit la seule qui ait été ouverte lors du lancement. Pour pouvoir travailler sur une bibliothèque et ses cellules, il faut pouvoir disposer du Library Manager. Pour ouvrir cette fenêtre, on utilise le menu suivant dans la fenêtre ICFB-LOG: Tools ⇒ Library Manager

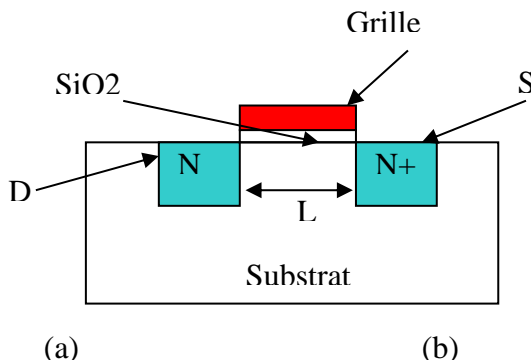


Cette fenêtre affiche les différentes bibliothèques auxquelles vous avez accès. Par exemple, CORELIB est la bibliothèque de cellules logiques AMS. Il est possible de visualiser les cellules contenues dans une bibliothèque en cliquant simplement sur celle-ci. Si vous cliquez sur une cellule vous pourrez visualiser ses différentes vues (cmos_sch, abstract, symbol, layout, ...). En double cliquant sur une vue, vous avez accès au schéma, au layout, etc.

3. Aide à la lecture du dessin des masques (layout)

a. Le transistor NMOS

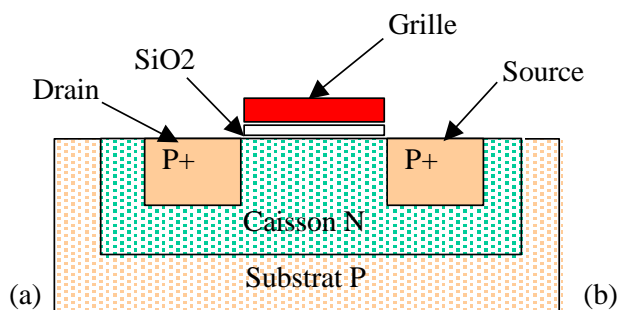
Un transistor NMOS est réalisé à partir d'un substrat de type P. On réalise deux implantations de type N+ pour les contacts de drain et de source. En effet, le contact aura un "comportement ohmique" si la jonction métal-semiconducteur est réalisée avec un semiconducteur fortement dopé. La grille du transistor est réalisée par le dépôt d'une fine couche d'oxyde de silicium (SiO₂), un isolant. Ce dernier est recouvert de polysilicium, le contact de grille étant déporté afin de préserver la couche d'oxyde lors des étapes de fabrication. La vue layout d'un transistor ne montre jamais ce contact de grille.



Coupe (a) et layout (b) d'un transistor NMOS.

b. Le transistor PMOS

Comme on part toujours d'un substrat de type P, un caisson de type N est réalisé afin d'y loger le transistor. Il y a ensuite deux implantations de type P+ pour les contacts de drain et de source. La grille est réalisée comme pour le transistor NMOS (cf. figure suivante).



Coupe (a) et layout (b) d'un transistor PMOS.

c. Autres informations

Les contacts sont représentés par des carrés contenant une croix, la zone de diffusion du canal est toujours représentée en vert, le polysilicium est en rouge et le premier niveau de métal en bleu.

4. Travail demandé dans cette partie

- Regarder quelques cellules de la bibliothèque CORELIB, examiner plus finement les cellules INV0 et NAND20.
- Dessiner au niveau transistor la cellule NAND20 en partant de sa vue layout.
- Mesurer la hauteur des cellules. Comparer le layout de la cellule NAND20 avec la cellule NAND22.
- Conclure sur les différences entre les cellules.