

# Etude et conception d'un filtre numérique RIF à réponse impulsionnelle programmable

## 1. Introduction

Dans ce projet, on souhaite étudier et concevoir un filtre numérique programmable. L'architecture du système étudié est présentée sur la figure 1. Elle est composée d'un microcontrôleur 16 bits et d'un filtre numérique FIR (*finite impulse response*) à 32 coefficients codés sur 8 bits. En fonction de l'entrée de configuration, le microcontrôleur programme les coefficients du filtre afin d'obtenir la réponse impulsionnelle désirée. Le filtre implémente la fonction de filtrage et pilote les convertisseurs ADC/DAC connectés en entrée et en sortie.

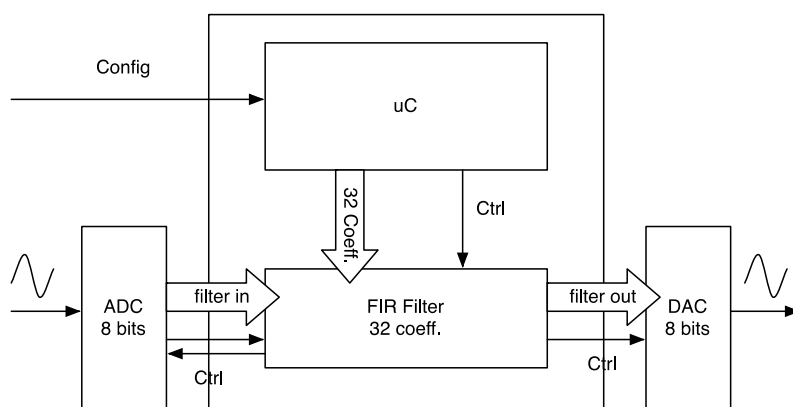


Figure 1: Architecture générale du filtre numérique programmable

Ce type de dispositifs est communément utilisé dans les applications de traitement des signaux ou de télécommunication. Par exemple, la fonction d'égalisation du canal des systèmes de communication radio numérique peut être implémentée de cette manière. En fonction des caractéristiques estimées du canal de propagation radio, la réponse impulsionnelle du filtre est ajustée (coefficients) afin de minimiser les effets de la propagation sur la qualité de la réception. Dans le cadre de ce projet, on propose d'implémenter quatre fonctions de filtrage élémentaires : un filtre passe bas, un filtre passe haut, un filtre passe bande, et un filtre arbitraire combinant un passe bas et un passe bande. Les diagrammes de Bode et les réponses impulsionnelles de ces filtres ont été calculés à l'aide du logiciel MATLAB et sont représentés sur les figures 2, 3, 4 et 5.

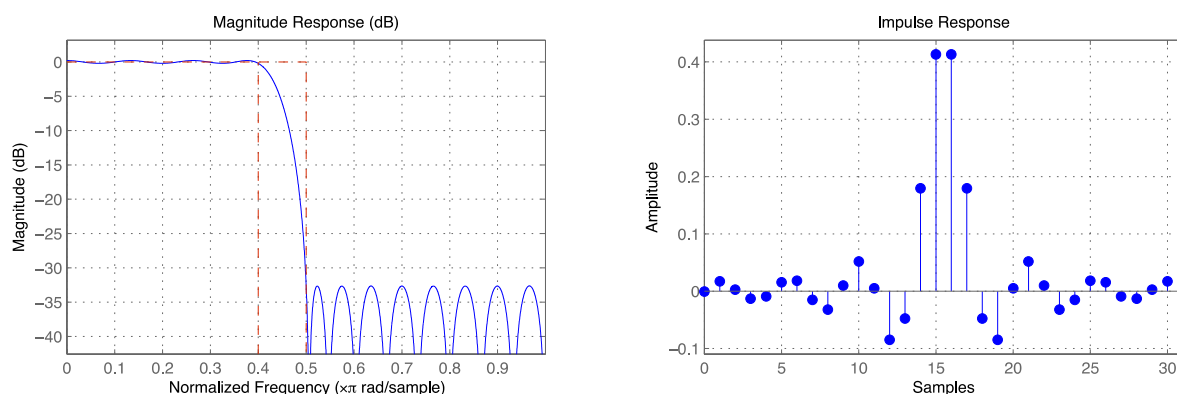


Figure 2 : Filtre passe bas - hlp

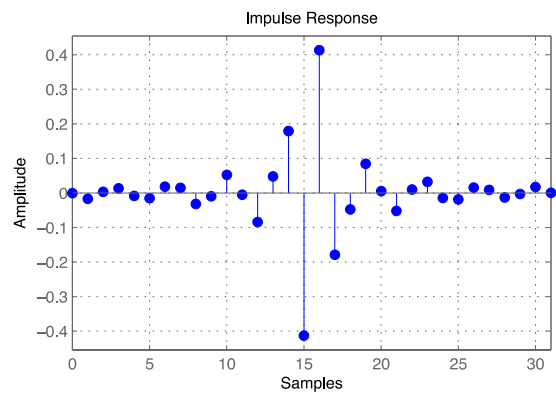
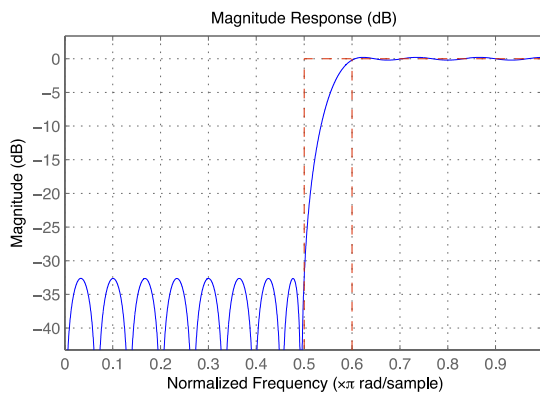


Figure 3 : Filtre passe haut - hhp

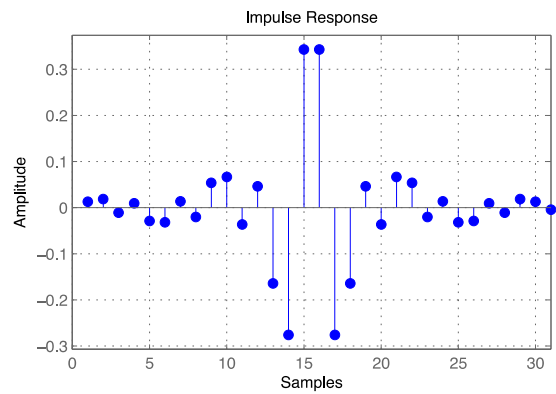
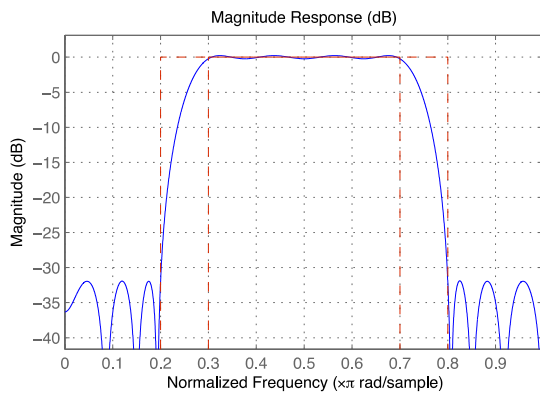


Figure 4 : Filtre passe bande - hbp

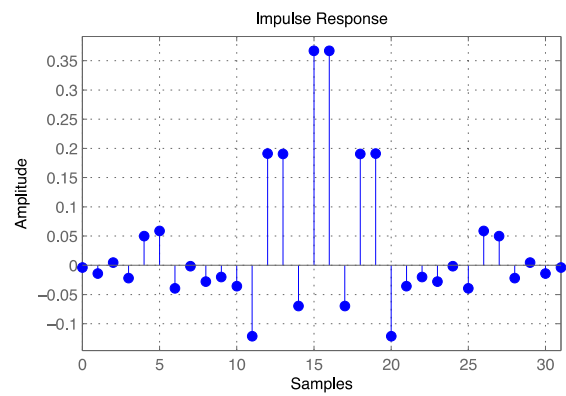
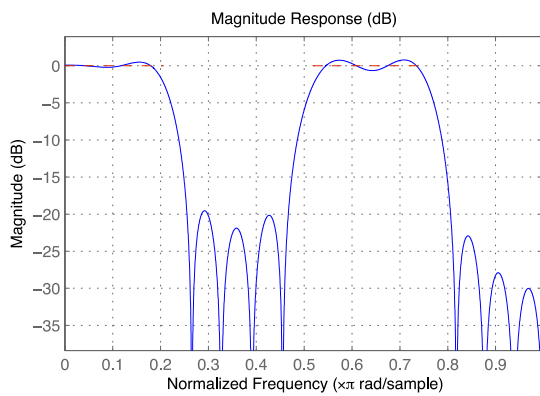


Figure 5 : Filtre arbitraire - ham

Le tableau ci-dessous décrit les différents coefficients et leur codage sur 8 bits signé :

coeff	hlp		hhp		Hbp		ham	
a0	0	00	0	00	-1	FF	-1	FF
a1	4	04	-4	FC	3	03	-4	FC
a2	1	01	1	01	5	05	1	01
a3	-3	FD	3	03	-3	FD	-6	FA
a4	-2	FE	-2	FE	2	02	13	0D
a5	4	04	-4	FC	-7	F9	15	0F
a6	5	05	5	05	-8	F8	-10	F6
a7	-4	FC	4	04	3	03	0	00
a8	-8	F8	-8	F8	-5	FB	-7	F9
a9	3	03	-3	FD	14	0E	-5	FB
a10	13	0D	13	0D	17	11	-9	F7
a11	1	01	-1	0FF	-9	F7	-31	E1
a12	-22	EA	-22	EA	12	0C	49	31

a13	-12	F4	12	0C	-42	D6	49	31
a14	46	2E	46	2E	-71	B9	-18	EE
a15	106	6A	-106	96	88	58	94	5E
a16	106	6A	106	6A	88	58	94	5E
a17	46	2E	-46	D2	-71	B9	-18	EE
a18	-12	F4	-12	F4	-42	D6	49	31
a19	-22	EA	22	16	12	0C	49	31
a20	1	01	1	01	-9	F7	-31	E1
a21	13	0D	-13	F3	17	11	-9	F7
a22	3	03	3	03	14	0E	-5	FB
a23	-8	F8	8	08	-5	FB	-7	F9
a24	-4	FC	-4	FC	3	03	0	00
a25	5	05	-5	FB	-8	F8	-10	F6
a26	4	04	4	04	-7	F9	15	0F
a27	-2	FE	2	02	2	02	13	0D
a28	-3	FD	-3	FD	-3	FD	-6	FA
a29	1	01	-1	FF	5	05	1	01
a30	4	04	4	04	3	03	-4	FC
a31	0	00	0	00	-1	FF	-1	FF

Tableau 1: coefficients 8 bits signé

## 2. Filtre FIR

L'expression analytique du filtre FIR est donnée ci-dessous (N=32):

$$s_{out}(n) = \sum_{i=0}^{N-1} a(i) \times s_{in}(n - i)$$

Cette expression conduit à l'architecture parallèle représentée sur la figure 6. Cette architecture étant trop coûteuse (nombre d'opérateurs arithmétiques trop important), on lui préfère l'architecture optimisée représentée sur la figure 7.

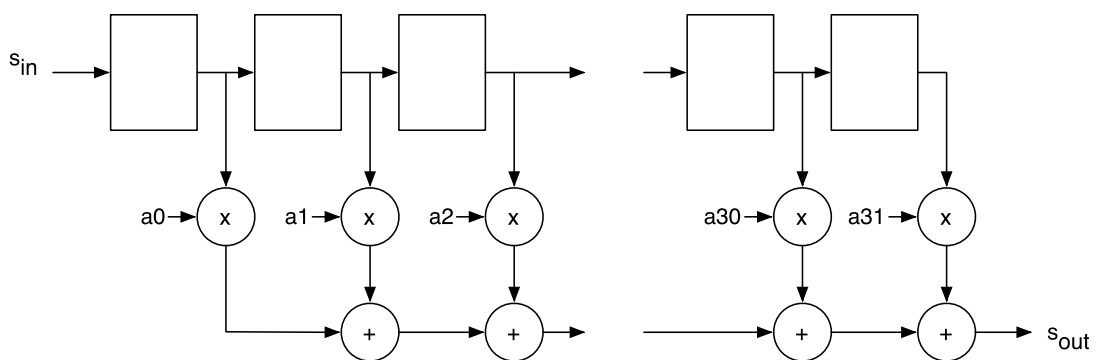


Figure 6 : Architecture parallèle du filtre FIR - N=32



Les entrées/sorties `ADC_convst`, `ADC_eoc`, `ADC_rd` et `ADC_cs` permettent la gestion du convertisseur analogique numérique AD7822 connecté en entrée. Les sorties `DAC_wr`, `DAC_cs`, `DAC_ldac` et `DAC_clr` permettent quant à elles la gestion du convertisseur numérique analogique AD7302 connecté en sortie du filtre. Les documentations des convertisseurs sont fournies en annexes.

NB : les signaux barrés ou avec un « b » dans le nom sont des signaux actif bas (i.e. actifs quand à '0')

Les entrées `uC_wb`, `uC_enable`, `uC_address` et `uC_data_in` proviennent du microcontrôleur. Elles permettent de programmer la réponse impulsionnelle du filtre (écriture des coefficients dans la RAM,) et de contrôler le mode fonctionnement du filtre (`uC_enable` = '1' ⇔ filtrage, `uC_enable` = '0' ⇔ configuration).

### 3. Microcontrôleur

#### 3.1 Architecture :

La figure 9 représente l'architecture générale du microcontrôleur utilisé dans le projet, et le code VHDL qui la modélise est donné dans le répertoire `~/FILTRE/vhd/uC`.

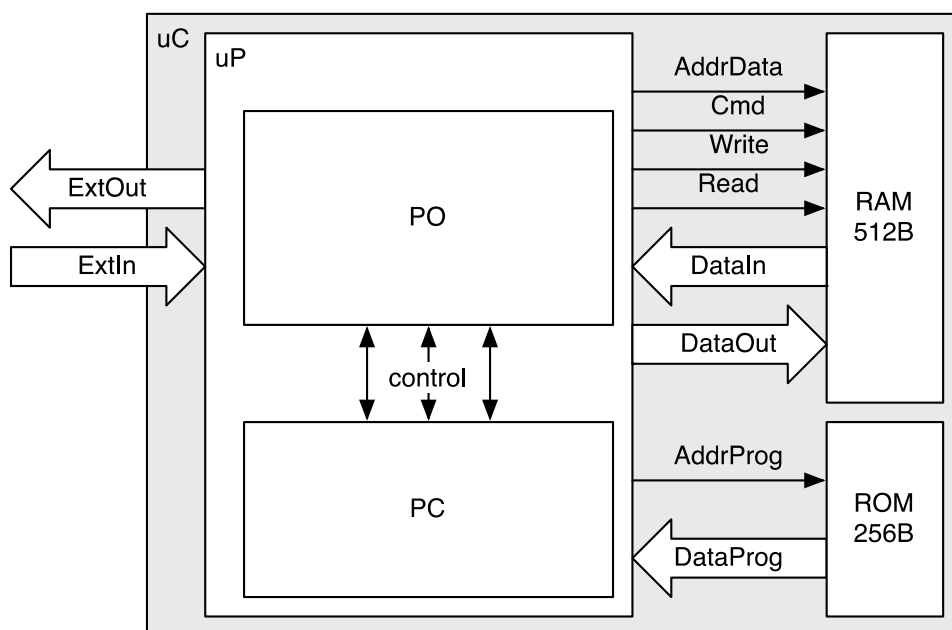


Figure 9: Architecture interne du microcontrôleur

La mémoire ROM (128x16bits) contient le programme à exécuter, et la mémoire RAM (256x16bits) contient une zone mémoire dédiée à la sauvegarde des différentes variables du programme (des adresses 0 à 127) et les différents jeux de coefficients du filtre (des adresses 128 à 255).

L'architecture de la partie opérative est décrite sur la figure 10. Le processeur dispose de 8 registres 16 bits d'usage général (GPR), d'une unité arithmétique et logique (UAL), et d'un générateur de condition pour les instructions de saut ou de branchement. Les instructions normales sont exécutées en 3 cycles d'horloge (*Fetch, Decode, Execution*) alors que celles qui nécessitent à accès mémoire (ROM ou RAM) en 4 cycles d'horloge (*Fetch, Decode, Execution, Wait MEM*).



- **BRcc Ra, Rb** (branchement conditionnel relatif) : si le registre Ra satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors le registre PC est incrémenté de Rb, si non la prochaine instruction est régulièrement exécutée,
- **BAcc Ra, Rb** (branchement conditionnel absolu) : si le registre Ra satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors la valeur de Rb est copiée dans le registre PC, si non la prochaine instruction est régulièrement exécutée,
- **BRlcc R0, Imm** (branchement conditionnel immédiat) : si le registre R0 satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors le registre PC est incrémenté de la valeur Imm (avec extension du signe), si non la prochaine instruction est régulièrement exécutée.

Op code	Opération	Résultat	Op code	Opération	Résultat
000000	ADD	C    S = A + B	001000	NEGA	S = -A
000001	SUB	C    S = A - B	001001	NEGB	S = -B
000010	INC	C    S = A + 1	010000	AND	S = A AND B
000011	DEC	C    S = A - 1	010001	OR	S = A OR B
000100	ADDC	C    S = A + B + C	010010	XOR	S = A XOR B
000101	SUBC	C    S = A - B - C	010011	NOT	S = NOT A
000110	MOVA	S = A	10<VAL>	SHL	S = A << (VAL+1)
000111	MOVB	S = B	11<VAL>	SHR	S = A >> (VAL+1)

Tableau 2: Opérations ALU

Sel Code	Opération	Description
000	Eq	Vrai si entrée égale à 0
001	Ge	Vrai si entrée positive ou nulle
010	Le	Vrai si entrée négative ou nulle
011	ump	Toujours vrai
100	Ne	Vrai si entrée différente de 0
101	Lt	Vrai si entrée strictement négative
110	Gt	Vrai si entrée strictement positive

Tableau 3: Tests GENECOND

Le codage des instructions est donné en Annexes.

Dans le cadre de ce projet, l'entrée `config` est connectée au port d'entrée `ExtIn`, le signal `uC_data_in` est connecté à `ExtOut(7 downto 0)`, le signal `uC_address` à `ExtOut(12 downto 8)`, et le signal `uC_wb` à `ExtOut(14)` et `uC_enable` à `ExtOut(15)`. Ces interconnexions entre le microcontrôleur et le filtre sont implémentées dans le fichier `~/FILTRE/vhd/top.vhd`.

#### 4. Annexes : data sheet de l'AD7822 et AD7302 (extrait):



## 3 V/5 V, 2 MSPS, 8-Bit, 1-/4-/8-Channel Sampling ADCs

### AD7822/AD7825/AD7829

#### FEATURES

- 8-bit half-flash ADC with 420 ns conversion time
- One, four, and eight single-ended analog input channels
  - Available with input offset adjust
- On-chip track-and-hold
- SNR performance given for input frequencies up to 10 MHz
- On-chip reference (2.5 V)
- Automatic power-down at the end of conversion
- Wide operating supply range
  - 3 V  $\pm$  10% and 5 V  $\pm$  10%
- Input ranges
  - 0 V to 2 V p-p,  $V_{DD} = 3\text{ V} \pm 10\%$
  - 0 V to 2.5 V p-p,  $V_{DD} = 5\text{ V} \pm 10\%$
- Flexible parallel interface with EOC pulse to allow standalone operation

#### APPLICATIONS

- Data acquisition systems, DSP front ends
- Disk drives
- Mobile communication systems, subsampling applications

#### FUNCTIONAL BLOCK DIAGRAM

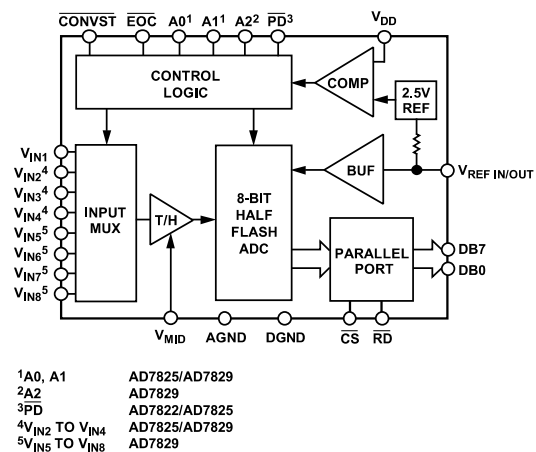


Figure 1.

Table 4. Pin Function Descriptions

Mnemonic	Description
V <sub>IN1</sub> to V <sub>IN8</sub>	Analog Input Channels. The AD7822 has a single input channel; the AD7825 and AD7829 have four and eight analog input channels, respectively. The inputs have an input span of 2.5 V and 2 V depending on the supply voltage ( $V_{DD}$ ). This span can be centered anywhere in the range AGND to $V_{DD}$ using the $V_{MID}$ pin. The default input range ( $V_{MID}$ unconnected) is AGND to 2 V ( $V_{DD} = 3\text{ V} \pm 10\%$ ) or AGND to 2.5 V ( $V_{DD} = 5\text{ V} \pm 10\%$ ). See the Analog Input section of the data sheet for more information.
$V_{DD}$	Positive Supply Voltage, 3 V $\pm$ 10% and 5 V $\pm$ 10%.
AGND	Analog Ground. Ground reference for track-and-hold, comparators, reference circuit, and multiplexer.
DGND	Digital Ground. Ground reference for digital circuitry.
CONVST	Logic Input Signal. The convert start signal initiates an 8-bit analog-to-digital conversion on the falling edge of this signal. The falling edge of this signal places the track-and-hold in hold mode. The track-and-hold goes into track mode again 120 ns after the start of a conversion. The state of the CONVST signal is checked at the end of a conversion. If it is logic low, the AD7822/AD7825/AD7829 powers down (see the Operating Modes section of the data sheet).
EOC	Logic Output. The end-of-conversion signal indicates when a conversion has finished. The signal can be used to interrupt a microcontroller when a conversion has finished or latch data into a gate array (see the Parallel Interface section).
$\overline{CS}$	Logic Input Signal. The chip select signal is used to enable the parallel port of the AD7822/AD7825/AD7829. This is necessary if the ADC is sharing a common data bus with another device.
$\overline{PD}$	Logic Input. The power-down pin is present on the AD7822 and AD7825 only. Bringing the $\overline{PD}$ pin low places the AD7822 and AD7825 in power-down mode. The ADCs power up when $\overline{PD}$ is brought logic high again.
$\overline{RD}$	Logic Input Signal. The read signal is used to take the output buffers out of their high impedance state and drive data onto the data bus. The signal is internally gated with the $\overline{CS}$ signal. Both $\overline{RD}$ and $\overline{CS}$ must be logic low to enable the data bus.
A0 to A2	Channel Address Inputs. The address of the next multiplexer channel must be present on these inputs when the $\overline{RD}$ signal goes low.
DB0 to DB7	Data Output Lines. They are normally held in a high impedance state. Data is driven onto the data bus when both $\overline{RD}$ and $\overline{CS}$ go active low.
V <sub>REF IN/OUT</sub>	Analog Input and Output. An external reference can be connected to the AD7822/AD7825/AD7829 at this pin. The on-chip reference is also available at this pin. When using the internal reference, this pin can be left unconnected or, in some cases, it can be decoupled to AGND with a 0.1 $\mu$ F capacitor.
$V_{MID}$	The $V_{MID}$ pin, if connected, is used to center the analog input span anywhere in the range of AGND to $V_{DD}$ (see the Analog Input section).



Table 2.

Parameter <sup>1, 2</sup>	5 V $\pm$ 10%	3 V $\pm$ 10%	Unit	Conditions/Comments
t <sub>1</sub>	420	420	ns max	Conversion time
t <sub>2</sub>	20	20	ns min	Minimum $\overline{\text{CONVST}}$ pulse width
t <sub>3</sub>	30	30	ns min	Minimum time between the rising edge of $\overline{\text{RD}}$ and the next falling edge of convert star
t <sub>4</sub>	110	110	ns max	$\overline{\text{EOC}}$ pulse width
t <sub>5</sub>	70	70	ns min	
t <sub>6</sub>	10	10	ns max	$\overline{\text{RD}}$ rising edge to $\overline{\text{EOC}}$ pulse high
t <sub>7</sub>	0	0	ns min	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ setup time
t <sub>8</sub>	0	0	ns min	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ hold time
t <sub>9</sub> <sup>3</sup>	30	30	ns min	Minimum $\overline{\text{RD}}$ pulse width
t <sub>10</sub> <sup>4</sup>	10	20	ns max	Data access time after $\overline{\text{RD}}$ low
	5	5	ns min	Bus relinquish time after $\overline{\text{RD}}$ high
t <sub>11</sub>	20	20	ns max	
t <sub>12</sub>	10	10	ns min	Address setup time before falling edge of $\overline{\text{RD}}$
t <sub>13</sub>	15	15	ns min	Address hold time after falling edge of $\overline{\text{RD}}$
t <sub>POWER UP</sub>	200	200	ns min	Minimum time between new channel selection and convert start
t <sub>POWER UP</sub>	25	25	$\mu\text{s typ}$	Power-up time from rising edge of $\overline{\text{CONVST}}$ using on-chip reference
t <sub>POWER UP</sub>	1	1	$\mu\text{s max}$	Power-up time from rising edge of $\overline{\text{CONVST}}$ using external 2.5 V reference

<sup>1</sup> Sample tested to ensure compliance.

<sup>2</sup> See Figure 24, Figure 25, and Figure 26.

<sup>3</sup> Measured with the load circuit of Figure 2 and defined as the time required for an output to cross 0.8 V or 2.4 V with  $V_{DD} = 5 \text{ V} \pm 10\%$ , and time required for an output to cross 0.4 V or 2.0 V with  $V_{DD} = 3 \text{ V} \pm 10\%$ .

<sup>4</sup> Derived from the measured time taken by the data outputs to change 0.5 V when loaded with the circuit of Figure 2. The measured number is then extrapolated back to remove the effects of charging or discharging the 50 pF capacitor. This means that the time, t<sub>10</sub>, quoted in the timing characteristics is the true bus relinquish time of the part and, as such, is independent of external bus loading capacitances.

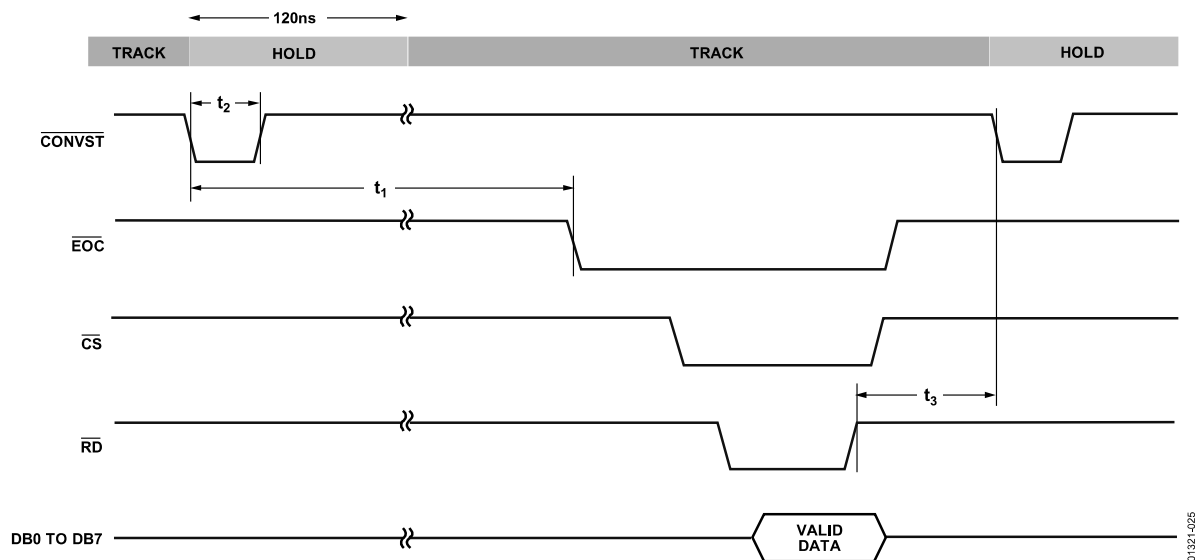


Figure 24. Mode 1 Operation

01321-025

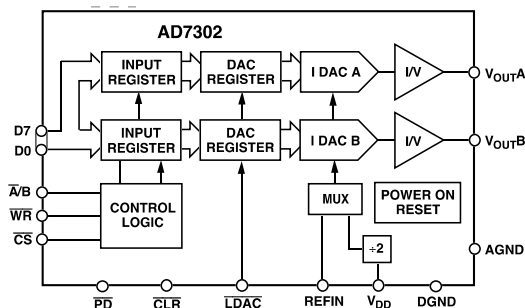
### FEATURES

Two 8-Bit DACs In One Package  
20-Lead DIP/SOIC/TSSOP Package  
+2.7 V to +5.5 V Operation  
Internal and External Reference Capability  
DAC Power-Down Function  
Parallel Interface  
On-Chip Output Buffer  
Rail-to-Rail Operation  
Low Power Operation 3 mA max @ 3.3 V  
Power-Down to 1  $\mu$ A max @ 25°C

### APPLICATIONS

Portable Battery Powered Instruments  
Digital Gain and Offset Adjustment  
Programmable Voltage and Current Sources  
Programmable Attenuators

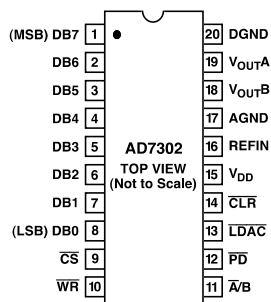
### FUNCTIONAL BLOCK DIAGRAM



### PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
1-8	D7-D0	Parallel Data Inputs. Eight-bit data is loaded to the input register of the AD7302 under the control of $\overline{CS}$ and $\overline{WR}$ .
9	$\overline{CS}$	Chip Select. Active low logic input.
10	$\overline{WR}$	Write Input. $\overline{WR}$ is an active low logic input used in conjunction with $\overline{CS}$ and $\overline{A/B}$ to write data to the selected DAC register.
11	$\overline{A/B}$	DAC Select. Address pin used to select writing to either DAC A or DAC B.
12	$\overline{PD}$	Active low input used to put the part into low power mode reducing current consumption to less than 1 $\mu$ A.
13	$\overline{LDAC}$	Load DAC Logic Input. When this logic input is taken low both DAC outputs are simultaneously updated with the contents of their DAC registers. If $\overline{LDAC}$ is permanently tied low, the DACs are updated on the rising edge of $\overline{WR}$ .
14	$\overline{CLR}$	Asynchronous Clear Input (Active Low). When this input is taken low the DAC registers are loaded with all zeroes and the DAC outputs are cleared to zero volts.
15	$V_{DD}$	Power Supply Input. These parts can be operated from 2.7 V to 5.5 V and should be decoupled to AGND.
16	REFIN	External Reference Input. This can be used as the reference for both DACs. The range on this reference input is 1 V to $V_{DD}/2$ . If REFIN is directly tied to $V_{DD}$ the internal $V_{DD}/2$ reference is selected.
17	AGND	Analog Ground reference point and return point for all analog current on the part.
18	$V_{OUTB}$	Analog output voltage from DAC B. The output amplifier can swing rail to rail on its output.
19	$V_{OUTA}$	Analog output voltage from DAC A. The output amplifier can swing rail to rail on its output.
20	DGND	Digital Ground reference point and return point for all digital current on the part.

### PIN CONFIGURATION



# TIMING CHARACTERISTICS<sup>1, 2</sup> ( $V_{DD} = +2.7 \text{ V}$ to $+5.5 \text{ V}$ ; $GND = 0 \text{ V}$ ; Reference = Internal $V_{DD}/2$ Reference; all specifications $T_{MIN}$ to $T_{MAX}$ unless otherwise noted)

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$ (B Version)	Units	Conditions/Comments
$t_1$	0	ns min	Address to Write Setup Time
$t_2$	0	ns min	Address Valid to Write Hold Time
$t_3$	0	ns min	Chip Select to Write Setup Time
$t_4$	0	ns min	Chip Select to Write Hold Time
$t_5$	20	ns min	Write Pulse Width
$t_6$	15	ns min	Data Setup Time
$t_7$	4.5	ns min	Data Hold Time
$t_8$	20	ns min	Write to $\overline{LDAC}$ Setup Time
$t_9$	20	ns min	$\overline{LDAC}$ Pulse Width
$t_{10}$	20	ns min	$\overline{CLR}$ Pulse Width

## NOTES

<sup>1</sup>Sample tested at  $+25^\circ\text{C}$  to ensure compliance. All input signals are specified with  $t_r = t_f = 5 \text{ ns}$  (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of  $(V_{IL} + V_{IH})/2$ .  $t_r$  and  $t_f$  should not exceed  $1 \mu\text{s}$  on any digital input.

<sup>2</sup>See Figure 1.

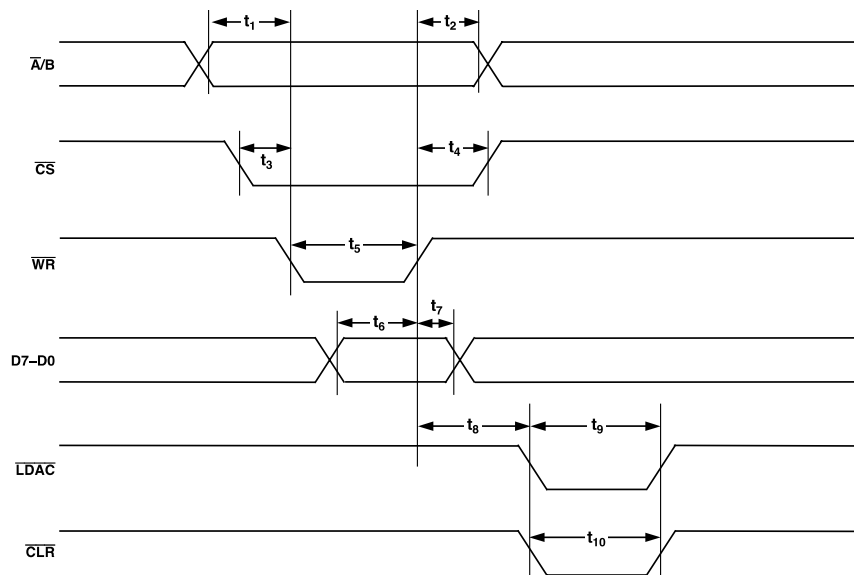


Figure 1. Timing Diagram for Parallel Data Write

## 5. Annexes : Codage des instructions

0	0000000	ADD	RD	RA	RB
1	0000001	SUB	RD	RA	RB
2	0000010	INC	RD	RA	000
3	0000011	DEC	RD	RA	000
4	0000100	ADDC	RD	RA	RB
5	0000101	SUBC	RD	RA	RB
6	0000110	MOVA	RD	RA	000
7	0000111	MOVB	RD	000	RB
8	0001000	NEGA	RD	RA	000
9	0001001	NEGB	RD	000	RB
10	0001010				
11	0001011				
12	0001100				
13	0001101				
14	0001110				
15	0001111				
16	0010000	AND	RD	RA	RB
17	0010001	OR	RD	RA	RB
18	0010010	XOR	RD	RA	RB
19	0010011	NOT	RD	RA	000
20	0010100				
21	0010101				
22	0010110				
23	0010111				
24	0011000				
25	0011001				
26	0011010				
27	0011011				
28	0011100				
29	0011101				
30	0011110				
31	0011111				
32	0100000	SHL	RD	RA	000
33	0100001	SHL	RD	RA	000
34	0100010	SHL	RD	RA	000
35	0100011	SHL	RD	RA	000
36	0100100	SHL	RD	RA	000
37	0100101	SHL	RD	RA	000
38	0100110	SHL	RD	RA	000
39	0100111	SHL	RD	RA	000
40	0101000	SHL	RD	RA	000
41	0101001	SHL	RD	RA	000
42	0101010	SHL	RD	RA	000
43	0101011	SHL	RD	RA	000
44	0101100	SHL	RD	RA	000
45	0101101	SHL	RD	RA	000
46	0101110	SHL	RD	RA	000
47	0101111				
48	0110000	SHR	RD	RA	000
49	0110001	SHR	RD	RA	000
50	0110010	SHR	RD	RA	000
51	0110011	SHR	RD	RA	000
52	0110100	SHR	RD	RA	000
53	0110101	SHR	RD	RA	000
54	0110110	SHR	RD	RA	000
55	0110111	SHR	RD	RA	000
56	0111000	SHR	RD	RA	000
57	0111001	SHR	RD	RA	000
58	0111010	SHR	RD	RA	000
59	0111011	SHR	RD	RA	000
60	0111100	SHR	RD	RA	000
61	0111101	SHR	RD	RA	000
62	0111110	SHR	RD	RA	000
63	0111111				
64	1000000	BREQ	000	RA	RB
65	1000001	BRGE	000	RA	RB
66	1000010	BRLE	000	RA	RB
67	1000011	BRUMP	000	RA	RB
68	1000100	BRNE	000	RA	RB
69	1000101	BRLT	000	RA	RB
70	1000110	BRGT	000	RA	RB
71	1000111				
72	1001000	BAEQ	000	RA	RB
73	1001001	BAGE	000	RA	RB
74	1001010	BALE	000	RA	RB
75	1001011	BAUMP	000	RA	RB
76	1001100	BANE	000	RA	RB
77	1001101	BALT	000	RA	RB
78	1001110	BAGT	000	RA	RB
79	1001111				
80	1010000	BRIEQ	Immediat (9bits)		
81	1010001	BRIGE	Immediat (9bits)		
82	1010010	BRILE	111	111	111
83	1010011	BRIUMP	111	111	111
84	1010100	BRINE	111	111	111
85	1010101	BRLT	111	111	111
86	1010110	BRIGHT	111	111	111
87	1010111				
88	1011000	IN	RD	000	000
89	1011001	OUT	RD	000	000
90	1011010	LW	RD	RA	RB
91	1011011	SW	RD	RA	RB
92	1011100				
93	1011101				
94	1011110				
95	1011111				
96	1100000	LI (R0)	Immediat (9bits)		
97	1100001	LI (R1)	Immediat (9bits)		
98	1100010	LI (R2)	Immediat (9bits)		
99	1100011	LI (R3)	Immediat (9bits)		
100	1100100	LI (R4)	Immediat (9bits)		
101	1100101	LI (R5)	Immediat (9bits)		
102	1100110	LI (R6)	Immediat (9bits)		
103	1100111	LI (R7)	Immediat (9bits)		
104	1101000				
105	1101001				
106	1101010				
107	1101011				
108	1101100				
109	1101101				
110	1101110				
111	1101111				
112	1110000				
113	1110001				
114	1110010				
115	1110011				
116	1110100				
117	1110101				
118	1110110				
119	1110111				
--	--				
--	--				
127	1111111	RESET	111	111	111