# Etude et conception d'un filtre numérique RIF à réponse impulsionnelle programmable

#### 1. Introduction

Dans ce projet, on souhaite étudier et concevoir un filtre numérique programmable. L'architecture du système étudié est présentée sur la figure 1. Elle est composée d'un microcontrôleur 16 bits et d'un filtre numérique FIR (*finite impulse response*) à 32 coefficients codés sur 8 bits. En fonction de l'entrée de configuration, le microcontrôleur programme les coefficients du filtre afin d'obtenir la réponse impulsionnelle désirée. Le filtre implémente la fonction de filtrage et pilote les convertisseurs ADC/DAC connectés en entrée et en sortie.

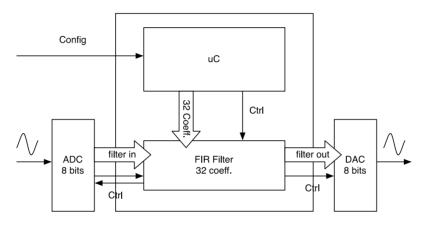


Figure 1: Architecture générale du filtre numérique programmable

Ce type de dispositifs est communément utilisé dans les applications de traitement des signaux ou de télécommunication. Par exemple, la fonction d'égalisation du canal des systèmes de communication radio numérique peut être implémentée de cette manière. En fonction des caractéristiques estimés du canal de propagation radio, la réponse impulsionnelle du filtre est ajustée (coefficients) afin de minimiser les effets de la propagation sur la qualité de la réception. Dans le cadre de ce projet, on propose d'implémenter quatre fonctions de filtrage élémentaires : un filtre passe bas, un filtre passe haut, un filtre passe bande, et un filtre arbitraire combinant un passe bas et un passe bande. Les diagrammes de Bode et les réponses impulsionnelles de ces filtres ont été calculés à l'aide du logiciel MATLAB et sont représentés sur les figures 2, 3, 4 et 5.

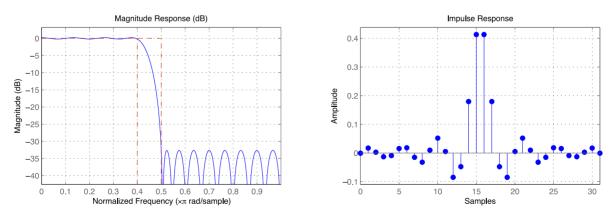


Figure 2: Filtre passe bas - hlp

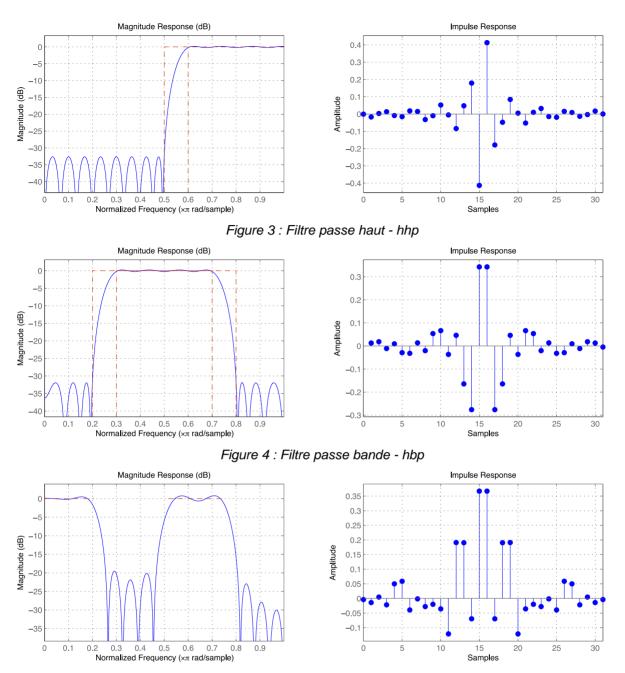


Figure 5 : Filtre arbitraire - ham

Le tableau ci-dessous décrit les différents coefficients et leur codage sur 8 bits signé :

coeff	h	lp	hł	пр	H	ор	ha	ım
a0	0	00	0	00	-1	FF	-1	FF
a1	4	04	-4	FC	3	03	-4	FC
a2	1	01	1	01	5	05	1	01
a3	-3	FD	3	03	-3	FD	-6	FA
a4	-2	FE	-2	FE	2	02	13	0D
a5	4	04	-4	FC	-7	F9	15	0F
a6	5	05	5	05	-8	F8	-10	F6
a7	-4	FC	4	04	3	03	0	00
a8	-8	F8	-8	F8	-5	FB	-7	F9
a9	3	03	-3	FD	14	0E	-5	FB
a10	13	0D	13	0D	17	11	-9	F7
a11	1	01	-1	0FF	-9	F7	-31	E1
a12	-22	EA	-22	EA	12	0C	49	31

a13	-12	F4	12	0C	-42	D6	49	31
a14	46	2E	46	2E	-71	B9	-18	EE
a15	106	6A	-106	96	88	58	94	5E
a16	106	6A	106	6A	88	58	94	5E
a17	46	2E	-46	D2	-71	B9	-18	EE
a18	-12	F4	-12	F4	-42	D6	49	31
a19	-22	EA	22	16	12	0C	49	31
a20	1	01	1	01	-9	F7	-31	E1
a21	13	0D	-13	F3	17	11	-9	F7
a22	3	03	3	03	14	0E	-5	FB
a23	-8	F8	8	08	-5	FB	-7	F9
a24	-4	FC	-4	FC	3	03	0	00
a25	5	05	-5	FB	-8	F8	-10	F6
a26	4	04	4	04	-7	F9	15	0F
a27	-2	FE	2	02	2	02	13	0D
a28	-3	FD	-3	FD	-3	FD	-6	FA
a29	1	01	-1	FF	5	05	1	01
a30	4	04	4	04	3	03	-4	FC
a31	0	00	0	00	-1	FF	-1	FF

Tableau 1: coefficients 8 bits signé

#### 2. Filtre FIR

L'expression analytique du filtre FIR est donnée ci-dessous (N=32):

$$s_{out}(n) = \sum_{i=0}^{N-1} a(i) \times s_{in}(n-i)$$

Cette expression conduit à l'architecture parallèle représentée sur la figure 6. Cette architecture étant trop coûteuse (nombre d'opérateurs arithmétiques trop important), on lui préfère l'architecture optimisée représentée sur la figure 7.

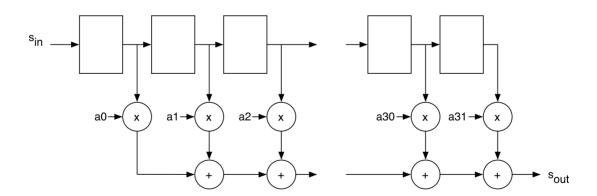


Figure 6 : Architecture parallèle du filtre FIR - N=32

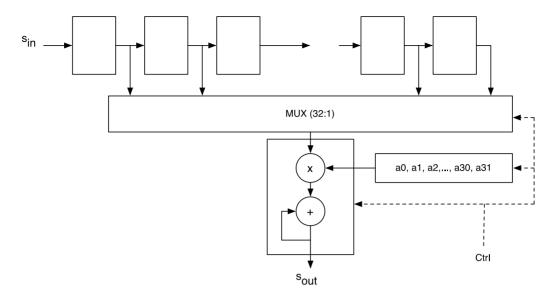


Figure 7 : Architecture optimisée du filtre FIR - N=32

La représentation détaillée de l'architecture du filtre est présentée sur la figure 8 et le code VHDL qui la modélise est donné dans le répertoire ~/FILTRE/vhd/filter.

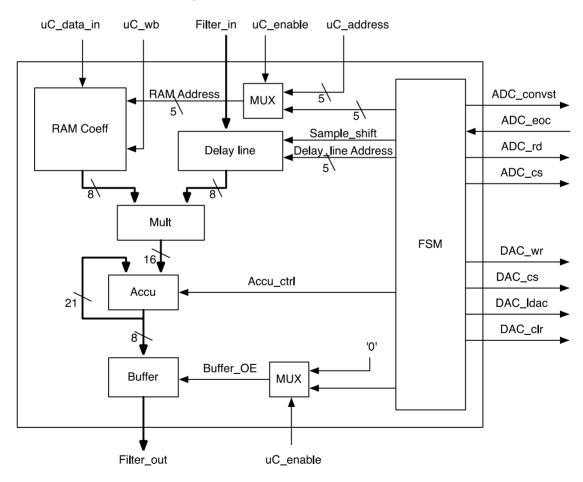


Figure 8 : Architecture détaillée du filtre FIR

Les entrées/sorties ADC\_convst, ADC\_eoc, ADC\_rd et ADC\_cs permettent la gestion du convertisseur analogique numérique AD7822 connecté en entrée. Les sorties DAC\_wr, DAC\_cs, DAC\_ldac et DAC\_clr permettent quant à elles la gestion du convertisseur numérique analogique AD7302 connecté en sortie du filtre. Les documentations des convertisseurs sont fournies en annexes.

NB: les signaux barrés ou avec un « b » dans le nom sont des signaux actif bas (i.e. actifs quand à '0')

Les entrées uC\_wb, uC\_enable, uC\_address et uC\_data\_in proviennent du microcontrôleur. Elles permettent de programmer la réponse impulsionnelle du filtre (écriture des coefficients dans la RAM,) et de contrôler le mode fonctionnement du filtre (uC\_enable = '1' \iff filtrage, uC enable = '0' \iff configuration).

#### 3. Microcontrôleur

#### 3.1 Architecture:

La figure 9 représente l'architecture générale du microcontrôleur utilisé dans le projet, et le code VHDL qui la modélise est donné dans le répertoire ~/FILTRE/vhd/uC.

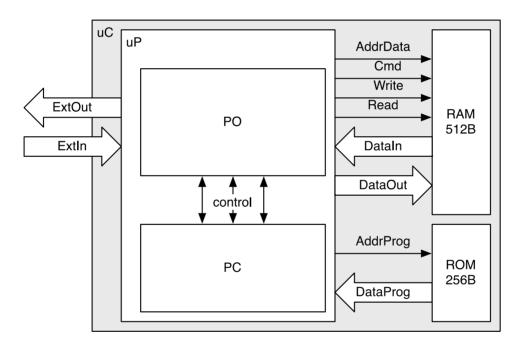


Figure 9: Architecture interne du microcontrôleur

La mémoire ROM (128x16bits) contient le programme à exécuter, et la mémoire RAM (256x16bits) contient une zone mémoire dédiée à la sauvegarde des différentes variables du programme (des adresses 0 à 127) et les différents jeux de coefficients du filtre (des adresses 128 à 255).

L'architecture de la partie opérative est décrite sur la figure 10. Le processeur dispose de 8 registres 16 bits d'usage général (GPR), d'une unité arithmétique et logique (UAL), et d'un générateur de condition pour les instructions de saut ou de branchement. Les instructions normales sont exécutées en 3 cycles d'horloge (*Fetch, Decode, Execution*) alors que celles qui nécessitent à accès mémoire (ROM ou RAM) en 4 cycles d'horloge (*Fetch, Decode, Execution, Wait MEM*).

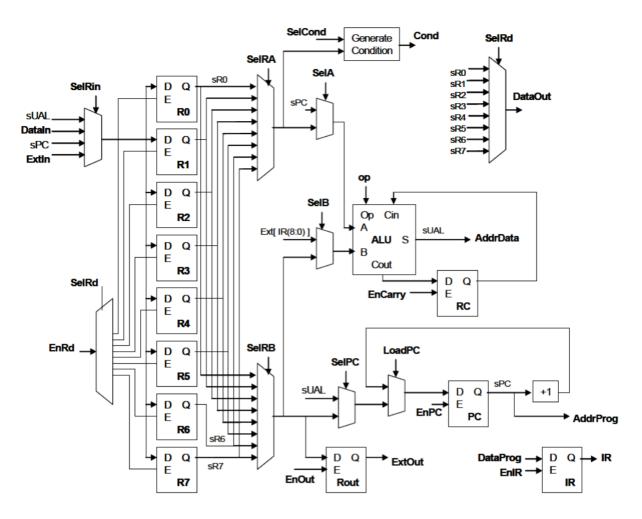


Figure 10: Partie Opérative du microprocesseur

#### 3.2 Jeu d'instrcutions

Le processeur possède un jeu d'instruction réduit mais complet. Il supporte l'exécution des instructions suivantes :

- **RESET**: le registre du Program Counter est remis à 0,
- IN Rd (lecture de l'extérieur) : on enregistre dans Rd la valeur présenté à l'entrée ExtIn,
- OUT Rb (écriture vers l'extérieur): on écrit la valeur du registre Rb sur la sortie ExtOut,
- Utilisation de l'unité arithmétique-logique : une des opérations énumérées dans le tableau 2, en tenant compte qui on peut avoir des opérations binaires (les registre Ra et Rb seront utilisés) ou unaires (soit Ra soit Rb sera utilisé) ; le résultat sera stocké dans le registre choisi,
- LI Rd, Imm (chargement immédiat): la valeur Imm est codée directement dans l'instruction (et donc contenue dans le registre IR) et elle est copiée dans le registre Rd, avec extension de son signe (Note: la taille de la valeur Imm peut être déduite du graph de la partie opérative),
- LW Rd, Ra, Rb (lecture de la mémoire RAM): le processus enregistre dans Rd la valeur qui se trouve dans la mémoire à l'adresse Ra+Rb (Rd<=MEM(Ra+Rb)),</li>
- **SW Rd**, **Ra**, **Rb** (écriture vers la mémoire RAM) : le processus enregistre la valeur de Rd dans la mémoire à l'adresse Ra+Rb (MEM(Ra+Rb)<=Rd),

- BRcc Ra, Rb (branchement conditionnel relatif) : si le registre Ra satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors le registre PC est incrémenté de Rb, si non la prochaine instruction est régulièrement exécutée.
- BAcc Ra, Rb (branchement conditionnel absolu) : si le registre Ra satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors la valeur de Rb est copiée dans le registre PC, si non la prochaine instruction est régulièrement exécutée,
- BRIcc R0, Imm (branchement conditionnel immédiat): si le registre R0 satisfait la condition cc (par exemple, BREQ, BRGT, cf. tableau 3), alors le registre PC est incrémenté de la valeur Imm (avec extension du signe), si non la prochaine instruction est régulièrement exécutée.

Op code	Opération	Résultat	Op code	Opération	Résultat
000000	ADD	$C \parallel S = A + B$	001000	NEGA	S = -A
000001	SUB	$C \parallel S = A - B$	001001	NEGB	S = -B
000010	INC	C    S = A + 1	010000	AND	S = A  AND  B
000011	DEC	C    S = A - 1	010001	OR	S = A  OR  B
000100	ADDC	$C \parallel S = A + B + C$	010010	XOR	$S = A \times B$
000101	SUBC	$C \parallel S = A - B - C$	010011	NOT	S = NOT A
000110	MOVA	S = A	10 <val></val>	SHL	$S = A \ll (VAL+1)$
000111	MOVB	S = B	11 <val></val>	SHR	S = A >> (VAL+1)

Tableau 2: Opérations ALU

Sel Code	Opération	Description
000	Eq	Vrai si entrée égale à 0
001	Ge	Vrai si entrée positive ou nulle
010	Le	Vrai si entrée négative ou nulle
011	ump	Toujours vrai
100	Ne	Vrai si entrée différente de 0
101	Lt	Vrai si entrée strictement négative
110	Gt	Vrai si entrée strictement positive

Tableau 3: Tests GENECOND

Le codage des instructions est donné en Annexes.

Dans le cadre de ce projet, l'entrée config est connectée au port d'entrée ExtIn, le signal uC\_data\_in est connecté à ExtOut (7 downto 0), le signal uC\_address à ExtOut (12 downto 8), et le signa uC\_wb à ExtOut (14) et uC\_enable à ExtOut (15). Ces interconnexions entre le microcontrôleur et le filtre sont implémentées dans le fichier ~/FILTRE/vhd/top.vhd.

#### 4. Annexes : data sheet de l'AD7822 et AD7302 (extrait):



## 3 V/5 V, 2 MSPS, 8-Bit, 1-/4-/8-Channel **Sampling ADCs**

### AD7822/AD7825/AD7829

#### **FEATURES**

8-bit half-flash ADC with 420 ns conversion time One, four, and eight single-ended analog input channels Available with input offset adjust

On-chip track-and-hold

SNR performance given for input frequencies up to 10 MHz

On-chip reference (2.5 V)

Automatic power-down at the end of conversion

Wide operating supply range

 $3\,V\pm10\%$  and  $5\,V\pm10\%$ 

**Input ranges** 

0 V to 2 V p-p,  $V_{DD}$  = 3 V  $\pm$  10%

0 V to 2.5 V p-p,  $V_{DD}$  = 5 V  $\pm$  10%

Flexible parallel interface with  $\overline{\mathsf{EOC}}$  pulse to allow standalone operation

#### **APPLICATIONS**

Data acquisition systems, DSP front ends

Mobile communication systems, subsampling applications

#### **FUNCTIONAL BLOCK DIAGRAM**

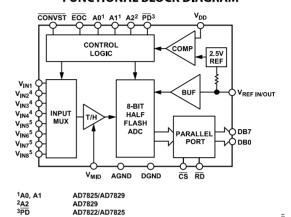


Figure 1.

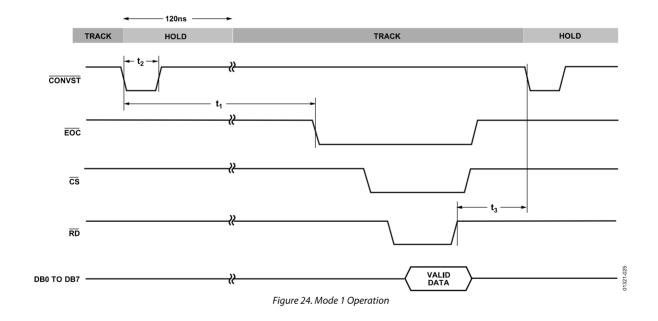
**Table 4. Pin Function Descriptions** 

Mnemonic	Description
V <sub>IN1</sub> to V <sub>IN8</sub>	Analog Input Channels. The AD7822 has a single input channel; the AD7825 and AD7829 have four and eight analog input channels, respectively. The inputs have an input span of 2.5 V and 2 V depending on the supply voltage ( $V_{DD}$ ). This span can be centered anywhere in the range AGND to $V_{DD}$ using the $V_{MID}$ pin. The default input range ( $V_{MID}$ unconnected) is AGND to 2 V ( $V_{DD}$ = 3 V $\pm$ 10%) or AGND to 2.5 V ( $V_{DD}$ = 5 V $\pm$ 10%). See the Analog Input section of the data sheet for more information.
$V_{DD}$	Positive Supply Voltage, 3 V $\pm$ 10% and 5 V $\pm$ 10%.
AGND	Analog Ground. Ground reference for track-and-hold, comparators, reference circuit, and multiplexer.
DGND	Digital Ground. Ground reference for digital circuitry.
CONVST	Logic Input Signal. The convert start signal initiates an 8-bit analog-to-digital conversion on the falling edge of this signal. The falling edge of this signal places the track-and-hold in hold mode. The track-and-hold goes into track mode again 120 ns after the start of a conversion. The state of the CONVST signal is checked at the end of a conversion. If it is logic low, the AD7822/AD7829 powers down (see the Operating Modes section of the data sheet).
EOC	Logic Output. The end-of-conversion signal indicates when a conversion has finished. The signal can be used to interrupt a microcontroller when a conversion has finished or latch data into a gate array (see the Parallel Interface section).
<u>CS</u>	Logic Input Signal. The chip select signal is used to enable the parallel port of the AD7822/AD7825/AD7829. This is necessary if the ADC is sharing a common data bus with another device.
PD	Logic Input. The power-down pin is present on the AD7822 and AD7825 only. Bringing the PD pin low places the AD7822 and AD7825 in power-down mode. The ADCs power up when PD is brought logic high again.
RD	Logic Input Signal. The read signal is used to take the output buffers out of their high impedance state and drive data onto the data bus. The signal is internally gated with the CS signal. Both RD and CS must be logic low to enable the data bus.
A0 to A2	Channel Address Inputs. The address of the next multiplexer channel must be present on these inputs when the RD signal goes low.
DB0 to DB7	Data Output Lines. They are normally held in a high impedance state. Data is driven onto the data bus when both RD and CS go active low.
V <sub>REF</sub> IN/OUT	Analog Input and Output. An external reference can be connected to the AD7822/AD7825/AD7829 at this pin. The on-chip reference is also available at this pin. When using the internal reference, this pin can be left unconnected or, in some cases, it can be decoupled to AGND with a 0.1 µF capacitor.
V <sub>MID</sub>	The $V_{MD}$ pin, if connected, is used to center the analog input span anywhere in the range of AGND to $V_{DD}$ (see the Analog Input section).

Table 2.

Parameter <sup>1,</sup>				
2	5 V ± 10%	3 V $\pm$ 10%	Unit	Conditions/Comments
t <sub>1</sub>	420	420	ns max	Conversion time
$t_2$	20	20	ns min	Minimum CONVST pulse width
t <sub>3</sub>	30	30	ns min	Minimum time between the rising edge of $\overline{RD}$ and the next falling edge of convert star
t <sub>4</sub>	110	110	ns max	EOC pulse width
	70	70	ns min	
<b>t</b> <sub>5</sub>	10	10	ns max	RD rising edge to EOC pulse high
t <sub>6</sub>	0	0	ns min	CS to RD setup time
<b>t</b> <sub>7</sub>	0	0	ns min	CS to RD hold time
t <sub>8</sub>	30	30	ns min	Minimum RD pulse width
$t_9$ 3	10	20	ns max	Data access time after RD low
$t_{10}^{4}$	5	5	ns min	Bus relinquish time after RD high
	20	20	ns max	
t <sub>11</sub>	10	10	ns min	Address setup time before falling edge of RD
t <sub>12</sub>	15	15	ns min	Address hold time after falling edge of RD
t <sub>13</sub>	200	200	ns min	Minimum time between new channel selection and convert start
t <sub>POWER UP</sub>	25	25	μs typ	Power-up time from rising edge of CONVST using on-chip reference
t <sub>POWER UP</sub>	1	1	μs max	Power-up time from rising edge of CONVST using external 2.5 V reference

<sup>\*</sup>Derived from the measured time taken by the data outputs to change 0.5 V when loaded with the circuit of Figure 2. The measured number is then extrapolated back to remove the effects of charging or discharging the 50 pF capacitor. This means that the time,  $t_{10}$ , quoted in the timing characteristics is the true bus relinquish time of the part and, as such, is independent of external bus loading capacitances.



<sup>&</sup>lt;sup>1</sup> Sample tested to ensure compliance. <sup>2</sup> See Figure 24, Figure 25, and Figure 26.

<sup>&</sup>lt;sup>3</sup> Measured with the load circuit of Figure 2 and defined as the time required for an output to cross 0.8 V or 2.4 V with V<sub>DD</sub> = 5 V ± 10%, and time required for an output



# 2.7 V to 5.5 V, Parallel Input Dual Voltage Output 8-Bit DAC

AD7302

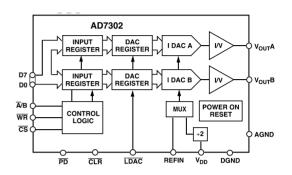
**FEATURES** 

Two 8-Bit DACs In One Package
20-Lead DIP/SOIC/TSSOP Package
+2.7 V to +5.5 V Operation
Internal and External Reference Capability
DAC Power-Down Function
Parallel Interface
On-Chip Output Buffer
Rail-to-Rail Operation
Low Power Operation 3 mA max @ 3.3 V
Power-Down to 1 µA max @ 25°C

#### **APPLICATIONS**

Portable Battery Powered Instruments
Digital Gain and Offset Adjustment
Programmable Voltage and Current Sources
Programmable Attenuators

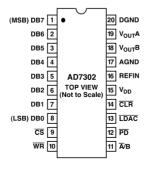
#### FUNCTIONAL BLOCK DIAGRAM



#### PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
1-8	D7–D0	Parallel Data Inputs. Eight-bit data is loaded to the input register of the AD7302 under the control of $\overline{\text{CS}}$ and $\overline{\text{WR}}$ .
9	CS	Chip Select. Active low logic input.
10	WR	Write Input. $\overline{WR}$ is an active low logic input used in conjunction with $\overline{CS}$ and $\overline{A}/B$ to write data to the selected DAC register.
11	$\overline{A}/B$	DAC Select. Address pin used to select writing to either DAC A or DAC B.
12	$\overline{ ext{PD}}$	Active low input used to put the part into low power mode reducing current consumption to less than 1 µA.
13	LDAC	Load DAC Logic Input. When this logic input is taken low both DAC outputs are simultaneously updated with the contents of their DAC registers. If $\overline{\text{LDAC}}$ is permanently tied low, the DACs are updated on the rising edge of $\overline{\text{WR}}$ .
14	CLR	Asynchronous Clear Input (Active Low). When this input is taken low the DAC registers are loaded with all zeroes and the DAC outputs are cleared to zero volts.
15	$V_{ m DD}$	Power Supply Input. These parts can be operated from 2.7 V to 5.5 V and should be decoupled to AGND.
16	REFIN	External Reference Input. This can used as the reference for both DACs. The range on this reference input is 1 V to $V_{DD}/2$ . If REFIN is directly tied to $V_{DD}$ the internal $V_{DD}/2$ reference is selected.
17	AGND	Analog Ground reference point and return point for all analog current on the part.
18	V <sub>OUT</sub> B	Analog output voltage from DAC B. The output amplifier can swing rail to rail on its output.
19	V <sub>OUT</sub> A	Analog output voltage from DAC A. The output amplifier can swing rail to rail on its output.
20	DGND	Digital Ground reference point and return point for all digital current on the part.

#### PIN CONFIGURATION



# TIMING CHARACTERISTICS 1, 2 $(V_{DD} = +2.7 \text{ V to } +5.5 \text{ V; GND} = 0 \text{ V; Reference} = Internal V_{DD}/2 \text{ Reference; all specifications } T_{MIN} \text{ to } T_{MAX} \text{ unless otherwise noted)}$

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$ (B Version)	Units	Conditions/Comments
$t_1$	0	ns min	Address to Write Setup Time
$t_2$	0	ns min	Address Valid to Write Hold Time
t <sub>3</sub>	0	ns min	Chip Select to Write Setup Time
$t_4$	0	ns min	Chip Select to Write Hold Time
t <sub>5</sub>	20	ns min	Write Pulse Width
t <sub>6</sub>	15	ns min	Data Setup Time
t <sub>7</sub>	4.5	ns min	Data Hold Time
t <sub>8</sub>	20	ns min	Write to $\overline{\text{LDAC}}$ Setup Time
t <sub>9</sub>	20	ns min	LDAC Pulse Width
t <sub>10</sub>	20	ns min	CLR Pulse Width

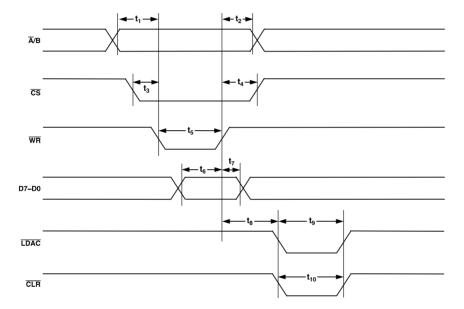


Figure 1. Timing Diagram for Parallel Data Write

 $<sup>^{1}</sup>$ Sample tested at +25°C to ensure compliance. All input signals are specified with tr = tf = 5 ns (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of 

### 5. Annexes: Codage des instructions

ADD         RAD         RAD <th></th> <th></th> <th></th> <th></th> <th></th> <th></th> <th></th> <th>٦</th> <th>Codage Instrcutions</th> <th>trcution</th> <th>Sc</th> <th>[</th> <th>;</th> <th></th> <th></th> <th></th> <th></th> <th></th>								٦	Codage Instrcutions	trcution	Sc	[	;					
1000001   10000   10000   1000   10000   10000   10000   10000   10000   10000   10000   10	0	0000000	ADD	RD	ΚA	RB B	41	0101001	SHL	8	₽	000	85	1010010	BRILE	Imme	ediat (9	(9bits)
March   Marc	<del></del>	0000001	SUB	RD	RA	RB	42	0101010	SHL	RD	RA	000	83	1010011	BRIUMP	Imme	ediat (9	oits)
March   Marc	7	0000010	O -	RD	RA	000	43	0101011	SHL	SD D	ΚΆ	000	84	1010100	BRINE	Imme	ediat (9	oits)
March   Marc	m	0000011	DEC	RD	RA	000	44	0101100	SHL	RD	RA	000	82	1010101	BRILT	Imme	ediat (9	oits)
Name	4	0000100	ADDC	RD	RA	RB	45	0101101	SHL	RD	RA	000	86	1010110	BRIGT	Imme	ediat (9	oits)
00001101         MOVA         RD         RA         0000         SA         1011010         OVA         RD         PA         0000         OVA         RD         RA         0000         PA         RD         RA         0000         PA         Intention         IN         RD         RA         0000         PA         Intention         RD         RA         0000         PA         Intention         RD         RA         0000         PA         1011010         CM         RD         RA         000         PA         1011010         RW         RD         RA         000         10111010	2	0000101	SUBC	RD	RA	RB	46	0101110	SHL	RD	RA	000	87	1010111				
Name	9	0000110	MOVA	RD	RA	000	47	0101111					88	1011000	Z	RD	000	000
Decidio   Necka   RD   RA   000   RB   50 0110001   SHR   RD   RA   000   90 1011010   SW   RD   RA   000	7	0000111	MOVB	RD	000	RB	48	0110000	SHR	RD	RA	000	88	1011001	OUT	RD	000	000
Decomposition   Necker   Packer   Pac	8	0001000	NEGA	RD	RA	000	49	0110001	SHR	RD	RA	000	90	1011010	LW	RD	RA	RB
10001010   100	6	0001001	NEGB	RD	000	RB	20	0110010	SHR	RD	RA	000	91	1011011	SW	RD	RA	RB
10001011   10001011   1000101   10	10	0001010					51	0110011	SHR	RD	RA	000	95	1011100				
Contition   Cont	11	0001011					52	0110100	SHR	RD	RA	000	93	1011101				
10001101   24   24   24   24   24   24   24   2	12	0001100					53	0110101	SHR	RD	RA	000	94	1011110				
0001110         AND         S5         0110111         SHR         RD         RA         000         96         1100000         LI (RJ)         Immediate offencial control           00100001         AND         RB         57         0111001         SHR         RD         RA         000         96         1100001         LI (RJ)         Immediate offencial control           0010000         AND         RB         58         0111001         SHR         RD         RA         000         99         1100010         LI (RJ)         Immediate offencial control           0010010         AND         RB         59         0111101         SHR         RD         RA         000         101         1100010         LI (RJ)         Immediate offencial control           0010101         NOT         RB         RA         000         RA         RB         101         110001         LI (RJ)         Immediate offencial control           0010101         NOT         RB         RA         RB         RA         RB         102         1010010         LI (RJ)         Immediate offencial control           00101010         LB         RB         1011111         RB         RA         RB         10110010	13	0001101					24	0110110	SHR	RD	RA	000	95	1011111				
00101101         AND         RD         RA         RD         RA         000         94         1100001         LI (R1)         Immediate Immediate of the control	14	0001110					22	0110111	SHR	RD	RA	000	96	1100000		Imme	ediat (9	(9bits)
0010000         AND         RD         RA         RB         S7         0111001         SHR         RD         RA         000         99         1100010         LI (R2)         Immediate mediate mediate (001001         Immediate mediate (001001)         Immediate mediate (001001)         Immediate (001001)         <	15	0001111					26	0111000	SHR	RD	RA	000	97	11000011	LI (R1)	Imme	ediat (9	oits)
0010001         OR         RD         RA         000         SA         111010         SHA         RD         RA         000         PA         1000         11 (R3)         Immediate diazonal in the d	16	0010000	AND	RD	RA	RB	22	0111001	SHR	RD	RA	000	86	1100010	LI (R2)	Imme	ediat (9	oits)
0010010         XOR         RD         RA         000         AN         CD         Inmediat         Immediate         Immediate <td>17</td> <td>0010001</td> <td>OR</td> <td>RD</td> <td>RA</td> <td>RB</td> <td>28</td> <td>01111010</td> <td>SHR</td> <td>RD</td> <td>RA</td> <td>000</td> <td>66</td> <td>1100011</td> <th></th> <td>Imme</td> <td></td> <td>(9bits)</td>	17	0010001	OR	RD	RA	RB	28	01111010	SHR	RD	RA	000	66	1100011		Imme		(9bits)
0010011         NOT         RD         RA         000         101         LI 00101         LI (R5)         Immediate liminariation           00101010         SH         RD         RA         000         101         1100101         LI (R5)         Immediate liminariation           00101010         SH         RD         RA         000         RA         RB         103         110100         Immediate liminariation           0010101         SH         RD         RA         RB         100         RA         RB         100         Immediate liminariation         Immediate liminariation           0011001         SH         RB         100         RA         RB         105         110100         Immediate liminariation         Immediate liminariation           0011001         SH         RB         1000011         BRUP         000         RA         RB         105         110101         Immediate liminariation         Immediate liminariation           0011001         SH         RB         RB         RB         RB         100         110101         Immediate liminariation         Immediate liminariation           0011010         SH         RB         RB         RB         RB         RB <td< td=""><td>18</td><td>0010010</td><td>XOR</td><td>RD</td><td>RA</td><td>RB</td><td>29</td><td>0111011</td><td>SHR</td><td>RD</td><td>RA</td><td>000</td><td>100</td><td>1100100</td><th></th><td>Imme</td><td></td><td>(9bits)</td></td<>	18	0010010	XOR	RD	RA	RB	29	0111011	SHR	RD	RA	000	100	1100100		Imme		(9bits)
0010100         SH         RD         RA         000         102         1100110         LI (R6)           00101010         SH         RD         RA         000         103         1100111         LI (R7)           00101010         SH         RD         RA         000         101	19	0010011	NOT	RD	RA	000	9	0111100	SHR	RD	RA	000	101	1100101		Imme		(9bits)
0010101         SHR         RD         RA         000         RA         RB         1100111         LI (R7)           0010110         0010111         SHR         RB         000         RA         RB         1001000         RA         RB         1001010         RA         RB         1001010         RA         RB         1001010         RA         RB         1001101         RA         RB         1001101         RA         RB         10011010         RB         1001010         RB         1001010 <td< td=""><td>20</td><td>0010100</td><td></td><td></td><td></td><td></td><td>61</td><td>0111101</td><td>SHR</td><td>RD</td><td>RA</td><td>000</td><td>102</td><td></td><th>LI (R6)</th><td>Imme</td><td>ediat (9</td><td>oits)</td></td<>	20	0010100					61	0111101	SHR	RD	RA	000	102		LI (R6)	Imme	ediat (9	oits)
0010110         RA         RB         104         1101000           0010111         RA         RB         105         1101001         RA         RB           0011010         RA         RB         105         110101         RD         110101           0011010         RA         RB         106         110101         RD         10011           0011010         RA         RB         RB         107         110101         RD           0011101         RB         RB         100         RA         RB         107         110101         RD           0011101         RB         RB         100         RA         RB         100         110101         RD           0011101         RB         RB         100         RA         RB         110         11011         RD           0011101         RB         RB         100         RA         RB         111         110000         RA         RB         111         110000           1010010         SHL         RD         RA         000         RA         RB         111         110000         RB         111         110100           1000010         SHL<	21	0010101					62	0111110	SHR	RD	₽.	000	103			Imme	ediat (9	oits)
0011011         RD         RD         RD         RD         IDD         IDD <td>22</td> <td>0010110</td> <td></td> <td></td> <td></td> <td></td> <td>63</td> <td>0111111</td> <td></td> <td></td> <td></td> <td></td> <td>104</td> <td></td> <th></th> <td></td> <td></td> <td></td>	22	0010110					63	0111111					104					
0011000         RA         RB         106         1101010         R         RB         106         1101010         R         RB         107         1101011         R	23	0010111					64	1000000	BREQ	000	RA	RB	105					
0011001         RA         RB         107         1101011         R           0011010         RA         RB         1000010         RA         RB         100         1010100         RA         RB           0011010         RO         1001101         RA         RB         1001100         RA         RB         1001100         RA         RB         1001101         RA         RB         1001110         RA         RB         11011110         RA         RB         11011111         RA         RB         111         1101111         RA         RB         111         110111         RA         RB         RA         RB         RA         RB         RB         RA         RB         RB         RB         RA         RB         RB         RB         RA         RB         RB <td>24</td> <td>0011000</td> <td></td> <td></td> <td></td> <td></td> <td>65</td> <td>1000001</td> <td>BRGE</td> <td>000</td> <td>RA</td> <td>RB</td> <td>106</td> <td></td> <th></th> <td></td> <td></td> <td></td>	24	0011000					65	1000001	BRGE	000	RA	RB	106					
0011010         Septembre         1000011         BRUMP         000         RA         RB         108         1101100         RD           0011010         BRIGE         000         RA         RB         100         1101101         1001101         1001101         1001101         1001101         1001110         1001110         1001110         1001110         1001111         1101111         1001111         1001111         1000111         1000111         1000111         1000111         1101111         1101111         100111         100011         1000100         RA         RB         111         1100101         1100101         1100001         1100101         1100101         1100101         110001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100101         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         1100001         11000001         11000001         11000001         11000001 <td>25</td> <td>0011001</td> <td></td> <td></td> <td></td> <td></td> <td>99</td> <td>1000010</td> <td>BRLE</td> <td>000</td> <td>RA</td> <td>RB</td> <td>107</td> <td>1101011</td> <th></th> <td></td> <td></td> <td></td>	25	0011001					99	1000010	BRLE	000	RA	RB	107	1101011				
0011011         RA         RB         100         RA         RB         100         Indition           0011100         BOULLIOL         BRLT         000         RA         RB         1101101         1101110         11011111         1101111         1101111         1101111	26	0011010					67	1000011	BRUMP	000	RA	RB	108					
0011100         SHID         RB         110         110110         1001110         1001110         1001110         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         1001111         100000         RA         RB         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111         110000         111           00010100	27	0011011					89	1000100	BRNE	000	RA	RB	109	1101101				
0011101         RA         COUNTION         CO	28	0011100					69	1000101	BRLT	000	ΚA	RB	110					
0011110         RA         000         RA         RB         112         1110000         112         1110000         R           0011111         SHL         RD         RA         000         RA         RB         113         1110001         R         Individual R         R         Individual R         R         Individual R         Indiv	29	0011101					70	1000110	BRGT	000	ΚΆ	RB	111	1101111				
0011111         RA         RB         RB <t< td=""><td>30</td><td>0011110</td><td></td><td></td><td></td><td></td><td>71</td><td>1000111</td><td></td><td></td><td></td><td></td><td>112</td><td>1110000</td><th></th><td></td><td></td><td></td></t<>	30	0011110					71	1000111					112	1110000				
0100000         SHL         RD         RA         000         73         1001001         BAGE         000         RA         RB         114         1110010         R         110010           0100001         SHL         RD         RA         000         74         1001010         BALE         000         RA         RB         115         1110010         R         110010         R         Ind         I	31	0011111					72	1001000	BAEQ	000	₽	RB	113	1110001				
0100001         SHL         RD         RA         000         74         1001010         BALE         000         RA         RB         115         1110011         P         110011           0100010         SHL         RD         RA         000         7         1001101         BAUT         000         RA         RB         117         1110101         P         110101         P         110101         P         110101         P         110101         P         110101         P         P         110101         P<	32	0100000	SHL	RD	RA	000	73	1001001	BAGE	000	₽	RB	114					
0100010         SHL         RD         RA         000         75         1001010         BAUM P         000         RA         RB         116         1110100         R         R           0100011         SHL         RD         RA         000         77         1001101         BALT         000         RA         RB         117         1110101         R         R           0100101         SHL         RD         RA         000         77         1001110         BAGT         000         RA         RB         119         1110111         R         1101111         R         1101111         R         1101111         R         1101111         R         1101011         R         1101111         R         1101111         R         1101111         R         1101111         1101111         R         1101111 <td< td=""><td>33</td><td>0100001</td><td>SHL</td><td>RD</td><td>ΚA</td><td>000</td><td>74</td><td>1001010</td><td>BALE</td><td>000</td><td>RA</td><td>RB</td><td>115</td><td></td><th></th><td></td><td></td><td></td></td<>	33	0100001	SHL	RD	ΚA	000	74	1001010	BALE	000	RA	RB	115					
0100011         SHL         RD         RA         000         76         1001100         BANE         000         RA         RB         117         1110101         R         R           01001010         SHL         RD         RA         000         77         1001110         BAGT         000         RA         RB         119         1110111         R         R           0100110         SHL         RD         RA         000         RA         RB         119         1110111         R         R         R           0100111         SHL         RD         RA         000         RI         R	34	0100010	SHL	RD	RA	000	75	1001011	BAUMP	000	RA	RB	116					
0100100         SHL         RD         RA         000         77         1001101         BALT         000         RA         RB         118         1110110         R         110111         R           0100110         SHL         RD         RA         000         79         1001111         BRIEG         Immediat (9bits)	35	0100011	SHL	RD	RA	000	9/	1001100	BANE	000	₽	RB	117	1110101				
0100101         SHL         RD         RA         000         78         1001110         BAGT         000         RA         RB         119         1110111         R         110111           0100110         SHL         RD         RA         000         PRIEQ         Immediat (9bits)	36	0100100	SHL	RD	RA	000	77	1001101	BALT	000	ΚΆ	RB	118	1110110				
0100110         SHL         RD         RA         000         79         1001111         BRI EQ         Immediat (9bits)	37	0100101	SHL	RD	RA	000	78	1001110	BAGT	000	₽	RB	119	1110111				
0100111         SHL         RD         RA         000         80         1010000         BRI GE         Immediat (9bits)		0100110	SHL	RD	RA	000	79	1001111					1	;				
0101000 SHL RD RA 000 81 1010001 BRIGE Immediat (9bits) 127 1111111 RESET 111		0100111	SHL	RD	RA	000	80	1010000	BRI EQ	Imm	ediat (9	bits)	}	-				
		0101000	SHL	RD	RA	000	81	1010001	BRIGE	Imm	ediat (9	bits)	127	1111111	RESET	111	111	111