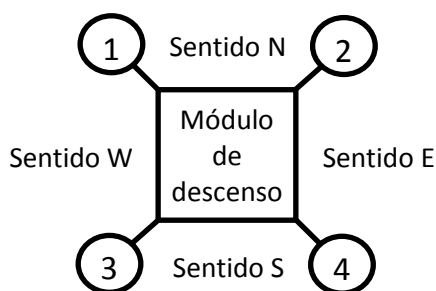




## EXAMEN PARCIAL DE FUNDAMENTOS DE COMPUTADORES

CURSO 2016-17, PRIMER PARCIAL, 3 DE FEBRERO DE 2017

- (1 punto) Dados los siguientes números:  $A=+44_{10}$ ,  $B=-165_8$ ,  $C=-2A_{16}$  y  $D=+10101_2$ 
  - Expresa los cuatro números con el mismo número de bits en representación en complemento a dos.
  - Efectúa las operaciones  $A-B$  y  $C-D$  en complemento a dos, indicando si existe o no desbordamiento o acarreo
- (2,5 puntos) En calidad de ingenieros de la Agencia Espacial Europea (ESA), debéis diseñar un sistema combinacional que controle el módulo de descenso del “rover” que se enviará a Marte en 2020. Dicho módulo consta de 4 retro-cohetes, cuya vista cenital se indica en la figura:



Los retro-cohetes están orientados y numerados del 1 al 4. Las entradas de este sistema son:

- Sensor de distancia al suelo: Devuelve ‘1’ si está próximo al suelo y ‘0’ en caso contrario.
- Sensor de verticalidad: Puede devolver los siguientes valores:
  - 000: Posición totalmente vertical.
  - 001: Posición rotada sentido N.
  - 010: Posición rotada sentido E.
  - 101: Posición rotada sentido S.
  - 110: Posición rotada sentido W.

Las salidas son 4 señales (R1, R2, R3 y R4) que controlan el encendido (‘1’) y apagado (‘0’) de los retro-cohetes, que sólo se encenderán bajo las siguientes condiciones:

- Si el módulo de aterrizaje se encuentra en posición totalmente vertical y próximo al suelo, los 4 retro-cohetes se encenderán a la vez.
- Sin embargo, si el módulo de aterrizaje se encuentra rotado, esto se debe corregir con el encendido selectivo de sólo 2 de ellos. Así, por ejemplo, si hay una rotación sentido N, sólo se deben encender los retro-cohetes 1 y 2; o si hay una rotación al E, se encenderán el 2 y el 4. Estas correcciones se deben realizar tanto si se encuentra próximo o lejano al suelo.
  - (0.75 puntos) Obtener la tabla de verdad del sistema.
  - (0.75 punto) Implementar R1 con multiplexores 4 a 1 y menor número de puertas lógicas.
  - (1 puntos) Implementar R2, R3 y R4 con un decodificador 4 a 16 y menor número de puertas lógicas.

- (1,5 punto) un sistema tiene 2 entradas (X, Y), y dos salidas (A,B). Las entradas X, Y y la salida A son números enteros positivos representados en complemento a dos de 4 bits. La

salida B es de 1 bit. El comportamiento del sistema es el siguiente. En la salida A aparece siempre el número mayor de los 2 presentes en la entrada. Si los dos números son iguales en la salida A se coloca el mayor número representable en c2 con 4 bits. La salida B se activa a 1 si una o las dos entradas tienen el máximo valor representable y a 0 en caso contrario.

Implementar el circuito con multiplexores, un sumador binario de 4 bits y puertas lógicas

4. (3 puntos) Diseñar un sistema secuencial que controle la velocidad de parpadeo de un LED. Dicho sistema tendrá las siguientes entradas:
- P (1 bit): '0' significa que el LED debe permanecer apagado; '1' significa que el LED debe parpadear.
  - V (1 bit): '0' significa que el LED parpadea a una frecuencia rápida (1 ciclo de reloj encendido - 1 ciclo de reloj apagado); y '1' significa que el LED parpadea a una frecuencia lenta (2 ciclos de reloj encendido - 2 ciclos de reloj apagado).

La salida del sistema será una señal de un único bit (el LED que parpadea).

- d) (1 punto) Especificar el sistema mediante un diagrama de estados tipo Moore.
  - e) (0.5 puntos) Obtener las tablas de transición y de salida del sistema.
  - f) (1 punto) Implementar el sistema con biestables D y:
    - i. La función de salida, con el menor número de puertas lógicas.
    - ii. La función de transición de estado, con una ROM de tamaño mínimo.
5. (2 puntos) Utilizando biestables D encadenados y puertas lógicas, diseñar un circuito secuencial con una entrada binaria y una salida también binaria. La salida valdrá 1 siempre que se detecte en la entrada una secuencia de 5 bits con estructura de palíndromo (igual lectura de izquierda-derecha que derecha-izquierda, ejemplos, 10101, 00100,...), con posibilidad de solapamiento.

# Examen F.C. Febrero 2017

①

$$1 \quad A = +44_{10}$$

$$B = 167_8$$

$$C = -2A_{16}$$

$$D = +10101_2$$

A todos los números están expresados en magnitud y signo, donde a su vez la magnitud utiliza diferentes representaciones (decimal, octal, hexadecimal, binario)

$$A = +44_{10}$$

~~1.º~~ cálculo de la magnitud!

$$|+44_{10}| = 44_{10} \rightarrow \text{no tiene signo}$$

$$= 101100_{10}$$

(2.º) Dado signo positivo para convertirlo en complemento a 2

$$0101100_{10}$$

(3.º)  $\rightarrow$  no se hace nada  $\rightarrow$  no hay s. cambio el signo.

$$A = 0101100_{10}$$

$$B = -165_8$$

(2)

1.º cálculo de la magnitud

$|-165_8| = 165_8 \rightarrow$  presta q.  $8 = 2^3$   
 se aplica la conversión entre potencias de la misma base. cada dígito octal se reemplaza por su representación binaria de 3 bits.

$$001\ 110\ 101_{bp}$$

no es signo.

En este caso el  $bp$  está representado con más bits de los q. necesita  $\rightarrow$

$$n.e.s. \rightarrow 001110101_{bp} = 111010_{bp}.$$

① le añadimos el signo positivo

$$01110101_{c2}$$

si es signo

③ presta q. el  $1^o$  q. nos da es negativo has q. cambiar el signo.

$$10001010 + 1$$

$$10001010_{c2} = 13$$

$$C = -2A_{16}$$

(1) cálculo de la magnitud

$|-2A_{16}| = 2A_{16} \rightarrow$  magnitud sin signo  
 como  $16 = 2^4$  se aplica la conversión entre potencias de la misma base. se sustituye cada dígito hexadecimal por su representación binaria de 4 bits

$00101010_{16}$   
 no es signo. igual q. ocurría antes, este número no está expresado con el menor n.º de bits posible.

$$00101010_{16} = 101010_{16}$$

(2) se le añade el signo positivo para convertirlo en  $C_2$

$0101010_{C_2}$   
 (3) como el n.º q. nos piden es negativo hay q. cambiar el signo

$$101010_1$$

$$1010110_{C_2} = C$$

$$D = +10101_{bp}$$

4

① calculo la magnitud

$$|+10101_{bp}| = 10101_{bp}$$

no es signo.

② se le añade el signo para convertirlo en  $c_2$

$$10101_{c_2} = 10$$

Desp los 4 números son

$$A = 0101100 \rightarrow 7bits$$

$$B = 10001011 \rightarrow 8bits$$

$$C = 1010110 \rightarrow 7bits$$

$$D = 010101 \rightarrow 6bits$$

Hay q. representarlos todos con el mismo n° de bits.  
 El menor n° de bits necesarios para representarlos  
 es 8 → los n°s con menos de 8 bits los s.  
 hacerles una extensión de signo

$$A = 00101100$$

$$B = 10001011$$

$$C = 11010110$$

$$D = 00010101$$

(5)

1b A-Bnunca se hacen restas en C2.  $\rightarrow$ 

$$A-B = A + (-B)$$

A  $\rightarrow$  lo conozco 00101100B  $\rightarrow$  lo conozco 10001011

-B  $\rightarrow$  no lo conozco, lo tengo y calculo  
 $\hookrightarrow$  cambio el signo en B

$$\begin{array}{r} 01110100 \\ + 1 \\ \hline 01110101 = -B \end{array}$$

$$\begin{array}{r} 00101100 \\ + 01110101 \\ \hline 10100001 = A-B \end{array} \left. \begin{array}{l} \text{no tiene acarreo} \\ \text{si tiene desbordamiento} \end{array} \right\}$$

C-D  $\rightarrow$  C + (-D)C  $\rightarrow$  lo conozco 11010110D  $\rightarrow$  lo conozco 00010101-D  $\rightarrow$  no lo conozco, cambio el signo a D

$$\begin{array}{r} 11010100 \\ + 1 \\ \hline 11010101 = -D \end{array} \quad \begin{array}{r} 11010110 \\ 11010101 \\ \hline 111000001 = C-D \end{array}$$

may acarreo, no desbordamiento

2

El sensor de verticalidad  
El sensor de distancia

$V_2 V_1 V_0$   
Suelo D

6

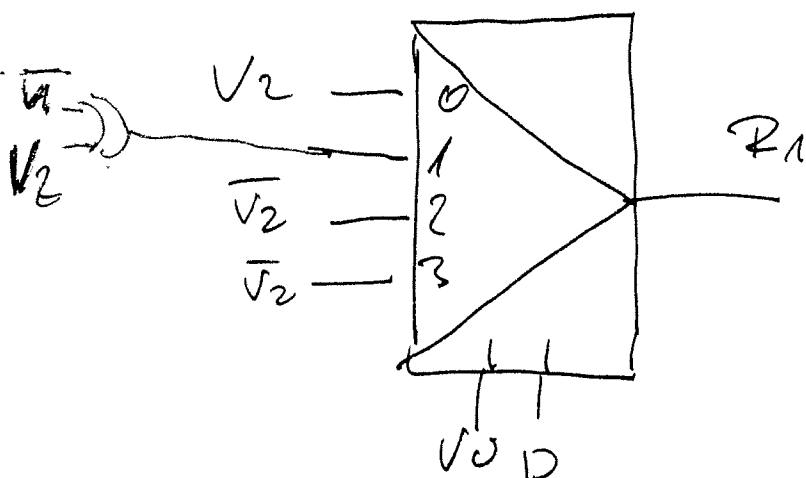
$V_2 V_1 V_0 D$	$R_1 R_2 R_3 R_4$
0000	0000
0001	1111
0010	1100
0011	1100
0100	0101
0101	0101
0110	- - - -
0111	- - - -
1000	- - - -
1001	- - - -
1010	0011
1011	0011
1100	1010
1101	1010
1110	- - - -
1111	- - - -

El multiplexor tiene  
muchas señales de  
control y variables  
de entrada la función →  
Submapas de 16 →  
Selecciones 2 variables  
de entrada y sirven  
como señales de  
control →  $V_0 D$

$R_1 V_2 V_1 V_0 D$

0	1	1	1
0	0	-	-
1	1	-	-
1	0	0	0

$V_1$   
 $V_2$



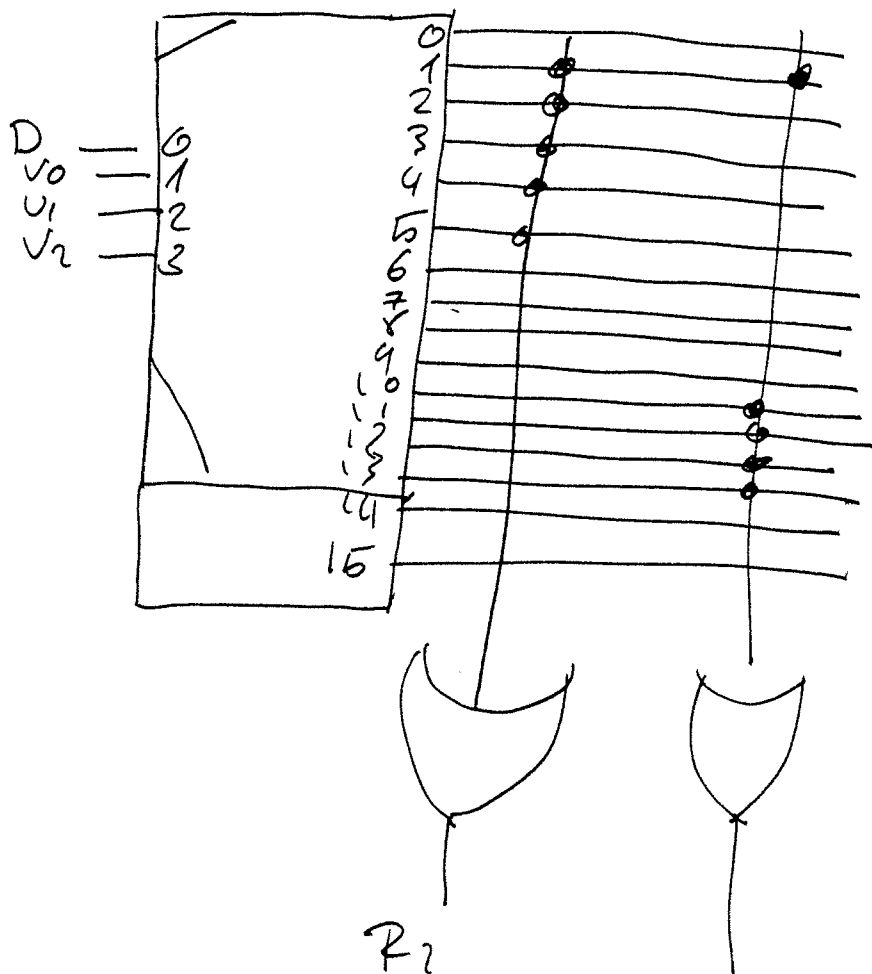


20) → Recordar q. las salidas del decodificador son los minterminos de las Entradas

7

$$P_2 = \sum m(1, 2, 3, 4, 5)$$

$$P_3 = \sum m(1, 10, 11, 12, 13) = P_4$$





(4) Es tipo Moore  $\rightarrow$  la salida solo depende del estado (a)

Estados del sistema:

Cuando el  $V=0 \rightarrow$  parpadeo rápido  $\rightarrow$   
un ciclo encendido un ciclo apagado.

$V=1 \rightarrow$  parpadeo lento  $\rightarrow$   
2 ciclos encendidos 2 ciclos apagados.

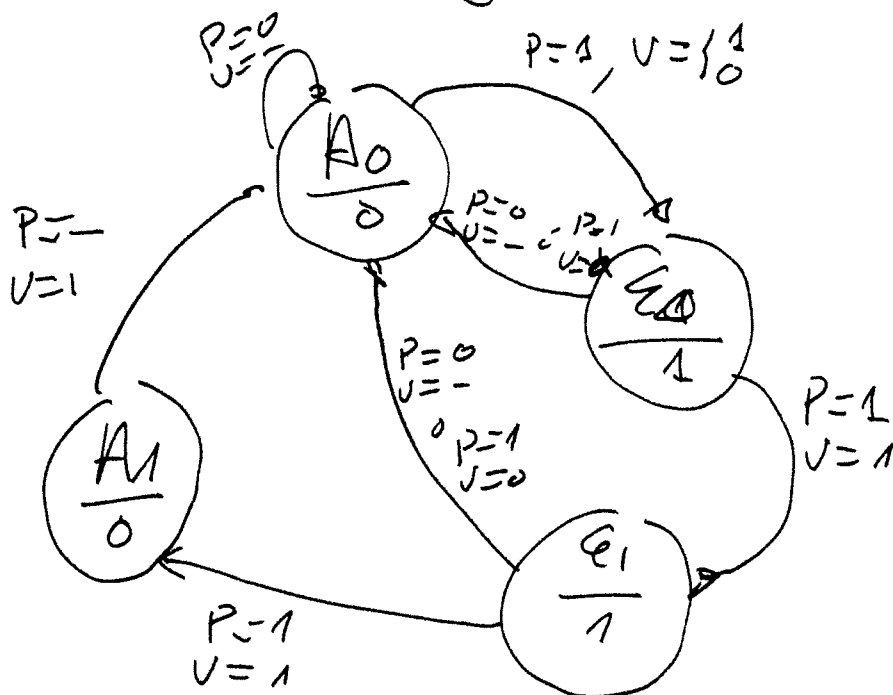
Estados:

$A_0 \rightarrow$  primer ciclo apagado

$A_1 \rightarrow$  segundo ciclo apagado

$E_0 \rightarrow$  primer ciclo encendido

$E_1 \rightarrow$  segundo ciclo encendido



# Codificación de Estados

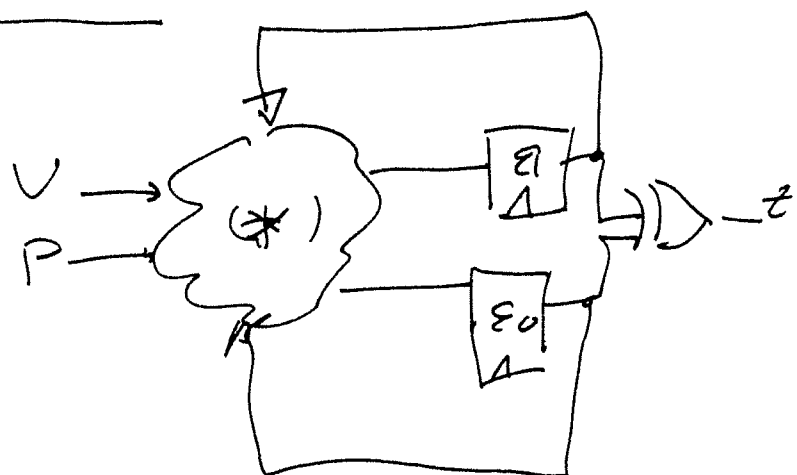
10

	$E_1$	$E_0$
$A_0$	0	0
$E_0$	0	1
$E_1$	1	0
$A_1$	1	1

Tabla de verdad

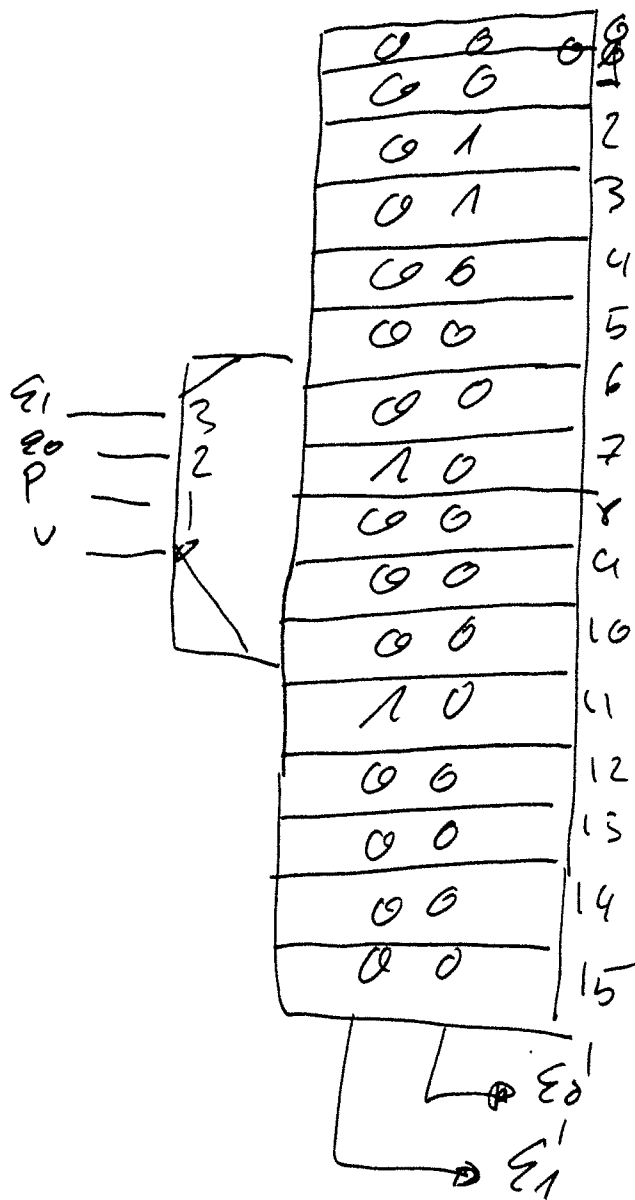
$E_1$	$E_0$	PV	$E_1'$	$E_0'$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	1
1	1	1	1	1

$E_1$	$E_0$	$z$
0	0	0
0	1	1
1	0	1
1	1	0

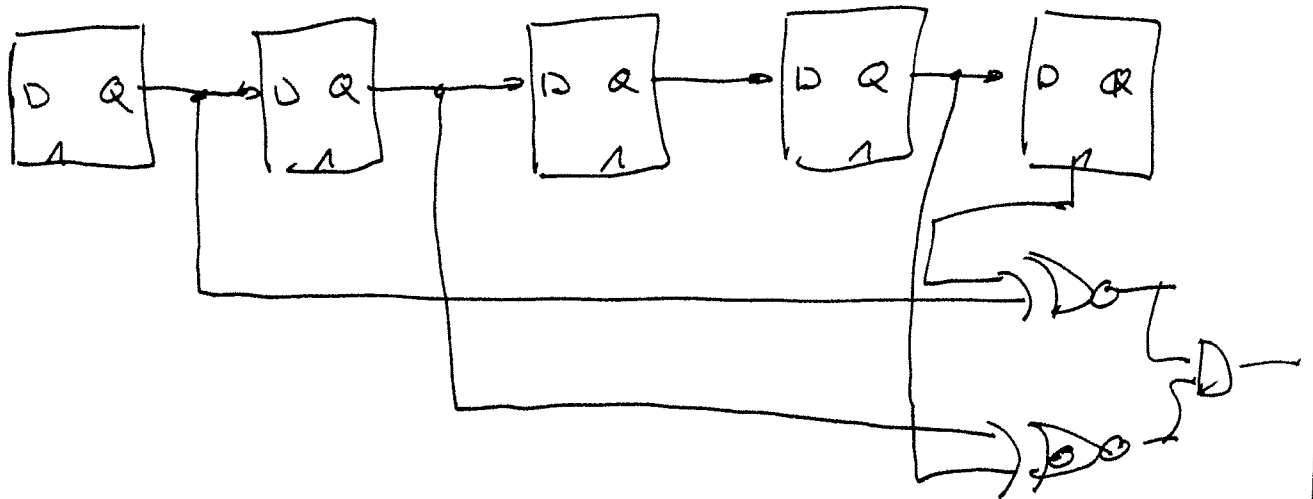


El circuito <sup>CH</sup> es una ROM

11



(5)



U

D	V <sub>2</sub>	V <sub>4</sub>	V <sub>0</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	R <sub>4</sub>
0	0	0	0	0	0	0	0
0	0	0	1	1	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	-	-	-	-
0	1	0	0	-	-	-	-
0	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	-	-	-	-
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	-	-	-	-
1	1	0	0	-	-	-	-
1	1	0	1	0	0	1	1
1	1	1	0	1	0	1	0
1	1	1	1	-	-	-	-

$$A = 00101100$$

$$B = 10001011$$

$$C = 11010110$$

$$D = 00010101$$

$$B - B = 10100001$$

$$C - D = 111000001$$

PV E A E O

E' E'

0 0 0 0

0 0

0 0 0 1

0 0

0 0 1 0

0 0

0 0 1 1

0 0

0 0 0 0

0 0

0 1 0 1

0 0

0 1 1 0

0 0

0 1 1 1

0 0

1 0 0 0

0 1

1 0 0 1

0 0

1 0 1 0

0 0

1 0 1 1

0 0

1 1 0 0

0 1

1 1 0 1

1 0

1 1 1 0

1 1

1 1 1 1

0 0