

# A7121/A7122

## 2.4GHz GFSK Transceiver

---

### Document Title

Data Sheet - A7121/A7122

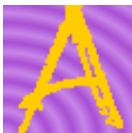
### Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
1.0	Initial issue	Jun 1 , 2007	Chinese Version
1.1	更新 TBL 18-1、Fig 13-3，並修正圖片轉換錯誤	Jul 5, 2007	

AMIC-COM CONFIDENTIAL

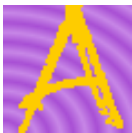
#### **Important Notice:**

AMIC-COM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMIC-COM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMIC-COM products in such applications is understood to be fully at the risk of the customer.



## 目錄

1. 一般描述 .....	5
2. 特性 .....	5
3. 基本應用 .....	5
4. 接腳配置 .....	5
5. 接腳說明 .....	6
6. 系統方塊圖 .....	7
7. 電氣特性 .....	8
8. 控制暫存器 .....	9
8.1 控制暫存器說明 .....	10
8.2 重置 (Reset) 與晶片致能 (Chip enable) .....	19
8.2.1 重置 .....	19
8.2.2 晶片致能 .....	20
9. SPI 串列介面控制 .....	22
9.1 SPI 格式 .....	22
9.2 SPI 讀/寫動作 .....	22
10. 系統時脈 .....	24
10.1 IF Clock .....	24
10.2 Data rate Clock .....	25
10.3 BB_CLK Clock .....	25
11. RF 頻率設定 .....	26
11.1 RF 工作頻率的計算 .....	26
12. 系統狀態機制 .....	27
12.1 系統狀態 .....	27
12.3 控制狀態改變時間資訊 .....	28
13. 資料處理模式 .....	29
13.1 Direct mode .....	30
13.1.1 傳送時序 .....	31
13.1.2 接收時序 .....	32
13.2 FIFO mode .....	32
13.2.1 FIFO 功能 .....	33
13.2.2 傳送封包格式 .....	34
13.2.3 設定同步碼 .....	35
13.2.4 TX FIFO 寫入動作 .....	36
13.2.5 RX FIFO 讀取動作 .....	36
13.2.6 FIFO 時序特性圖 .....	37
13.2.7 TX 傳送時序 .....	37
13.2.8 RX 接收時序 .....	38
14. CAL state 校準 .....	39
14.1 CAL state 自動校準程序 .....	39
15. VCO bank 校準 .....	40
15.1 VCO bank 校準程序 .....	41
16. RSSI .....	42
16.1 RSSI 斜率校準 .....	42
16.2 RSSI 量測 .....	43
16.3 $RH_{TH}$ 、 $RL_{TH}$ 和 CD .....	43
17. 溫度感測器 .....	44
17.1 溫度量測 .....	44
18. 振盪電路 .....	45
18.1 使用石英振盪器 .....	45
18.2 使用外部時脈 .....	45
19. 應用電路 .....	46
20. 產品包裝規格 .....	47
21. 封裝資訊 .....	48



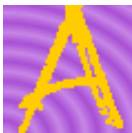
### 圖片索引

Fig 4-1: A7121/A7122 QFN Package Top View .....	5
Fig 6-1: 系統方塊圖.....	7
Fig 8-1: A7121/A7122 Reset及CE之內部結構圖.....	19
Fig 8-2: 使用pin RESETN讓RF chip重置 .....	19
Fig 8-3: 使用bit RSTN讓RF chip重置 .....	19
Fig 8-4: 使用pin MS0 來設定晶片致能.....	20
Fig 8-5: 使用bit CE來設定晶片致能.....	21
Fig 9-1: SPI Write operation.....	22
Fig 9-2: SPI Read operation .....	22
Fig 10-1: 系統時脈方塊圖.....	24
Fig 12-1: 系統狀態機制圖.....	27
Fig 12-2: STBY-SLEEP-STBY state.....	28
Fig 13-2: Direct mode接腳配置 .....	30
Fig 13-2: Direct mode的TX傳送時序圖 .....	31
Fig 13-3: Direct mode的資料同步示意 .....	31
Fig 13-4: Direct mode的RX接收時序圖 .....	32
Fig 13-5: Direct mode接收同步示意 .....	32
Fig 13-6: FIFO mode, I/O配置.....	33
Fig 13-7: FIFO寫入腳位設定 .....	33
Fig 13-8: FIFO mode傳送封包格式 .....	34
Fig 13-9: 寫入Access code register .....	35
Fig 13-10: TX FIFO 寫入時序圖 .....	36
Fig 13-11: RX FIFO 讀出時序圖 .....	36
Fig 13-12: FIFO mode時的TX傳送時序圖.....	37
Fig 13-13: FIFO mode時的RX接收時序圖 .....	38
Fig 15-1: VT值與VCO bank及頻率的關係.....	40
Fig 15-2: VCO校準程序 .....	41
Fig 16-1: Typical RSSI characteristic .....	42
Fig 16-2: RSSI電路基本方塊圖 .....	42
Fig 16-3: RH <sub>TH</sub> , RL <sub>TH</sub> 和CD_TXEN的關係圖.....	43
Fig 18-1: 石英振盪電路連接線路.....	45
Fig 18-2: 外部振盪源連接電路.....	45



### 表格索引

TBL 7-1: 電氣特性表 .....	8
TBL 8-1: 控制暫存器列表 .....	9
TBL 8-2: Synthesizer Register I (Address: 00h) .....	10
TBL 8-3: Synthesizer Register II (Address: 01h) .....	10
TBL 8-4: System Clock Register (Address: 02h) .....	11
TBL 8-5: Mode Control Register (Address: 03h) .....	11
TBL 8-6: Tx Control Register I (Address: 04h) .....	12
TBL 8-7: Tx Control Register II (Address: 05h) .....	12
TBL 8-8: Rx Control Register I (Address: 06h) .....	13
TBL 8-9: Rx Control Register II (Address: 07h) .....	13
TBL 8-10: FIFO Control Register (Address: 08h) .....	14
TBL 8-11: Access Code Register (Address: 09h) .....	14
TBL 8-12: Thermometer Register (Address: 0Ah) .....	15
TBL 8-13: RSSI Register (Address: 0Bh) .....	15
TBL 8-14: Calibration Control Register I (Address: 0Ch) .....	15
TBL 8-15: Calibration Control Register II (Address: 0Dh) .....	16
TBL 8-16: ADC Sampling Clock Register (Address: 0Eh) .....	17
TBL 8-17: IF Filter Register (Address: 0Fh) .....	17
TBL 8-18: Data Filter Register (Address: 10h) .....	17
TBL 8-19: Demodulator Register (Address: 11h) .....	18
TBL 8-20: RH Register (Address: 12h) .....	18
TBL 8-21: RL Register (Address: 13h) .....	18
TBL 8-22: 重置後受影響之控制暫存器列表 .....	20
TBL 10-1: 系統時脈設定會使用到的控制暫存器 .....	24
TBL 10-2: 常用的系統時脈設定列表 .....	25
TBL 12-1: 控制狀態一覽表 .....	28
TBL 13-1: 資料處理模式選擇 .....	29
TBL 14-1: CAL state校準會使用到的控制暫存器 .....	39
TBL 15-1: VCO bank校準程序會使用到的控制暫存器 .....	40
TBL 18-1: 石英振盪器的規格限制 .....	45



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 1. 一般描述

A7121/A7122 是一 CMOS 製程的射頻晶片，適用於 2.4GHz ISM 頻段的無線應用。採用 GFSK/FSK 調變技術，資料傳送速率可分為 3Mbps/1Mbps。可程式化設置工作頻率。

### 2. 特性

- Frequency bands: 2.4GHz ISM band.
- Programmable RF output power: up to 0 dBm.
- Low power consumption: RX:28mA, TX:34mA.
- Supply voltage 2.25 ~ 2.75V.
- High sensitivity (-85dBm at 1Mbps,  $\leq 1E-3$  BER).
- Data rate up to 3Mbps.
- RSSI (Received Signal Strength Indicator).
- Separate 64 bytes TX/RX FIFO for data buffer.
- QFN32 package (5mm X 5mm).

### 3. 基本應用

- 無線數位語音
- 無線滑鼠、鍵盤
- 無線遊戲搖桿
- 無線玩具
- 2.4GHz ISM 頻段通信系統

### 4. 接腳配置

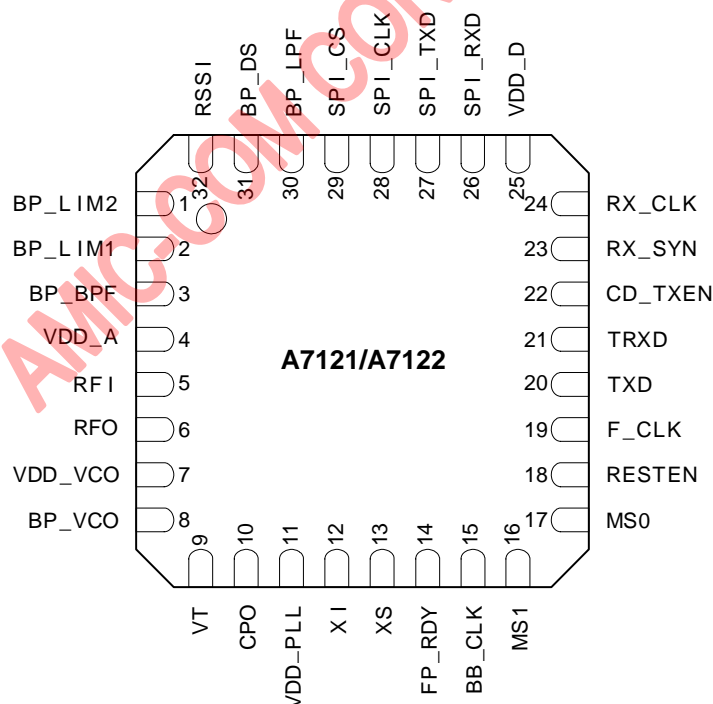
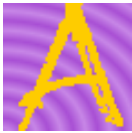


Fig 4-1: A7121/A7122 QFN Package Top View



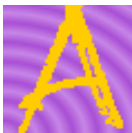
## 5. 接腳說明

TBL 5-1: 接腳說明列表

Pin No.	Symbol	I/O	Function Description
1	BP_LIM2	AO	Limiter bypass. 外接電容連至 BP_LIM1.
2	BP_LIM1	AO	Limiter bypass. 外接電容連至 BP_LIM2.
3	BP_BPF	AO	BPF bypass. 連至外部電容.
4	VDD_A	PI	類比(Analog)電源輸入.
5	RFI	AI	RF 輸入端.
6	RFO	AO	RF 輸出端.
7	VDD_VCO	PI	VCO 電源輸入.
8	BP_VCO	AO	VCO bypass. 連至外部電容.
9	VT	AI	VCO VT(tuning voltage)輸入.
10	CPO	AO	Charge-pump 輸出.
11	VDD_PLL	PI	PLL 電源輸入.
12	XI	AI	Colpitts 振盪電路接點 1.
13	XS	AI	Colpitts 振盪電路接點 2.
14	FP_RDY	DO	校準 ready 信號/ FIFO 封包傳送/接收完成指示.
15	BB_CLK	DO	參考時脈輸出,可提供給外部電路使用.
16	MS1	DI	收發器(Transceiver)操作模式選擇. MS [1:0] = x0: 睡眠模式(Sleep mode). MS [1:0] = 01: 等待模式(Standby mode). MS [1:0] = 11: 傳送/接收模式(TRX mode).
17	MS0	DI	
18	RESETN	DI	
19	F_CLK	DI	FIFO 的時脈輸入.
20	TXD	DI	TX 資料輸入.
21	TRXD	DI/O	輸入: TX 資料輸入. 輸出: RX 資料輸出.
22	CD_TXEN	DI/O	輸入: TX 資料調變致能. 輸出: 載波(Carrier) 偵測.
23	RX_SYN	DO	接收時,找到正確同步碼信號輸出.
24	RX_CLK	DO	接收資料時脈輸出.
25	VDD_D	PI	數位電路電源輸入.
26	SPI_RXD	DI	SPI 資料輸入.
27	SPI_TXD	DO	SPI 資料輸出.
28	SPI_CLK	DI	SPI 時脈.
29	SPI_CS	DI	SPI 致能.
30	BP_LPF	AO	LPF bypass. 連接外部電容.
31	BP_DS	AO	Data slicer reference bypass. 連至外部電容.
32	RSSI	AO	RSSI 類比電壓輸出.

Note:

A : 類比(Analog)、D : 數位 (Digital)、I : 輸入 (Input)、O : 輸出 (Output)、P : 電源 (Power)



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 6. 系統方塊圖

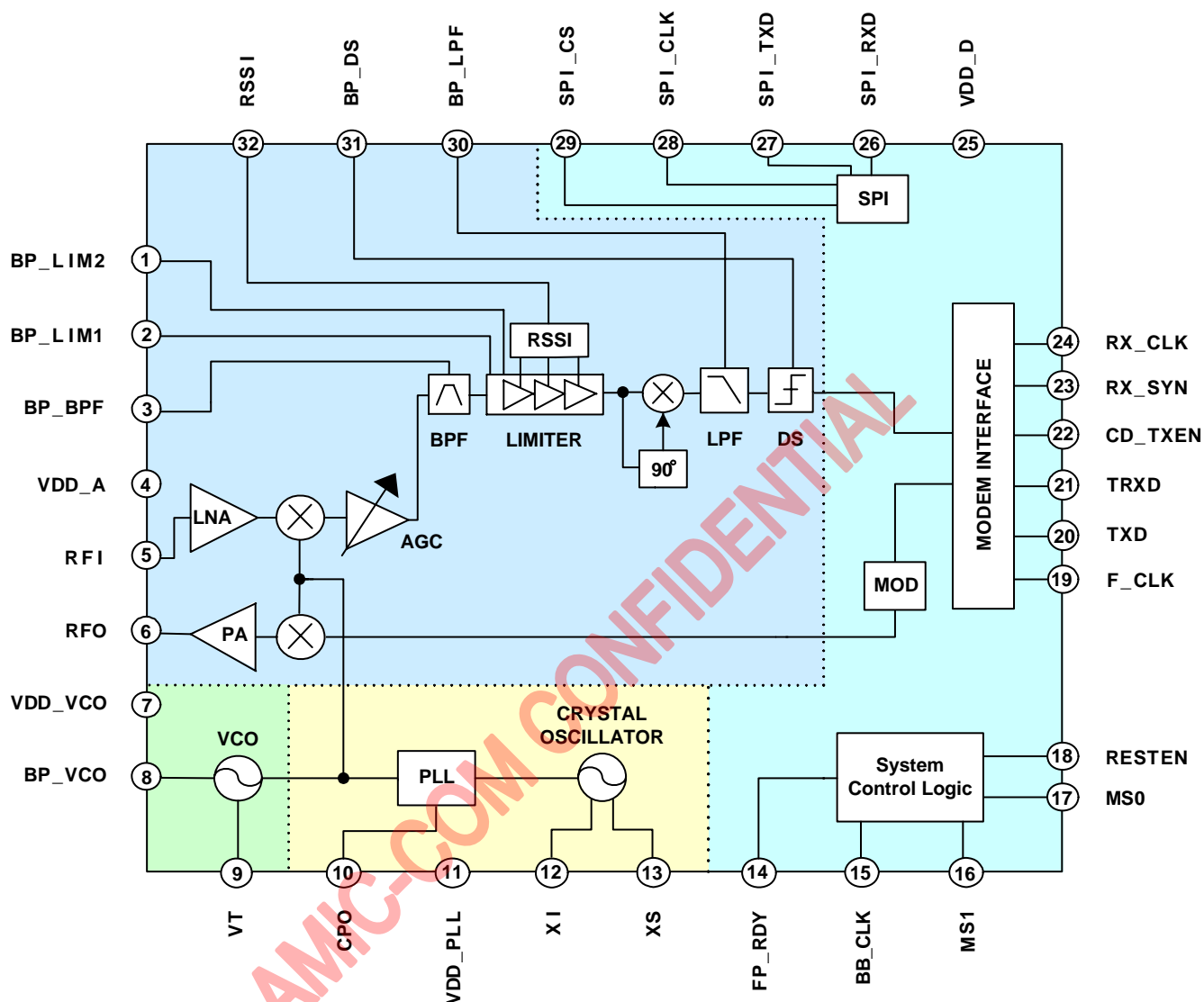
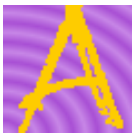


Fig 6-1: 系統方塊圖



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 7. 電氣特性

(Ta=25°C, VDD=2.5V, data rate= 3Mbps(A7121) or 1Mbps(A7122) , TX data without Gaussian shaping unless otherwise noted.)

TBL 7-1: 電氣特性表

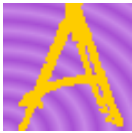
Parameter	Description	Minimum	Typical	Maximum	Unit
General					
Operating Temperature		-40		85	°C
Supply Voltage		2.25	2.5	2.75	V
Current Consumption Transceiver Circuit	RX Mode		28		mA
	TX Mode @0dBm output		34		mA
	TX Mode @-6dBm output		24		mA
	Synthesizer Mode		10		mA
	Standby Mode		1.5		mA
	Sleep Mode		2		μA
Phase Locked Loop					
X'TAL Settling Time			5		ms
X'TAL Frequency	@1M Mode <sup>1</sup>	4, 6, 8, 12, 16, 20, 24			MHz
	@3M Mode <sup>1</sup>	9, 18			
VCO Operation Frequency			2400~2484		MHz
PLL Settling Time @settle to 20KHz	@ Loop BW = 30 KHz		150		μs
Transmitter					
TX Power	@ Maximum Power Setting		0	4	dBm
Power Control Range			6		dB
In-band Spurious	Adjacent Channel			-20	dBc
	Second Channel			-20	dBm
	≥ Third Channel			-40	dBm
Out-band Spurious <sup>2</sup> (Operating Mode)	30MHz~1GHz			-36	dBm
	1GHz~12.75GHz			-30	
	1.8GHz~ 1.9GHz			-47	
	5.15GHz~ 5.3GHz			-47	
Frequency Deviation	@1M Mode		250		KHz
	@3M Mode		750		
TX Settling Time	@ Loop BW = 30 KHz		30		μs
Receiver					
Sensitivity @BER=0.001	@1M Mode		-85		dBm
	@3M Mode		-80		
IF Frequency	@1M Mode		2		MHz
	@3M Mode		4.5		
Image Rejection			20		dB
Maximum Input Power	@RF input			-20	dBm
Spurious Emission <sup>2</sup>	30MHz~1GHz			-57	dBm
	1GHz~12.75GHz			-47	
AGC Gain Control			0, 5, 15, 20		dB
RSSI Range	@RF input	-95		-55	dBm
RSSI Slope Accuracy	@RF input= -70 and -80 dBm		20		%
RX Settling Time	@ Loop BW = 30 KHz		30		μs
Digital IO DC characteristics					
High Level Input Voltage (V <sub>IH</sub> )		0.8*VDD		VDD	V
Low Level Input Voltage (V <sub>IL</sub> )		0		0.2*VDD	V
High Level Output Voltage (V <sub>OH</sub> )	@I <sub>OH</sub> = -0.5mA	VDD-0.4		VDD	V
Low Level Output Voltage (V <sub>OL</sub> )	@I <sub>OL</sub> = 0.5mA	0		0.4	V

Note:

Data rate= 1Mbps @1M Mode, Data rate= 3Mbps @3M Mode. A7122 operates at 1M Mode only.

With external RF filter that provides minimum 17dB of attenuation in the band: 30MHz ~ 2GHz and 3GHz ~12.75GHz.





# A7121/A7122

## 2.4GHz GFSK Transceiver

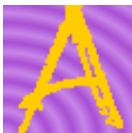
### 8. 控制暫存器

A7121 chip 有 20x16-bit 的控制暫存器，可透過簡單的 4 線串列相容（SPI\_CS, SPI\_CLK, SPI\_RXD, SPI\_TXD）的介面操作讀出或寫入資料。

**TBL 8-1: 控制暫存器列表**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Synth. I	W	BNK2	BNK1	BNK0	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MA4	MA3	MA2	MA1	MA0
01h Synth. II	W	*DVT1	*DVT0	-	CP2	CP1	CP0	VTH2	VTH1	VTH0	R6	R5	R4	R3	R2	R1	R0
02h System Clock	R/W	-	XIR4	XIR3	XIR2	XIR1	XIR0	XDR4	XDR3	XDR2	XDR1	XDR0	XBR4	XBR3	XBR2	XBR1	XBR0
03h Mode	R/W	-	-	-	-	-	-	EXIR	EXDR	EXBR	TRD	DR1	DR0	TRC	SYN	CE	RSTN
04h TX I	W	QA4	QA3	QA2	QA1	QA0	IA4	IA3	IA2	IA1	IA0	GF	DEV3	DEV2	DEV1	DEV0	TXDI
05h TX II	W	IOC1	IOC0	QO3	QO2	QO1	QO0	IO3	IO2	IO1	IO0	PC5	PC4	PC3	PC2	PC1	PC0
06h RX I	R/W	-	-	-	SYN1	DS2	DS1	DS0	RCP2	RCP1	RCP0	ETH2	ETH1	ETH0	DPC1	DPC0	RXDI
07h RX II	W	-	-	-	-	-	-	-	-	-	-	DFG2	DFG1	DFG0	VGA2	VGA1	VGA0
08h FIFO	R/W	-	-	-	FT	FBC5	FBC4	FBC3	FBC2	FBC1	FBC0	FRC	EFR	FWC	EFW	FCKI	FDS
09h Access Code	W	TAC7	TAC6	TAC5	TAC4	TAC3	TAC2	TAC1	TAC0	RAC7	RAC6	RAC5	RAC4	RAC3	RAC2	RAC1	RAC0
0Ah Thermometer	R	T7	T6	T5	T4	T3	T2	T1	T0	-	-	-	-	-	-	-	-
0Bh RSSI	R	RSSI7	RSSI6	RSSI5	RSSI4	RSSI3	RSSI2	RSSI1	RSSI0	-	-	-	-	-	-	-	-
0Ch Calibration I	R/W	*TR	*RSSR	*IFR	*DFR	*DEMR	*RHR	*RLR	RLC	RHC	DEMC	DFC	IFC	MCAL	RSS1	RSS0	ET
0Dh Calibration II	R/W	*TAD2	*TAD1	*TAD0	-	-	-	-	-	-	RR0	TADB	FPRI	FPRS	ERSS	ECAL	ETR
0Eh ADC Sampling	w	-	-	-	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	ADC3	ADC2	ADC1	ADC0
0Fh IF Filter	w	*IFF7	*IFF6	*IFF5	*IFF4	*IFF3	*IFF2	*IFF1	-	IFF7	IFF6	IFF5	IFF4	IFF3	IFF2	IFF1	-
10h Data Filter	w	*DF7	*DF6	*DF5	*DF4	*DF3	*DF2	*DF1	-	DF7	DF6	DF5	DF4	DF3	DF2	DF1	-
11h Demodulator	w	*DEM7	*DEM6	*DEM5	*DEM4	*DEM3	*DEM2	*DEM1	*DEM0	DEM7	DEM6	DEM5	DEM4	DEM3	DEM2	DEM1	DEM0
12h RH	w	*RH15	*RH14	*RH13	*RH12	*RH11	*RH10	*RH9	*RH8	RH7	RH6	RH5	RH4	RH3	RH2	RH1	RH0
13h RL	w	*RL15	*RL14	*RL13	*RL12	*RL11	*RL10	*RL9	*RL8	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0

Legend: - = unimplemented, \* = read only



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 8.1 控制暫存器說明

**TBL 8-2: Synthesizer Register I (Address: 00h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Synth. I	W	BNK2	BNK1	BNK0	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MA4	MA3	MA2	MA1	MA0
Reset																	

**BNK[2:0]:**

VCO 工作頻段(VCO bank)設定。

**MB[7:0]:**

Synthesizer B 計數器設定。

**MA[4:0]:**

Synthesizer A 計數器設定。

MB[7:0] 和MA[4:0] 可用來設定發射/接收的頻率，詳細內容請參考**11. RF頻率設定**

**TBL 8-3: Synthesizer Register II (Address: 01h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h Synth. II	W	*DVT1	*DVT0	-	CP2	CP1	CP0	VTH2	VTH1	VTH0	R6	R5	R4	R3	R2	R1	R0
Reset																	

Legend: \* = read only

**DVT[1:0]:**

VT 電壓值與 VTHH (高電壓門檻值)、VTHL (低電壓門檻值) 做比較後的數位信號輸出。

在 VCO 校準程序中，VCO 的 VT 會與 bit VTH[2:0]設定值做比較，比較後依大小顯示如下：

[00]: VT < VTHL < VTHH，表示 VCO 的 VT 值小於 VTH[2:0]所設定的範圍。

[01]: VTHL < VT < VTHH，表示 VCO 的 VT 值在 VTH[2:0]所設定的範圍內。

[10]: 不使用。

[11]: VTHL < VTHH < VT，表示 VCO 的 VT 值大於 VTH[2:0]所設定的範圍。

**CP[2]:**

保留位元。建議值[0]。

**CP[1:0]:**

Charge pump 電流設定。建議值[10]。

[00]: 100uA。

[01]: 300uA。

[10]: 500uA。

[11]: 700uA。

**VTH[2:0]:**

VT 範圍設定。

在 VCO 校準程序中，VCO 的 VT 會與此設定範圍值比較，建議使用 VTHL=0.3V、VTHH=1.7V 的設定。

[000]: VTHL = 0.3V、VTHH = 1.7V。

[001]: VTHL = 0.5V、VTHH = 1.5V。

[010]: VTHL = 0.6V、VTHH = 1.4V。

[011]: VTHL = 0.5V、VTHH = 1.3V。

[100]: VTHL = 0.3V、VTHH = 1.5V。

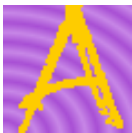
[101]: VTHL = 0.3V、VTHH = 1.7V。

[110]: VTHL = 0.6V、VTHH = 1.2V。

[111]: VTHL = 0.3V、VTHH = VDD-0.7V。

**R[6:0]:**

Synthesizer R 計數器設定。



# A7121/A7122

## 2.4GHz GFSK Transceiver

**TBL 8-4: System Clock Register (Address: 02h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h System Clock	R/W	-	XIR4	XIR3	XIR2	XIR1	XIR0	XDR4	XDR3	XDR2	XDR1	XDR0	XBR4	XBR3	XBR2	XBR1	XBR0
Reset			0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

**XIR[4:0]:**

IF clock 頻率設定。IF Clock = Crystal frequency / ( XIR[4:0] +1 )。

**XDR[4:0]:**

Data rate 頻率設定。Data rate = Crystal frequency / ( XDR[4:0] +1 )。

**XBR[4:0]:**

pin BB\_CLK 信號輸出頻率設定。BB Clock = Crystal frequency / ( XBR[4:0] +1 )。

詳細說明請參考**10. 系統時脈**

**TBL 8-5: Mode Control Register (Address: 03h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
03h Mode	R/W	-	-	-	-	-	-	EXIR	EXDR	EXBR	TRD	DR1	DR0	TRC	SYN	CE	RSTN
Reset								0	0	1	0	0	0	(0)	(0)	1	1

**EXIR:**

內部IF clock控制信號輸出致能。在做**CAL state**校準時必須將IF clock致能。

[0]: 關閉。

[1]: 開啓。

**EXDR:**

內部 data rate clock 控制信號輸出致能。除了 sleep mode 外，在其他模式下均須要將內部 data rate clock 致能 (EXDR=1)。

[0]: 關閉。

[1]: 開啓。

**EXBR:**

pin BB\_CLK 信號輸出致能。

[0]: 關閉。

[1]: 開啓。

**TRD:**

Pin TRXD 單向／雙向設定。

[0]: 在 Direct mode 下，資料輸入使用 pin TXD，資料輸出使用 pin TRXD。在 FIFO mode 下，寫入 FIFO 使用 pin TXD/SPI\_RXD，讀取 FIFO 使用 pin TRXD。

[1]: 在 Direct mode 下，資料輸入／輸出均使用 pin TRXD。在 FIFO mode 下，寫入／讀取 FIFO 均使用 pin TRXD。

**DR[1:0]:**

Data rate 設定。

[00]: 保留位元。

[01]: 1Mbps。

[10]: 保留位元。

[11]: 3Mbps。A7122 保留此選項。

**TRC:**

TX/RX 選擇。

[0]: RX。

[1]: TX。

**SYN:**

Synthesizer 設定。

[0]: 關閉 PLL。

[1]: 開啓 PLL。



# A7121/A7122

## 2.4GHz GFSK Transceiver

### CE:

RF晶片致能，當晶片除能時，RF會進入sleep mode，若要進入其他工作模式，則需先將晶片致能。詳細說明請參考8.3.2 晶片致能。

[0]: sleep mode。

[1]: 正常工作模式。

### RSTN:

控制暫存器重置，當重置發生時，部份的控制暫存器值會被重設。詳細說明請參考8.2.1 重置。

[0]: 重置控制暫存器。

[1]: 正常工作模式。

**TBL 8-6:Tx Control Register I (Address: 04h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
04h TX I	W	QA4	QA3	QA2	QA1	QA0	IA4	IA3	IA2	IA1	IA0	GF	DEV3	DEV2	DEV1	DEV0	TXDI
Reset																	

### QA[4:0]:

Q 振幅細調設定。建議值[11111]。

### IA[4:0]:

I 振幅細調設定。建議值[11111]。

### GF:

高斯濾波器(Gaussian filter)設定。

[0]: 關閉。

[1]: 開啓。

### DEV[3:0]:

頻率偏移量(frequency deviation)設定。建議值[1000]。

$F_{DEV} = \text{data rate} * [0.5 * 127 * (8 + DEV[2:0]) * 2^{DEV[3]}] / 4096$ 。

### TXDI:

RF TX 傳送資料反向設定。

[0]: 正向輸出。

[1]: 反向輸出

**TBL 8-7: Tx Control Register II (Address: 05h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h TX II	W	IQC1	IQC0	QO3	QO2	QO1	QO0	IO3	IO2	IO1	IO0	PC5	PC4	PC3	PC2	PC1	PC0
Reset																	

### IQC[1:0]:

IQ 振幅粗調設定。建議值[11]。

### QO[3:0]:

Q 偏移調整設定。建議值[1000]。

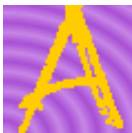
### IO[3:0]:

I 偏移調整設定。建議值[1000]。

### PC[5:0]:

RF TX 輸出功率設定。

RF power	PC[5:0]	IQC[1:0]
0dBm	[111111]	[11]
-3dBm	[000111]	[11]
-6dBm	[000000]	[11]
-10dBm	[000000]	[10]



TBL 8-8: Rx Control Register I (Address: 06h)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h RX I	R/W	-	-	-	SYNI	DS2	DS1	DS0	RCP2	RCP1	RCP0	ETH2	ETH1	ETH0	DPC1	DPC0	RXDI
Reset					0	0	0	0	0	1	1	1	1	0	0	0	0

**SYNI:**

Pin RX\_SYN 信號輸出設定。

[0]: 正向輸出，初始設定為 0，當找到同步定字時，RX\_SYN 會被硬體設定為 1 直到離開 RX。

[1]: 反向輸出，初始設定為 1，當找到同步定字時，RX\_SYN 會被硬體設定為 0 直到離開 RX。

**DS[2:1]:**

Data Slicer 參考電壓模式設定。

[00]: 保留位元。

[01]: 在找到同步字前，使用平均模式。在找到同步字後關閉平均模式，並鎖定參考電壓。

[10]: 使用平均模式。

[11]: 固定參考電壓模式。

**DS[0]:**

保留位元。建議值[0]。

**RCP[2:0]:**

接收資料取樣時脈位移，此位移單位為 1/8 資料位元。建議值為 [011]。

**ETH[2:0]:**

容許同步字 (Sync Word) 錯誤位元數設定。建議值為 [110]，容許 6 bits 的錯誤。

**DPC[1:0]:**

RF 接收資料處理設定。

[00]: Direct 模式，關閉同步 (frame sync) 功能。

[01]: Direct 模式，啟動同步功能。在未收到正確同步碼 (access code) 之前，pin TRXD 不會輸出信號。

[10]: Direct 模式，啟動同步功能。不論有無收到正確同步碼，pin TRXD 均會輸出信號。

[11]: FIFO 模式，啟動同步功能。

詳細說明請參考 **15. 資料處理模式**。

**RXDI:**

RF 接收資料信號輸入設定。

[0]: 正向輸入。

[1]: 反向輸入。

TBL 8-9: Rx Control Register II (Address: 07h)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h RX II	W	-	-	-	-	-	-	-	-	-	-	DFG2	DFG1	DFG0	VGA2	VGA1	VGA0
Reset												1	1	1	1	1	1

**DFG[2:0]:**

Data Filter gain 設定。建議值[110]。

**VGA[2:0]:**

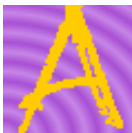
IF VGA gain 設定。

[0xx]: 0dB。

[10x]: 5dB。

[110]: 15dB。

[111]: 20dB。



TBL 8-10: FIFO Control Register (Address: 08h)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
08h FIFO	R/W	-	-	-	FT	FBC5	FBC4	FBC3	FBC2	FBC1	FBC0	FRC	EFR	FWC	EFW	FCKI	FDS
Reset					0	0	0	0	0	0	0	0	0	0	0	0	0

**FT:**

FIFO 測試模式，保留 bit。

**FBC[5:0]:**

TX/RX FIFO 傳送/接收一次封包(packet)資料的長度。

一次封包(packet)長度為 FBC[5:0] + 1 bytes。

**FRC:**

RX FIFO 封包(packet)控制。

[0]:當 RX FIFO 讀出入資料超過 FBC[5:0]+1 bytes 時，之後的資料不再輸出。

[1]:當 RX FIFO 讀出資料超過 FBC[5:0]+1 bytes 時，讀出指標會回到 0x00h 位址，可繼續再讀出資料。

**EFR:**

RX FIFO 資料讀出致能。

[0]:禁止讀出/重置讀出資料位址指標。

[1]:資料讀出致能。

**FWC:**

TX FIFO 封包(packet)控制。

[0]:當 TX FIFO 寫入資料超過封包長度(FBC[5:0]+1 bytes)時，之後寫入的資料會忽略。

[1]:當 TX FIFO 寫入資料超過封包長度(FBC[5:0]+1 bytes)時，寫入指標會回到 0x00h 位址，可繼續再寫入資料。此時寫入的資料會覆蓋之前寫入的值。

**EFW:**

TX FIFO 資料寫入致能。

[0]:禁止寫入/重置寫入資料位址指標。

[1]:資料寫入致能。

**FCKI:**

Pin F\_CLK 信號輸入設定。

[0]: 正向輸入。

[1]: 反向輸入。

**FDS:**

TX FIFO 資料寫入 pin 的選擇。

[0]: 選擇 pin TXD 寫入。

[1]: 選擇 pin SPI\_RXD 寫入。

詳細說明請參見 **15.2 FIFO mode**。

TBL 8-11: Access Code Register (Address: 09h)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
09h Access Code	W	TAC7	TAC6	TAC5	TAC4	TAC3	TAC2	TAC1	TAC0	RAC7	RAC6	RAC5	RAC4	RAC3	RAC2	RAC1	RAC0
Reset																	

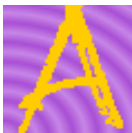
**TAC[7:0]:**

TX 端同步碼設定。

**RAC[7:0]:**

RX 端同步碼設定。

Access code register 共有 9 bytes 的長度。依序對這控制暫存器，連續寫入 9 次動作。詳細說明請參見 **16.2.3 設定同步碼**。



TBL 8-12: Thermometer Register (Address: 0Ah)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ah Thermometer	R	T7	T6	T5	T4	T3	T2	T1	T0	-	-	-	-	-	-	-	-
Reset																	

**T[7:0]:**

8 bit RF chip 內部溫度測量輸出值。溫度的斜率約為 2 °C/LSB。

詳細說明請參照 **17. 溫度感測器**。

TBL 8-13: RSSI Register (Address: 0Bh)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh RSSI	R	RSSI7	RSSI6	RSSI5	RSSI4	RSSI3	RSSI2	RSSI1	RSSI0	-	-	-	-	-	-	-	-
Reset																	

**RSSI[7:0]:**

8 bit RSSI 測量輸出值。  $V_{RSSI} = 0.2 + 1.6 * RSSI[7:0] / 256$ 。

詳細說明請參照 **16. RSSI**。

TBL 8-14: Calibration Control Register I (Address: 0Ch)

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch Calibration I	R/W	*TR	*RSSR	*IFR	*DFR	*DEMR	*RHR	*RLR	RLC	RHC	DEMC	DFC	IFC	MCAL	RSS1	RSS0	ET
Reset		(1)	(1)	(1)	(1)	(1)	(1)	(1)	0	0	0	0	0	0	0	0	(0)

Legend: \* = read only

**TR:**

內部溫度測量 Ready。

當 bit ET=1 時，此 bit 會自動清除為 0。當完成量測動作後此這 bit 會被設定為 1。

**RSSR:**

RSSI 測量 Ready。

當 bit ERSS=1 時，此 bit 會自動清除為 0。當完成量測動作後，此 bit 會被設定為 1。

**IFR:**

IF Filter 校準 Ready。

當 bit IFC=1 且 ECAL=1 時，此 bit 會自動清除為 0。直到完成校準動作後，此 bit 會被設定為 1。

**DFR:**

Data Filter 校準 Ready。

當 bit DFC=1 且 ECAL=1 時，此 bit 會自動清除為 0。直到完成校準動作後，此 bit 會被設定為 1。

**DEMR:**

Demodulator 校準 Ready。

當 bit DFC=1 且 ECAL=1 時，此 bit 會自動清除為 0。直到完成校準動作後，此 bit 會被設定為 1。

**RHR:**

RH 校準 Ready。

當 bit RHC=1 且 ECAL=1 時，此 bit 會自動清除為 0。直到完成校準動作後，此 bit 會被設定為 1。

**RLR:**

RL 校準 Ready。

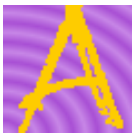
當 bit RLC=1 且 ECAL=1 時，此 bit 會自動清除為 0。直到完成校準動作後，此 bit 會被設定為 1。

**RLC:**

RL 校準選項致能。

[0]:不選取

[1]:選取



# A7121/A7122

## 2.4GHz GFSK Transceiver

**RHC:**

RH 校準選項致能。

[0]:不選取

[1]:選取

**DEMC:**

Demodulator 校準選項致能。

[0]:不選取

[1]:選取

**DFC:**

Data Filter 校準選項致能。

[0]:不選取

[1]:選取

**IFC:**

IF Filter 校準選項致能。

[0]:不選取

[1]:選取

**MCAL:**

手動校準選項。

[0]:自動校準

[1]:手動校準

**RSS[1:0]:**

RSSI 量測選項。

[00]: 在 RX FIFO 完成一封包(packet)收取資料結束後，自動啟動 RSSI 量測動作。

[01]: 在 RX 收到正確的 Access code 後，自動啟動 RSSI 量測動作。

[1x]: 在 bit ERSS=1 設定後，啟動 RSSI 量測動作。

**ET:**

內部溫度量測致能。此 bit 設定為 1 後開始溫度量測，在量測動作完成時，會自動清除為 0。

**TBL 8-15: Calibration Control Register II (Address: 0Dh)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Dh Calibration II	R/W	*TAD2	*TAD1	*TAD0	-	-	-	-	-	-	RR0	TADB	FPRI	FPRS	ERSS	ECAL	ETR
Reset											0	0	0	0	0	(0)	(1)

Legend: \* = read only

**TAD[2:0]:**

保留位元。

**RR0:**

保留位元。建議值[0]。

**TADB:**

保留位元。建議值[0]。

**FPRI:**

pin FP\_RDY 信號輸出反向設定。

[0]:FP\_RDY 在動作時輸出高準位，在一般模式下輸出低準位。

[1]:FP\_RDY 在動作時輸出低準位，在一般模式下輸出高準位。和設定為 0 時的動作相反。

**FPRS:**

Pin FP\_RDY 信號輸出選擇。

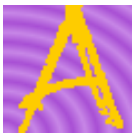
[0]:在 FIFO 模式下，當傳送／接收完一個封包後，pin FP\_RDY 會動作。

[1]:在執行校準程序時，當完成校準 IF Filter, Data Filter, Demodulator, RH, RL 程序時，pin FP\_RDY 會動作。

**ERSS:**

RSSI 量測致能。這 bit 設定後，在 RSSI 量測動作完成時，會自動清除為 0。



**ECAL:**

自動校準致能。

[0]:停止自動校準。

[1]:自動校準項目會依 bit IFC, DFC, DEMC, RHC, RLC 是否被設定而啟動校準動作。

**ETR:**

TX/RX 動作致能。這 bit 是軟體控制的 MS1，與使用 pin MS1 控制功能相同。

如使用這 bit 控制 TX/RX 的動作，pin MS1 需 pull high。

如 pin MS1 已被設定為 0，則這 bit 會自動設定為 1。

**TBL 8-16: ADC Sampling Clock Register (Address: 0Eh)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh ADC Sampling	w	-	-	-	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	ADC3	ADC2	ADC1	ADC0
Reset																	

**AD[8:6]:**

RH & RL 校準程序中抓取校準值的延遲時間。建議值[011]。Delay time = 32us \* 2<sup>AD[8:6]</sup>

**AD[5:3]:**

IF Filter & Data Filter & Demodulator 校準程序中抓取校準值的延遲時間。建議值[011]。Delay time = 30us \* 2<sup>AD[5:3]</sup>

**AD[2:0]:**

溫度 & RSSI量測程序中抓取資料值的延遲時間。建議值[000]。Delay time = 4us \* 2<sup>AD[2:0]</sup>

**ADC[3:2]:**

保留位元。建議值[00]。

**ADC[1:0]:**

Demodulator校準程序中sampling clock設定。建議值[11]。Fs = IF frequency / 2<sup>(AD[1:0] + 1)</sup>

**TBL 8-17: IF Filter Register (Address: 0Fh)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Fh IF Filter	w	*IFF7	*IFF6	*IFF5	*IFF4	*IFF3	*IFF2	*IFF1	-	IFF7	IFF6	IFF5	IFF4	IFF3	IFF2	IFF1	-
Reset																	

Legend: \* = read only

**Bit 15:9 (IFF[7:1]):**

IF filter 自動校準程序所設定之設定值，此 7 bits 只能讀出。在做完 IF filter 校準程序後，會以此值覆蓋先前校準設定的設定值。

**Bit 7:1 (IFF[7:1]):**

手動設定 IF Filter 值，此 7 bits 只能寫入，當 Bit 7:1 被寫入後會覆蓋 Bit 15:9 的值。

**TBL 8-18: Data Filter Register (Address: 10h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
10h Data Filter	w	*DF7	*DF6	*DF5	*DF4	*DF3	*DF2	*DF1	-	DF7	DF6	DF5	DF4	DF3	DF2	DF1	-
Reset																	

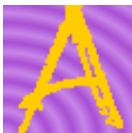
Legend: \* = read only

**Bit 15:9 (DF[7:1]):**

Data filter 自動校準程序所設定之設定值，此 7 bits 只能讀出。在做完 Data filter 校準程序後，會以此值覆蓋先前校準設定的設定值。

**Bit 7:1 (DF[7:1]):**

手動設定 Data Filter 值，此 7 bits 只能寫入，當 Bit 7:1 被寫入後會覆蓋 Bit 15:9 的值。

**TBL 8-19: Demodulator Register (Address: 11h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
11h Demodulator	w	*DEM7	*DEM6	*DEM5	*DEM4	*DEM3	*DEM2	*DEM1	*DEM0	DEM7	DEM6	DEM5	DEM4	DEM3	DEM2	DEM1	DEM0
Reset																	

Legend: \* = read only

**Bit 15:8 (DEM[7:0]):**

Demodulator 自動校準程序所設定之設定值，此 8 bits 只能讀出。在做完 Demodulator 校準程序後，會以此值覆蓋先前校準設定的設定值。

**Bit 7:0 (DEM[7:0]):**

手動設定 Demodulator 值，此 8 bits 只能寫入，當 Bit 7:0 被寫入後會覆蓋 Bit 15:8 的值。

**TBL 8-20: RH Register (Address: 12h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
12h RH	w	*RH15	*RH14	*RH13	*RH12	*RH11	*RH10	*RH9	*RH8	RH7	RH6	RH5	RH4	RH3	RH2	RH1	RH0
Reset																	

Legend: \* = read only

**RH[15:8]:**

RH CAL 自動校準程序所設定之設定值，此 8 bits 只能讀出。在做完 RH CAL 校準程序後，會以此值覆蓋先前校準設定的設定值。

**RH[7:0]:**

手動設定偵測 RF 輸入功率的 RSSI 的臨界值(上限值)，此 8 bits 只能寫入，當 RH[7:0]被寫入後不會覆蓋 RH[15:8]的值但 RF IC 會使用手動設定的值。

**TBL 8-21: RL Register (Address: 13h)**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
13h RL	w	*RL15	*RL14	*RL13	*RL12	*RL11	*RL10	*RL9	*RL8	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0
Reset																	

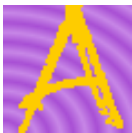
Legend: \* = read only

**RL[15:8]:**

在做完 RL CAL 校準 RSSI 斜率參考點 RL 值。在每次完成一次校準程序後，會覆蓋先前校準設定的設定值。

**RL[7:0]:**

手動設定偵測 RF 輸入功率的 RSSI 的臨界值(下限值)，此 8 bits 只能寫入，當 RL[7:0]被寫入後不會覆蓋 RL[15:8]的值但 RF IC 會使用手動設定的值。



### 8.2 重置 (Reset) 與晶片致能 (Chip enable)

A7121/A7122 提供重置與晶片致能的功能，這兩個功能均可以用控制接腳或控制暫存器位元來設定，其內部結構如下：

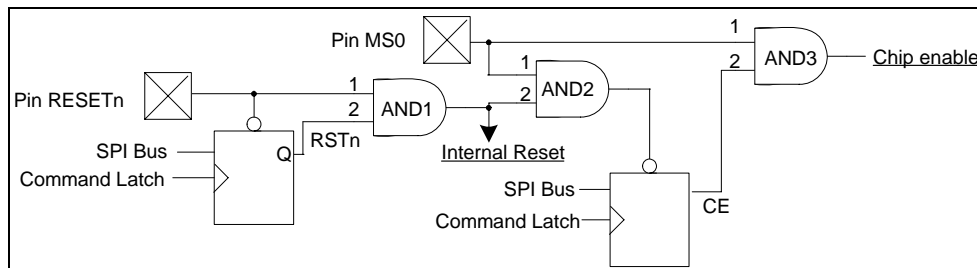


Fig 8-1: A7121/A7122 Reset 及 CE 之內部結構圖

#### 8.2.1 重置

在 RF chip 上電後或有必要時，可以利用 pin RESETN 或 bit RSTN 來重置 RF chip。

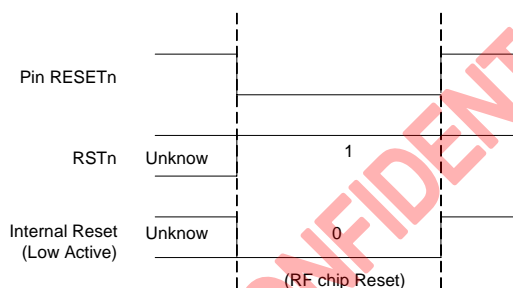


Fig 8-2: 使用 pin RESETN 讓 RF chip 重置

如上圖所示，當 pin RESETN 被設定為 0 時，RF chip 會被重置。接下來將 pin RESETN 設定為 1 後，RF chip 脫離重置狀態而可以進行接下來的操作。

若要節省控制接腳的數量，可以利用 Mode control register 中的 bit RSTN 來做設定，由於 bit RSTN 會在 pin RESETN 為 0 時被強制設定為 1，所以設定 bit RSTN 之前，須將 pin RESETN 拉高 (pull-high)。

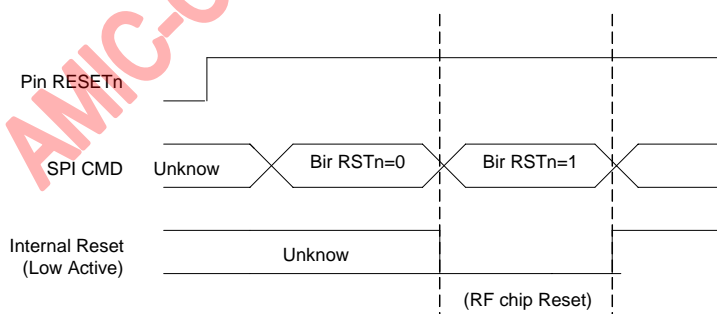


Fig 8-3: 使用 bit RSTN 讓 RF chip 重置

如上圖所示，將 bit RSTN 設為 0 後，RF chip 會被重置，接下來將 bit RSTN 設為 1 後，RF chip 即脫離重置而可進行接下來的操作。

無論是用 pin RESETN 或是用 bit RSTN 進行重置，在重置後，有部份的控制暫存器值會自動清除為 Reset 值，受到影響的暫存器值表列如下：



TBL 8-22: 重置後受影響之控制暫存器列表

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h System Clock	R/W	-	XIR4	XIR3	XIR2	XIR1	XIR0	XDR4	XDR3	XDR2	XDR1	XDR0	XBR4	XBR3	XBR2	XBR1	XBR0
Reset			0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
03h Mode	R/W	-	-	-	-	-	-	EXIR	EXDR	EXBR	TRD	DR1	DR0	TRC	SYN	CE	RSTN
Reset								0	0	1	0	0	0	(0)	(0)	1	1
06h RX I	R/W	-	-	-	SYNI	DS2	DS1	DS0	RCP2	RCP1	RCP0	ETH2	ETH1	ETH0	DPC1	DPC0	RXDI
Reset					0	0	0	0	0	1	1	1	1	0	0	0	0
07h RX II	W	-	-	-	-	-	-	-	-	-	-	DFG2	DFG1	DFG0	VGA2	VGA1	VGA0
Reset												1	1	1	1	1	1
08h FIFO	R/W	-	-	-	FT	FBC5	FBC4	FBC3	FBC2	FBC1	FBC0	FRC	EFR	FWC	EFW	FCKI	FDS
Reset					0	0	0	0	0	0	0	0	0	0	0	0	0
0Ch Calibration I	R/W	*TR	*RSSR	*IFR	*DFR	*DEMR	*RHR	*RLR	RLC	RHC	DEMC	DFC	IFC	MCAL	RSS1	RSS0	ET
Reset		(1)	(1)	(1)	(1)	(1)	1	1	0	0	0	0	0	0	0	0	(0)
0Dh Calibration II	R/W	*TAD2	*TAD1	*TAD0	-	-	-	-	-	-	RR0	TADB	FPRI	FPRS	ERSS	ECAL	ETR
Reset											0	0	0	0	0	(0)	(1)

Legend: \* = read only

## 8.2.2 晶片致能

當晶片被致能時，代表 RF chip 脫離 sleep mode，反之則代表 RF chip 進入 sleep mode。A7121/A7122 同樣可以利用控制接腳或控制暫存器位元來設定。從 A7121/A7122 之內部結構圖上可知，當 RF chip 在重置狀態時，bit CE 會強制設定為 1，而此時晶片是否致能則依據 pin MS0 的狀態來決定：

pin RESETN	bit RSTN	pin MS0	bit CE	Internal reset	Chip enable
0	強制設為 1	0	強制設為 1	0 (重置)	0 (sleep mode)
1	0	0	強制設為 1	0 (重置)	0 (sleep mode)
1	1	0	強制設為 1	1 (非重置)	0 (sleep mode)
0	強制設為 1	1	強制設為 1	0 (重置)	1 (active mode)
1	0	1	強制設為 1	0 (重置)	1 (active mode)
1	1	1	0	1 (非重置)	0 (sleep mode)
1	1	1	1	1 (非重置)	1 (active mode)

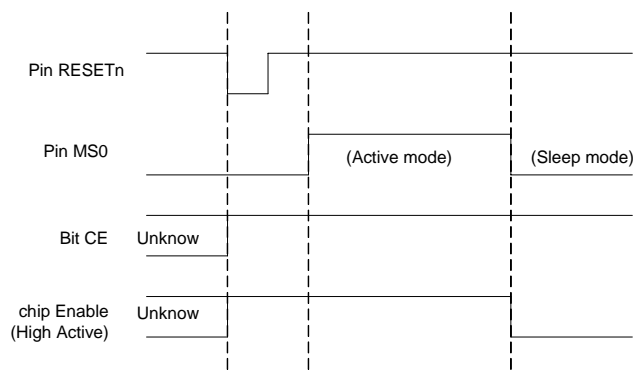
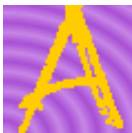


Fig 8-4: 使用 pin MS0 來設定晶片致能

如圖 Fig 8-4 所示，當 pin MS0 被設定為 0 時，無論 RF chip 是否被重置，RF chip 均會進入 sleep mode。接下來將 pin MS0 被設定為 1 時，RF chip 會離開 sleep mode 而進入 active mode。之後再將 pin MS0 設定為 0，RF chip 進入 sleep mode。根據 A7121/A7122 內部結構圖所示，當 pin MS0 被設定為 0 時，bit CE 會被強制設定為 1，所以若要對 bit CE 做設定時，



## A7121/A7122

### 2.4GHz GFSK Transceiver

必須先將 pin MS0 拉高至高準位。

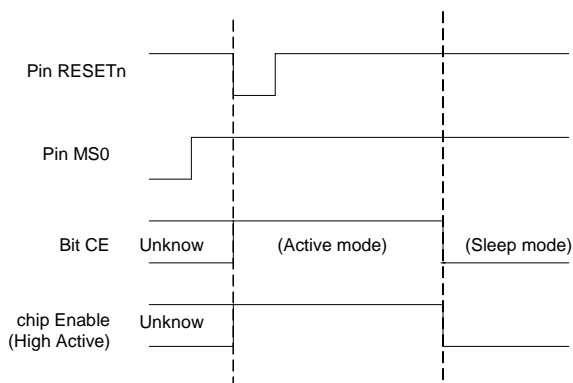
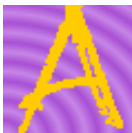


Fig 8-5: 使用 bit CE 來設定晶片致能

如上圖所示，當 RF chip 被重置時，因為 bit CE 被強制設定為 1，而 pin MS0 又是 1，所以 RF chip 會在 active mode。接下來，脫離重置後再將 bit CE 設定為 0，此時 RF chip 會進入 sleep mode。

當 RF chip 進入 sleep mode 時，有部份控制暫存器中的值會受到影響，在 8.3.1 的列表中，Reset 值中有“( )”者，表示 bit CE=0 時，會受影響的位元，整理如下：

- mode control register 中 bit SYN, bit TRC 會清除為 0。
- Calibration control register I 中 bit ET 會清除為 0。Bit RLR, RHR, DEMR, DFR, IFR, RSSR, TR 設定為 1。
- Calibration control register II 中 bit ETR 會設置為 1。Bit ECAL, ERSS 會清除為 0。



### 9. SPI 串列介面控制

A7121/A7122 RF chip 控制暫存器的控制係藉由簡單的 4 線串列相容 (SPI\_CS, SPI\_CLK, SPI\_RXD, SPI\_TXD) 的介面操作讀出或寫入資料。

#### 9.1 SPI 格式

Address Byte(8 bits)								Data words(16 bits)							
R/W	Address						Reserved	Data							
7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8

#### Address bytes:

##### Bit 7: R/W bit

[1]: 將data words寫入至控制暫存器。

[0]: 從控制暫存器讀出data words。

##### Bit [6:2]: 控制暫存器位址

Bit[1:0]: 保留位元

#### Data words:

Bit[15:0]: 資料位元

#### 9.2 SPI 讀／寫動作

Address 和資料均在 SPI\_CLK 負緣寫入

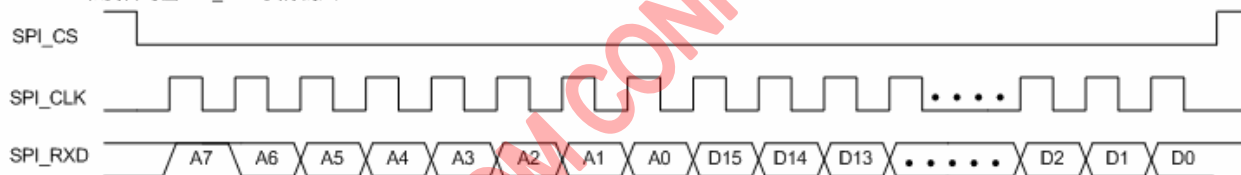


Fig 9-1: SPI Write operation

Address 在 SPI\_CLK 負緣寫入，資料在 SPI\_CLK 正緣讀出

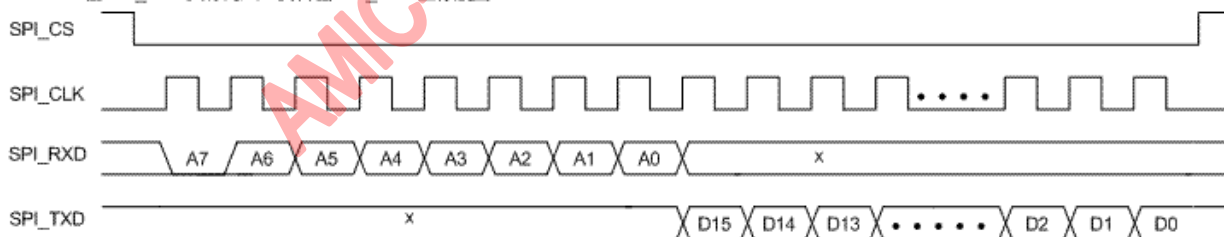
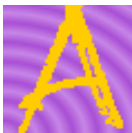


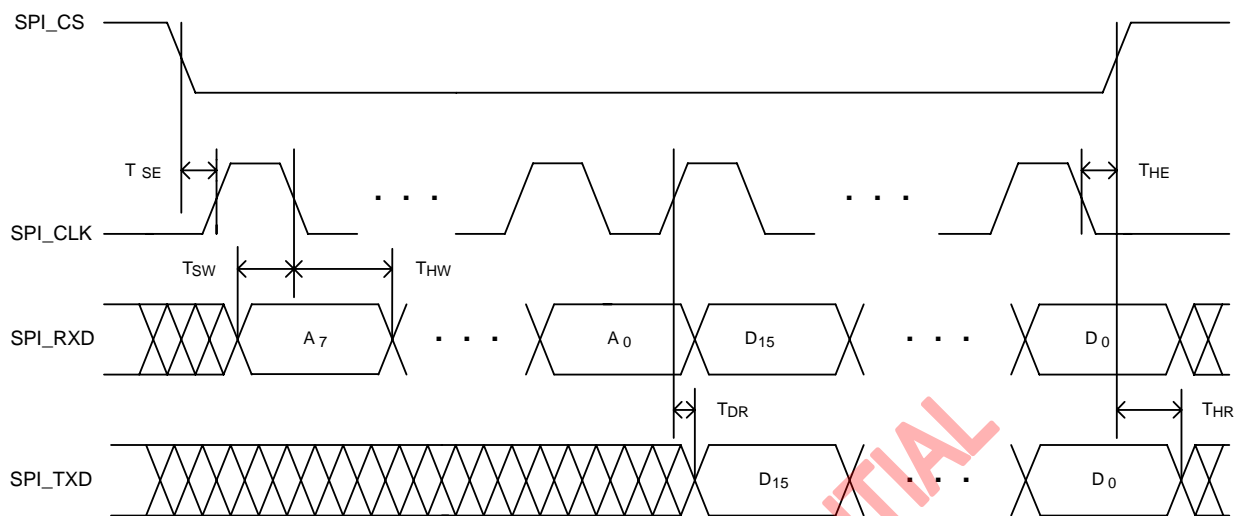
Fig 9-2: SPI Read operation



# A7121/A7122

## 2.4GHz GFSK Transceiver

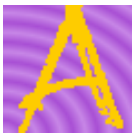
### 9.3 SPI 时序特性



Parameter	Description	Min.	Max.	Unit
F <sub>C</sub>	FIFO clock frequency.		3	MHz
T <sub>SE</sub>	Enable setup time.	50		ns
T <sub>HE</sub>	Enable hold time.	50		ns
T <sub>SW</sub>	TX Data setup time.	50		ns
T <sub>HW</sub>	TX Data hold time.	50		ns
T <sub>DR</sub>	RX Data delay time.	0	100	ns
T <sub>HR</sub>	RX Data hold time.	0		ns

#### Note:

After EFW/EFR active, the minimum setup time (T<sub>SE</sub>) is required for the first clock (F\_CLK) to be valid.  
The above timing chart is for the non-inverted case of F\_CLK, i.e., FCKI (FIFO control register bit 1) = 0. If FCKI = 1, the inverted clock of the input F\_CLK pin should meet the above timing.



### 10. 系統時脈

A7121/A7122 RF chip 內部使用的時脈源 (clock source)，是 Crystal source / External clock source 除頻後產生的，因此需要設定正確的除頻值，RF chip 才可正常運作。

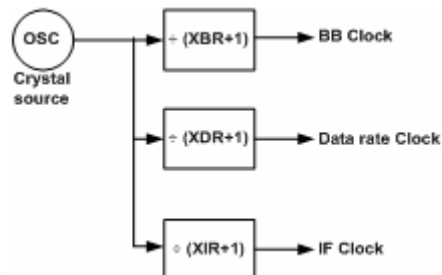


Fig 10-1: 系統時脈方塊圖

TBL 10-1: 系統時脈設定會使用到的控制暫存器

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h System Clock	R/W	-	XIR4	XIR3	XIR2	XIR1	XIR0	XDR4	XDR3	XDR2	XDR1	XDR0	XBR4	XBR3	XBR2	XBR1	XBR0

#### 10.1 IF Clock

公式:  $\text{IF Clock} = \text{Crystal frequency} / ( \text{XIR}[4:0] + 1 )$

在 1Mbps 工作模式，IF Clock 值為 2MHz。

在 3Mbps 工作模式，IF Clock 值為 4.5MHz。

Ex. Crystal 頻率為 18MHz，在 1Mbps 工作模式時，則設定：

$\text{IF Clock} = 2\text{MHz} = 18\text{MHz} / ( \text{XIR}[4:0] + 1 )$ ,

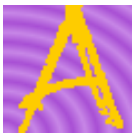
$\text{XIR}[4:0] = (18/2) - 1 = 8$

Ex. Crystal 頻率為 18MHz，在 3Mbps 工作模式時，則設定

$\text{IF Clock} = 4.5\text{MHz} = 18\text{MHz} / ( \text{XIR}[4:0] + 1 )$ ,

$\text{XIR}[4:0] = (18/4.5) - 1 = 3$





# A7121/A7122

## 2.4GHz GFSK Transceiver

### 10.2 Data rate Clock

公式:  $\text{Data rate Clock} = \text{Crystal frequency} / (\text{XDR}[4:0] + 1)$

在 1Mbps 工作模式，Data rate Clock 值為 1M bps。

在 3Mbps 工作模式，Data rate Clock 值為 3M bps。

Ex. Crystal 頻率為 18MHz，在 1Mbps 工作模式時，則設定

$\text{Data rate Clock} = 1\text{MHz} = 18\text{MHz} / (\text{XDR}[4:0] + 1)$ ,

$\text{XDR}[4:0] = (18/1) - 1 = 17$

Ex. Crystal 頻率為 18MHz，在 3Mbps 工作模式時，則設定

$\text{Data rate Clock} = 3\text{MHz} = 18\text{MHz} / (\text{XDR}[4:0] + 1)$ ,

$\text{XDR}[4:0] = (18/3) - 1 = 5$

### 10.3 BB\_CLK Clock

公式:  $\text{BB\_CLK Clock} = \text{Crystal frequency} / (\text{XBR}[4:0] + 1)$

Ex. Crystal 頻率為 18MHz，要使 pin BB\_CLK Clock 輸出 1MHz，則設定

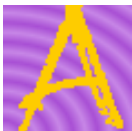
$\text{BB\_CLK Clock} = 1\text{MHz} = 18\text{MHz} / (\text{XBR}[4:0] + 1)$ ,

$\text{XBR}[4:0] = (18/1) - 1 = 17$

並將 Mode control register 中的 bit EXBR 設為 1，則 pin BB\_CLK 才會輸出所設定的 clock。

TBL 10-2: 常用的系統時脈設定列表

XOSC	XIR	XDR	XBR	Note
18MHz	8	17	17	@1M mode
	3	5	5	@3M mode
12MHz	5	11	11	@1M mode
4MHz	1	3	3	@1M mode



### 11. RF頻率設定

A7121/A7122 RF chip 可在 2.4GHz 的 ISM 頻段中任一頻率工作。可依公式計算出工作頻率後並填入正確的 MA, MB, R 值，及 VCO 工作頻段 (bank) 值即可。

#### 11.1 RF 工作頻率的計算

**公式：RF 頻率 = (3/2) \* Compare frequency \* ( 32\*MB[7:0] + MA[4:0] )**

Compare frequency = Crystal frequency / R[6:0]

RF frequency = (3/2)\*(compare frequency)\*(32\*MB[7:0] + MA[4:0])

在 1Mbps 工作模式，compare frequency 建議值為 2/3 MHz。

在 3Mbps 工作模式，compare frequency 建議值為 3/4MHz。

Ex. 若想在 2450MHz 的頻率下工作，且 Crystal 頻率為 18MHz，1Mbps 工作模式時，則

Compare frequency = 2/3MHz = 18MHz / R[6:0],

R[6:0] = 18/(2/3) = 27

RF 頻率 = 2450MHz = (3/2)\*(2/3MHz)\*(32\*MB[7:0] + MA[4:0]),

MB[7:0] = 76, MA[4:0] = 18

所以在 1M bps 下，Compare frequency 若設定為 2/3MHz，則 MB[7:0]和 MA[4:0]可合起來視為 RF 頻率。

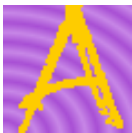
Ex. 若想在 2448MHz 的頻率下工作，且 Crystal 頻率為 18MHz，3Mbps 工作模式時，則

Compare frequency = 3/4MHz = 18MHz / R[6:0],

R[6:0] = 18/(3/4) = 24

RF 頻率 = 2448 = (3/2)\*(3/4MHz)\*(32\*MB[7:0] + MA[4:0]),

MB[7:0] = 68, MA[4:0] = 0



## 12. 系統狀態機制

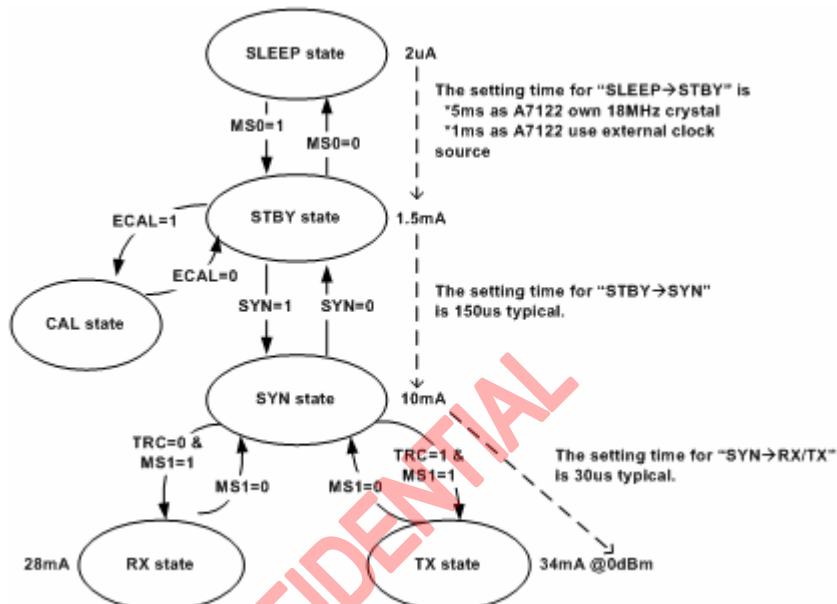


Fig 12-1: 系統狀態機制圖

### 12.1 系統狀態

A7121/A7122 RF chip 有6個主要的 state: sleep state (SLEEP), standby state (STBY), synthesizer state (SYN), TX state, RX state, CAL state。這 state 狀態圖如系統狀態機制圖所示。

#### SLEEP state

當 pin  $MS0=0$  或是重置 chip 時, chip 內部類比電路電源及 crystal 振盪電路會關閉, 即進入 SLEEP state。

#### STBY(standby) state

當 pin  $MS0 = 0 \rightarrow 1$  時, RF chip 會從 SLEEP state 進入 STBY state。在這 state 下, chip 內部類比電路電源及 crystal 振盪電路開始動作, 但 synthesizer 功能關閉 (PLL off)。

#### SYN(synthesizer) state

在 STBY state 下, 將 bit SYN 設為 1 後, 即進 SYN state, 此時 synthesizer 功能開啓 (PLL on)。

#### TX/RX state

當 pin  $MS1=1$  時, 會依據 Mode control register 中的 bit TRC 來決定進入 TX 或是 RX state:

- bit  $TRC=1$  則進入 TX state, 同時射頻功率輸出(RF power on)。
- bit  $TRX=0$ , 則進入 RX state。
- TX state 與 RX state 的切換, 需把 pin  $MS1$  清除為 0 (離開 TX 或 RX) 後, 改變 TRC bit, 再設定 pin  $MS1=1$ , 即可進入 TX 或 RX state。

#### CAL state

在 STBY state 下, 當 bit  $ECAL=1$  時, 即進入 CAL state。完成校準程序後, bit  $ECAL$  會自動清除為 0, 且回到 STBY state。

Note: 若不使用 pin  $MS0$ , pin  $MS1$ , 則必利用外部電路將 pin  $MS0$ , pin  $MS1$  拉高 (Pull high), 並利用 mode control register 中的 bit CE 來代替 pin  $MS0$ , 以及用 calibration control register II 中的 bit ETR 來取代 pin  $MS1$ 。



# A7121/A7122

## 2.4GHz GFSK Transceiver

TBL 12-1: 控制狀態一覽表

pin MS0	pin MS1	bit SYN	bit TRC	Operation mode
0	x	x	x	Sleep mode
1	0	0	x	Standby mode
1	0	1	x	Synthesizer mode (PLL on)
1	1	1	1	TX mode
1	1	1	0	RX mode

使用 pin MS0,MS1 作 mode control，請參照 TBL 13-1 設置。

### 12.3 控制狀態改變時間資訊

Sleep → Standby	Typical 5ms (own 18MHz crystal) or 1ms (use external clock source)
Standby → Synthesizer	Typical 150us (PLL settling time)
Synthesizer → TX or RX	Typical 30us (change TRX settling time)
TX → RX	Typical 180us (change TRX settling time)
Rx → TX	Typical 180us

- \* A7121/A7122 RF chip 在 STBY state 下將 pin MS0 設定為 0 後，RF chip 即進入 SLEEP state。
- \* PLL+TRX setting time 可以縮短到 100us，但需更改一些設定，詳細情形請連絡我們的工程人員。
- \* 在進入 SLEEP state 前，需至少有>10us 的時間停留在 STBY state，才能設定 pin MS0=0，進入 SLEEP state，如 Fig 13-2 所示：

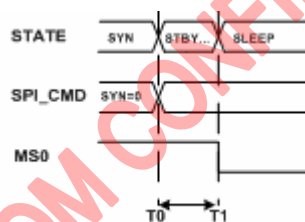
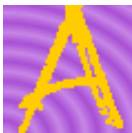


Fig 12-2: STBY-SLEEP-STBY state



### 13. 資料處理模式

A7121/A7122 RF chip 可分為二種主要的資料處理模式：**Direct mode** 及 **FIFO mode**。根據 RX control register I 中 DPC[1:0] 的設定來決定工作模式。使用者可依應用，選擇適合的工作模式：

#### **Direct mode：**

DPC[1:0]的設定為[00], [01] or [10]，這三種設置只會影響 RX state 的工作模式，對 TX state 而言是相同的。

##### ● TX state：

- 使用者可傳送自行定義的封包格式資料，若要使用A7121/A7122的**同步功能[1]**，則需自行發送同步碼 (access code)。

##### ● RX state：

- DPC[1:0] = [00]：關閉同步功能。使用者需自行解出封包的資料。資料內容 "0" 與 "1" 的分佈，會影響 RF chip 解出的正確性。
- DPC[1:0] = [01]：啟動同步功能。在 pin RX\_SYN 未動作前，pin TRXD 不會輸出信號；在 pin RX\_SYN 動作後，pin TRXD 會輸出信號，且 pin RX\_CLK 也會送出同步脈波。。
- DPC[1:0] = [10]：啟動同步功能。不論 pin RX\_SYN 是否動作，pin TRXD 都會輸出信號。這功能和上一種工作模式相同，差異僅在未收到同步碼時的資料是否有輸出信號，但 pin RX\_CLK 仍需在 pin RX\_SYN 動作後才會送出同步脈波。

**[1]**：同步功能：A7121/A7122 在RX state時會去比對接收進來的訊號，當接收的訊號和同步碼相同時，pin RX\_SYN會動作以指示資料的同步位置，啟用同步功能可減輕接收端需隨時比對同步碼的機制。

#### **FIFO mode：**

DPC 的設定為[11]，會啟動同步功能。

##### ● TX state：

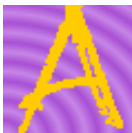
- 當傳送時，A7121/A7122 內部硬體電路會先將同步碼傳送出去後再將 TX FIFO 內的資料送出，因此若想要送 10bytes 的資料，但 A7121/A7122 實際上會傳送 19bytes 的資料。

##### ● RX state：

- 在接收時，A7121/A7122 會自行比對同步碼，將資料解出並寫入 RX FIFO 中。

**TBL 13-1: 資料處理模式選擇**

DPC[1:0]	模式	同步功能	收到同步碼時 RX_SYN 是否動作	TRXD 送出資料
00	Direct	關閉	否	隨時
01	Direct	開啓	是	收到同步碼後
10	Direct	開啓	是	隨時
11	FIFO	開啓	是	N/A



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 13.1 Direct mode

當使用者想要使用 direct mode 時，可依下列設置：

- **傳送：**

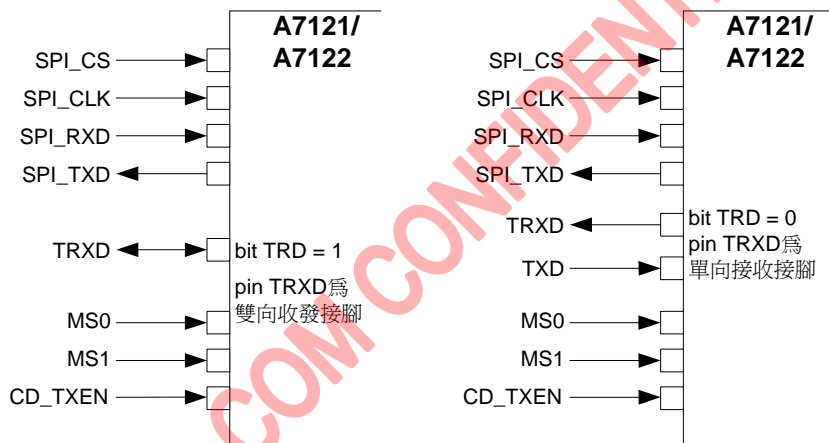
1. 將 A7121/A7122 設為 direct mode (DPC[1:0] = [00], [01] or [10])
2. 設定傳送資料的接腳，direct mode 可利用 pin TRXD 或 pin TXD 來傳送資料，其設定如下：

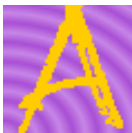
bit TRD	TX/RX state	pin TRXD	pin TXD
0	TX	--	傳送資料
0	RX	接收資料	--
1	TX	傳送資料	--
1	RX	接收資料	--

3. 依據**13.1.1 傳送時序**將資料送出

- **接收：**

1. 將 A7121/A7122 設為 direct mode。若 DPC[1:0]設為[00]時，使用者需自行比對同步碼；若 DPC[1:0]設為[01] or [10]時，使用者可依 pin RX\_SYN 來判斷是否該接收資料。
2. 收資料的接腳為 pin TRXD。
3. 依據**13.1.2 接收時序**來接收資料。





### 13.1.1 傳送時序

設定工作狀態進入 TX 模式，致能 pin CD\_TXEN 開始將 pin TRXD/TXD 的資料調變傳送。pin CD\_TXEN 的起始與 TX 資料傳送需做同步，請參考 Fig 13-3。

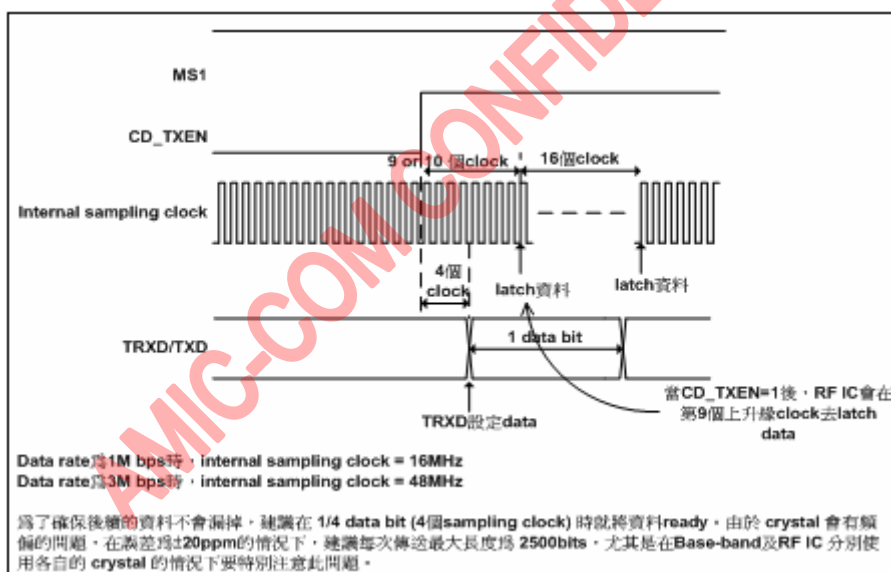
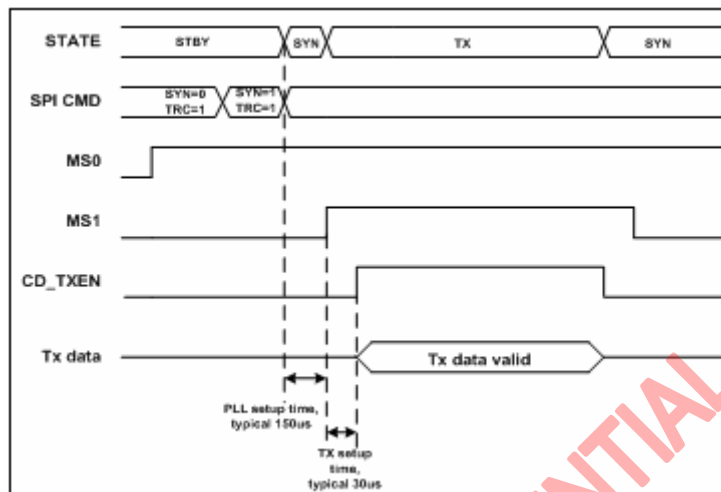
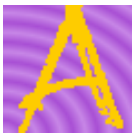


Fig 13-3: Direct mode 的資料同步示意



### 13.1.2 接收時序

設定工作狀態進入 RX，pin TRXD 會解出資料。使用者必須自行找出正確的資料起始及結束的時間以及資料時脈的同步以完成接收動作。

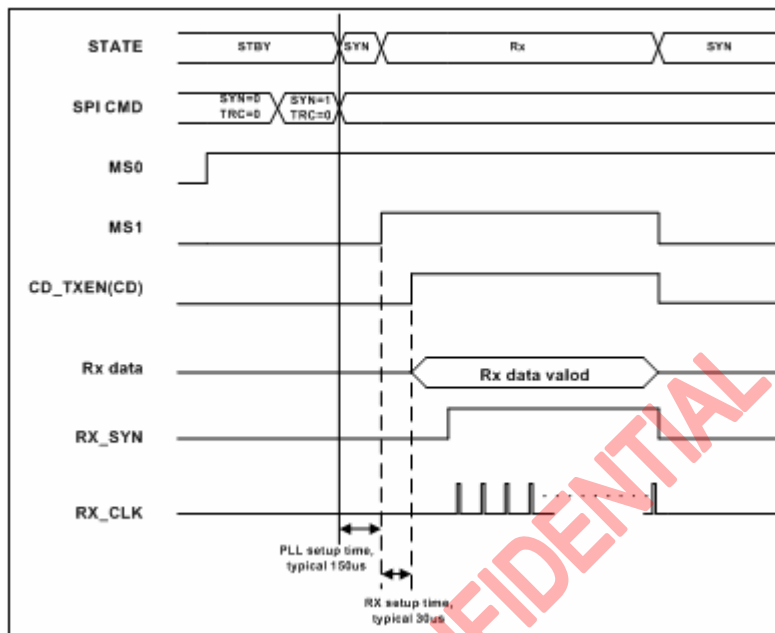


Fig 13-4. Direct mode 的 RX 接收時序圖

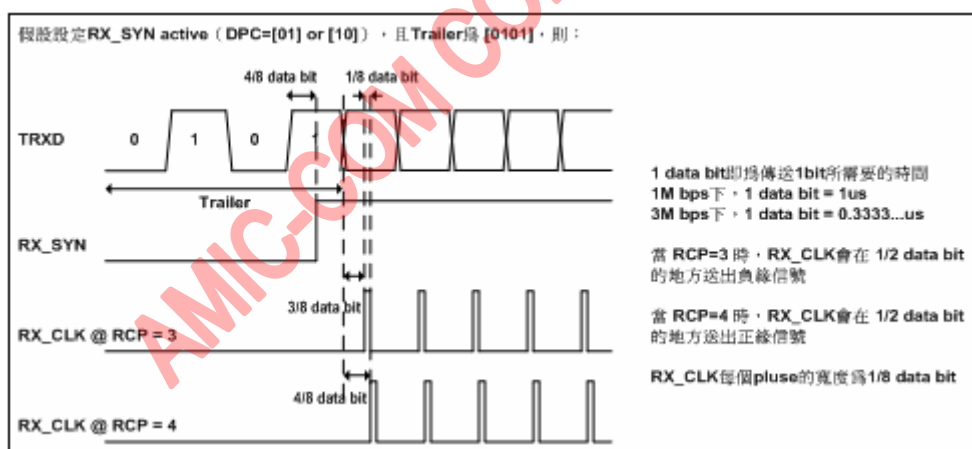
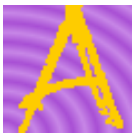


Fig 13-5: Direct mode 接收同步示意

### 13.2 FIFO mode

RF chip 內建 FIFO，使用者可用低速的工作時脈將傳送資料寫入 TX FIFO 中。致能 RF chip 後，內部硬體電路會自動將資料依封包格式傳送出去。接收時，硬體電路會自動找出同步碼(Sync word)，並將資料寫入 RX FIFO 中。完成一個封包的接收時，會有信息指示 MCU 已收妥資料。使用者可用低速的工作時脈將資料從 RX FIFO 讀出，以減輕 MCU 的工作負荷。





# A7121/A7122

## 2.4GHz GFSK Transceiver

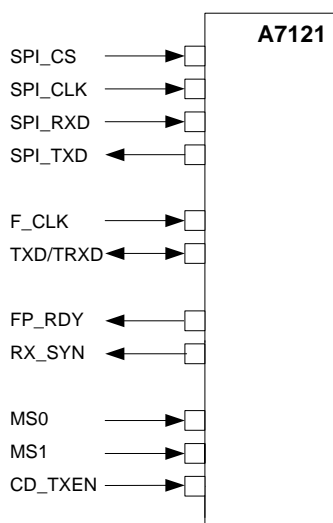


Fig 13-6: FIFO mode, I/O 配置

### 13.2.1 FIFO 功能

A7121/A7122 RF chip 內建兩個 64 bytes 的先進先出緩存器 (first in first out, FIFO) 稱為 TX FIFO 及 RX FIFO。在 FIFO 操作模式下，內部硬體電路會依傳送封包格式將 TX FIFO 內的資料傳送出去，或在接收到資料後將資料解出並寫入 RX FIFO。

使用者只能將資料寫入 TX FIFO 或由 Rx FIFO 讀取資料。寫入和讀出資料的動作係由 FIFO 串列介面來完成。FIFO 串列介面和 SPI 串列介面類似，利用時脈接腳 (F\_CLK) 及資料接腳 (TRXD, TXD or SPI\_RXD) 將資料寫入或讀出，資料接腳根據使用者的需要有下列幾種選擇：

bit FDS	bit TRD	寫入 FIFO 接腳	讀出 FIFO 接腳	FIFO 雙工支援
0	0	TXD	TRXD	全雙工
0	1	TRXD	TRXD	半雙工
1	NA	SPI_RXD	TRXD	全雙工

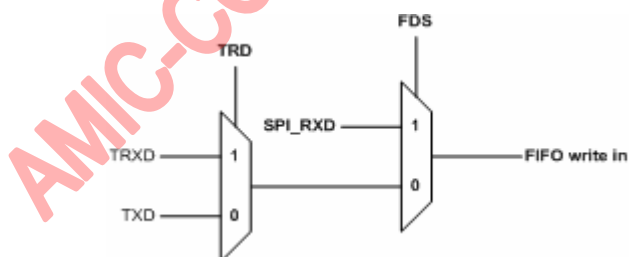


Fig 13-7: FIFO 寫入腳位設定

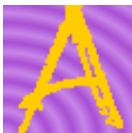
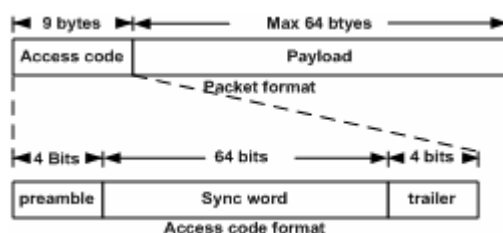
**13.2.2 傳送封包格式**

Fig 13-8: FIFO mode 傳送封包格式

**同步碼 (Access code) :**

同步碼長度共 9 bytes。其由 4 bits 的前導碼(preamble)、64 bits 的同步字(sync word) 及 4 bits 的尾碼(trailer) 組成。

**資料 (Payload) :**

FIFO 資料長度由 FIFO control register 中的 FBC[5:0] 所控制。一次封包傳送或接收長度最大為 64 bytes，可透過 FIFO 串列介面來寫入 TX FIFO 或讀出 RX FIFO。

**前導碼 (Preamble) :**

前導碼的設定，決定於同步字元的第一個 bit。若同步字元第一個 bit 為 1 則前導碼設定為"1010"；若同步字元第一個 bit 為 0 則前導碼設定為"0101"。

**同步字 (Sync word) :**

在 FIFO 工作模式下，A7121RFchip 內部硬體電路會自動比對同步字，若收到正確的同步字後，pin RX\_SYN 會設為 1 且封包資料會自動寫入 RX FIFO 中。Rx control register I 中 bit ETH[2:0]可設定接收容許同步字錯誤的 bit 數。若需再次接收下一個封包時，須將 pin MS1 設為 0 後再設為 1，以便再一次進入 Rx 模式並等待。同步字儘可能讓 0 與 1 的數量分佈均勻，並不要有太多連續的 0 或 1 以降低錯誤的判斷。

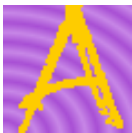
**尾碼 (Trailer) :**

尾碼的設定，決定於同步字元的最後一個 bit。若同步字元最後一個 bit 為 1 則尾碼設定為"0101"；若同步字元最後一個 bit 為 0 則尾碼設定為"1010"。

**資料傳送時間計算：**

$$T = ( \text{access code 72 bits} ) + ( \text{Payload total bits} ) * ( 1 / \text{Data rate} )$$

Ex. 傳送 64 bytes 的資料，data rate = 1Mbps，則 RF chip 傳送資料所需時間為  $[72 + (64*8)] \text{ bit} * 1\mu\text{s} = 584\mu\text{s}$ 。



## A7121/A7122

### 2.4GHz GFSK Transceiver

#### 13.2.3 設定同步碼

發射和接收的同步碼可以設定成不相同，但一般使用時常把發射和接收的同步碼設為相同，同步碼的設定是透過寫入同步碼暫存器（access code register）來完成。

- 同步碼暫存器是一個 9 bytes 的暫存器，每次對同步碼暫存器做一次寫入動作時，其內部指標會自動移至下一個位址，依序寫入 9 次動作，即可完成 access code 的寫入。
- 在重置 A7121/A7122 後，同步碼暫存器的內部指標會移到第一個位置。
- 當對同步碼暫存器寫入 9 bytes 時，內部指標會移到第一個位址，若繼續對同步碼暫存器寫入資料，則會覆寫原來寫入的資料。

Ex. Access code 9 bytes 依序為 0x54, 0x75, 0xC5, 0x8C, 0xC7, 0x33, 0x45, 0xE7, 0x2A，  
寫入動作為

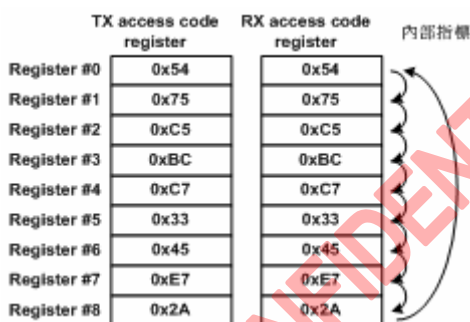
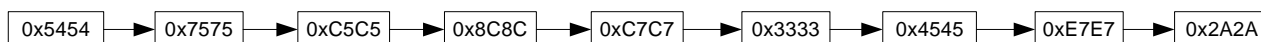


Fig 13-9: 寫入 Access code register



### 13.2.4 TX FIFO 寫入動作

當要寫入 TX FIFO 時，須先將 FIFO control register 中的 bit EFW 設置為 1 後，資料可透過 FIFO 串列介面的寫入接腳 (TRXD or TXD or SPI\_RXD) 在 F\_CLK 的時脈負緣 (falling edge) 時寫入 TX FIFO，此時 FBC[5:0] 決定了可寫入的最大長度，當寫入資料長度超過 FBC[5:0] 所設定的長度時，會依據 bit FWC 的設定而有不同的動作：

**bit FWC=0**：當寫入資料長度超過 FBC[5:0] 所設定的長度時，寫入動作立即停止，之後所寫入的資料將不會寫入 TX FIFO 中。若要重新寫入 TX FIFO 則必需先設置 bit EFW 為 0 將 TX FIFO 的寫入指標重置到位址 0 後，再設置 bit EFW 為 1 後，才可再執行寫入動作。

**bit FWC=1**：當寫入資料長度超過 FBC[5:0] 所設定的長度時，TX FIFO 寫入指標會回到位址 0 並繼續將之後所寫入的資料將從位址 0 再度覆寫入 TX FIFO 中。若將 bit EFW 設為 0 後，TX FIFO 的寫入指標亦會被重置到位址 0。

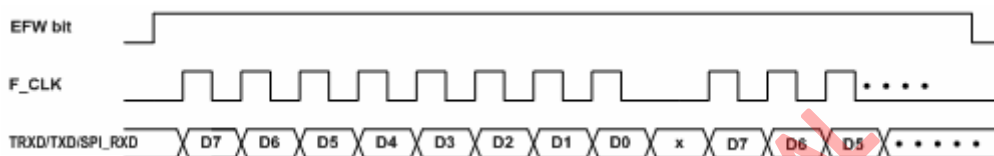


Fig 13-10: TX FIFO 寫入時序圖

### 13.2.5 RX FIFO 讀取動作

將 FIFO control register 中 bit EFR 設置為 1 後，透過 FIFO 串列介面的 TRXD 接腳可在 F\_CLK 的時脈正緣 (rising edge) 將資料讀出，此時 FBC[5:0] 決定可讀出的最大長度，當讀取動作超過 FBC[5:0] 所設定的長度時，根據 bit FRC 的設定有不同的動作：

**bit FRC=0**：當讀取動作超過 FBC[5:0] 所設定的長度時，資料將不再輸出。若需要重新讀 RX FIFO 則必須設置 bit EFR 為 0 以將 RX FIFO 的讀出指標重置到位址 0 後，再設置 bit EFR 為 1，才可再執行讀出動作。

**bit FRC=1**：當讀取動作超過 FBC[5:0] 所設定的長度時，FIFO 讀出指標會回到位址 0 並繼續執行讀出動作。若將 bit EFR 設為 0 後，RX FIFO 的讀出指標亦會被重置到位址 0。

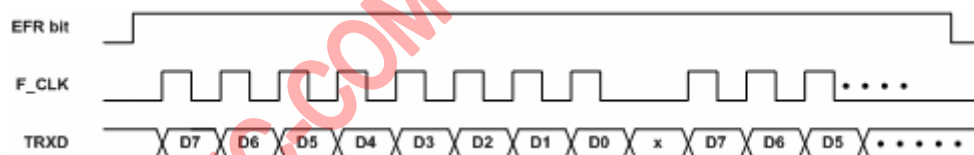
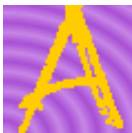


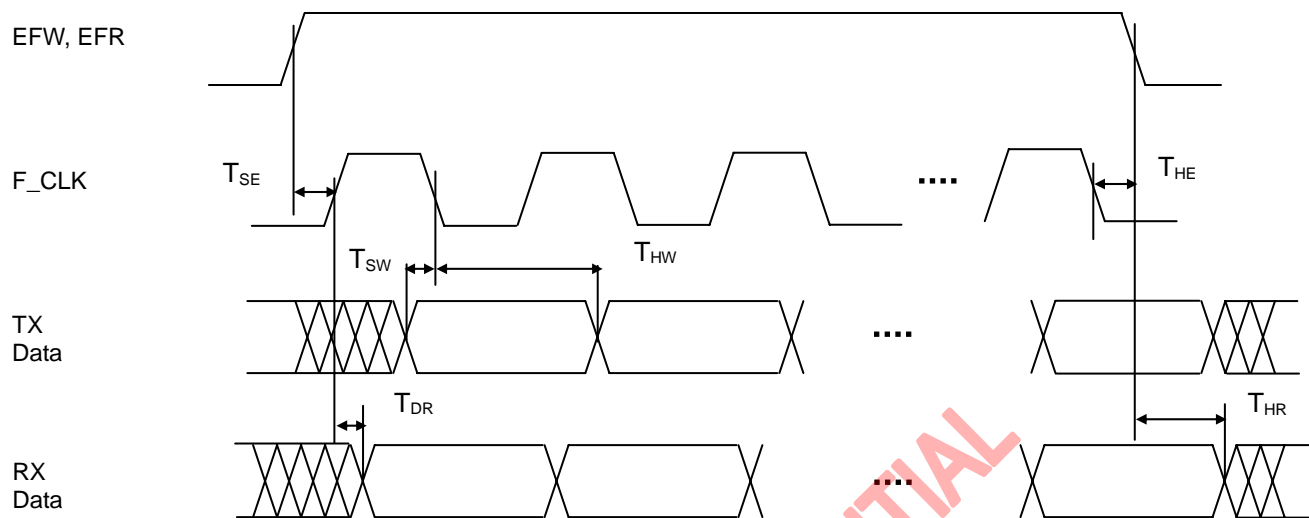
Fig 13-11: RX FIFO 讀出時序圖



# A7121/A7122

## 2.4GHz GFSK Transceiver

### 13.2.6 FIFO 時序特性圖



Parameter	Description	Min.	Max.	Unit
$F_C$	FIFO clock frequency.		3	MHz
$T_{SE}$	Enable setup time.	50		ns
$T_{HE}$	Enable hold time.	50		ns
$T_{SW}$	TX Data setup time.	50		ns
$T_{HW}$	TX Data hold time.	50		ns
$T_{DR}$	RX Data delay time.	0	100	ns
$T_{HR}$	RX Data hold time.	0		ns

### 13.2.7 TX 傳送時序

要將 TX FIFO 內的資料傳送出去時，須先設定工作狀態進入 TX 並將 pin CD\_TXEN 設為 1，此時開始傳送資料，當傳送的資料長度和 FBC[5:0] 所設定的長度相同時，pin FP\_RDY 會被設定為 1（若 FPRI=0 則 FP\_RDY 會設定為 0）代表資料已經傳送出去了，但必須再等待 4 bits 的傳送時間才可將 CD\_TXEN 設為 0 並離開 TX（MS1=0 or ETR=0）。

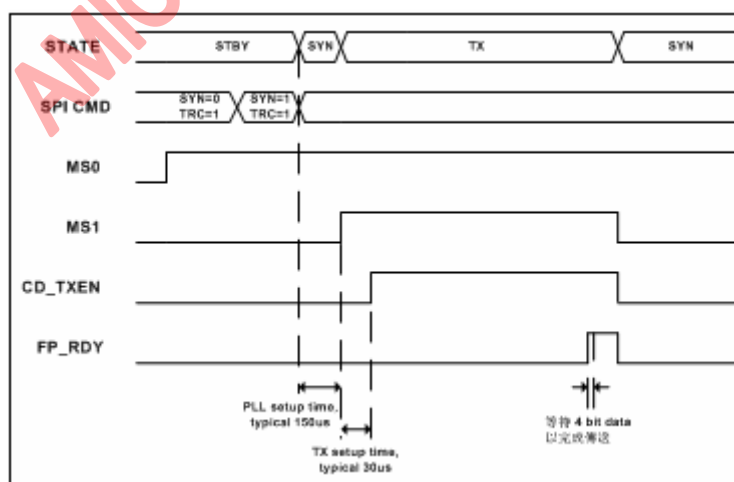
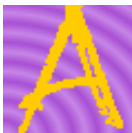


Fig 13-12: FIFO mode 時的 TX 傳送時序圖



### 13.2.8 RX 接收時序

當工作狀態進入 RX 時，RF chip 會自動比對同步碼，找到相同的同步碼後 pin RX\_SYN 會設定為 1 (若 SYN1=1 則 RX\_SYN 會設定為 0)。此時，資料會被寫入 RX FIFO，當寫入的資料長度和 FBC[5:0] 所設定的長度相等時，pin FP\_RDY 會被設定為 1 (若 FPRI=0 則 FP\_RDY 會設定為 0)，此時即完成一資料封包接收動作。

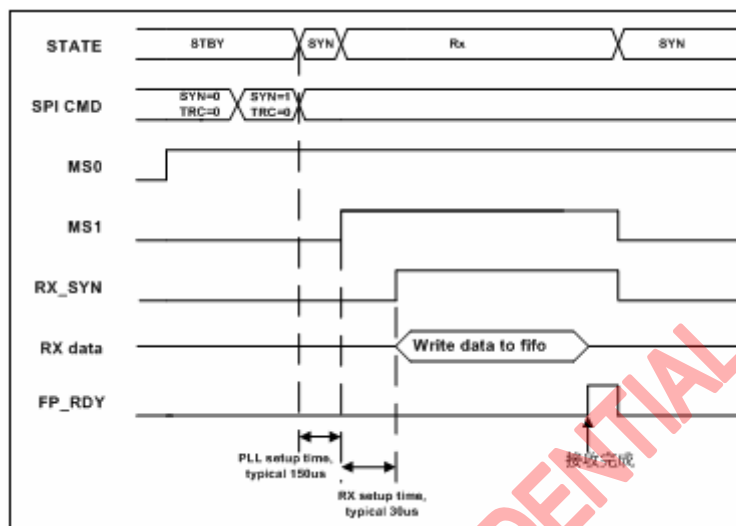
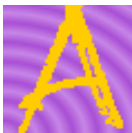


Fig 13-13: FIFO mode 時的 RX 接收時序圖



## 14. CAL state 校準

在初始化 A7121/A7122 時必須作硬體參數的調校。在校準程序中共有 5 個校準項目：

- IF CAL(IF Filter calibration)：校準 IF filter 中頻濾波器頻帶 (IF filter bandwidth) 及中心頻率點。
- DF CAL(data filter calibration)：校準低通濾波器頻帶及中心頻率點 (data filter bandwidth)。
- DEM CAL(demodulator calibration)：校準解調器(demodulator)的中心頻率點。
- RH CAL：校準 RSSI 斜率參考點 RH 值。
- RL CAL：校準 RSSI 斜率參考點 RL 值。

一般來說所有的校準項目都需做校準的動作。

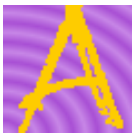
**TBL 14-1: CAL state 校準會使用到的控制暫存器**

Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch Calibration I	R/W	*TR	*RSSR	*IFR	*DFR	*DEMR	*RHR	*RLR	RLC	RHC	DEMC	DFC	IFC	MCAL	RSS1	RSS0	ET
0Dh Calibration II	R/W	*TAD2	*TAD1	*TAD0	-	-	-	-	-	-	RR0	TADB	FPRI	FPRS	ERSS	ECAL	ETR

Legend: \* = read only

### 14.1 CAL state 自動校準程序

1. 確定 IF clock, data rate clock 的 register 設定值為正確。詳細內容請參考 **10. 系統時脈**
2. 開啓 IF clock, data rate clock：EXIR=1, EXDR=1。
3. 設定校準項目開啓：IFC=1, DFC=1, DEMC=1, RHC=1, RLC=1。
4. 確定 RF 設定在 standby state。
5. 設定 ECAL=1 以進入 CAL state。
6. 當自動校準程序結束時，ECAL 會自動清為 0。
7. 若校準程序無法結束，設定 ECAL=0 可中斷校準程序，並在重置校準程序之後回到 standby state。



### 15. VCO bank 校準

A7121/A7122 有 8 個 VCO bank (bank 0 ~ bank7)，每個頻率所適合的 VCO bank 值並不相同，為了保證 A7121/A7122 的送收特性，在設定頻率時除了正確的設定 MB[7:0], MA[4:0], R[6:0]值外，尚需設定正確的 VCO bank 值。一般來說會在初始化時執行 VCO bank 校準程序以獲取各頻率的正確 VCO bank 值。

在執行 VCO bank 校準程序時，A7121/A7122 會去偵測 VT 的電壓值並根據 VTH[2:0]所設定的範圍值來判斷該 VCO bank 值是否適合，若 VT 的電壓值落在 VTH[2:0]所設定的範圍內，則該此時的 VCO bank 值即為該頻率所適用之 VCO bank 值。

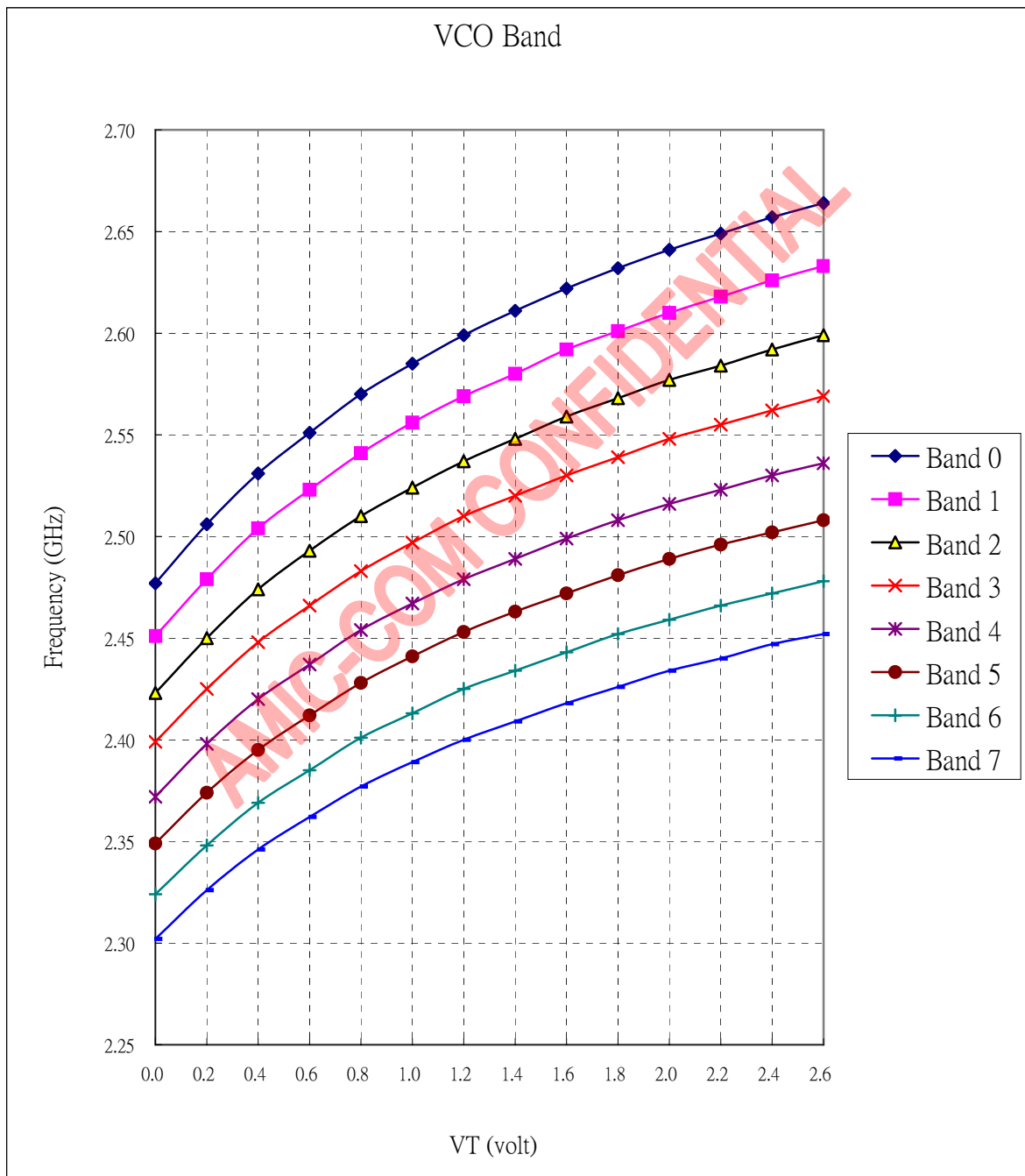
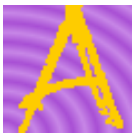


Fig 15-1: VT 值與 VCO bank 及頻率的關係

TBL 15-1: VCO bank 校準程序會使用到的控制暫存器





Address Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Synth. I	W	BNK2	BNK1	BNK0	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0	MA4	MA3	MA2	MA1	MA0
01h Synth. II	W	*DVT1	*DVT0	-	CP2	CP1	CP0	VTH2	VTH1	VTH0	R6	R5	R4	R3	R2	R1	R0
02h System Clock	R/W	-	XIR4	XIR3	XIR2	XIR1	XIR0	XDR4	XDR3	XDR2	XDR1	XDR0	XBR4	XBR3	XBR2	XBR1	XBR0
03h Mode	R/W	-	-	-	-	-	-	EXIR	EXDR	EXBR	TRD	DR1	DR0	TRC	SYN	CE	RSTN

Legend: \* = read only

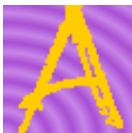
### 15.1 VCO bank 校準程序

1. 設定 VTH[2:0]以確定 VT 的區間值。
2. 確定正確 R[6:0]及工作頻率。
3. 設定 RF 進入 Synthesizer state。
4. 設定 VCO Bank : BNK[2:0]=0~7。
5. 等待 PLL 穩定時間：建議 150us~300us。
6. 讀取 Synthesizer register II 中的 DVT[1:0]以得到目前 VT 電壓值的範圍：
  - DVT[1:0]=[00]：VT 值小於 VTH[2:0]設定的區間值，增大 BNK[2:0]，回到步驟 4。
  - DVT[1:0]=[11]：VT 值大於 VTH[2:0]設定的區間值，減小 BNK[2:0]，回到步驟 4。
  - DVT[1:0]=[01]：離開校準程序並將 BNK[2:0]記錄。
7. 離開 Synthesizer state：SYN=0。

若需要校準其他頻率則重複 2~7 步驟，若不需要再校準其他頻率則離開校準程序。



Fig 15-2: VCO 校準程序



## 16. RSSI

A7121/A7122 有內建數位 RSSI(received signal strength indicator)，可偵測接收到的信號強度。RSSI 值可從 RSSI control register 中讀出，範圍值 0~255。接收信號強度愈大，RSSI 值愈小。反之，接收信號強度愈小，RSSI 值愈大。RSSI 特性如下圖。

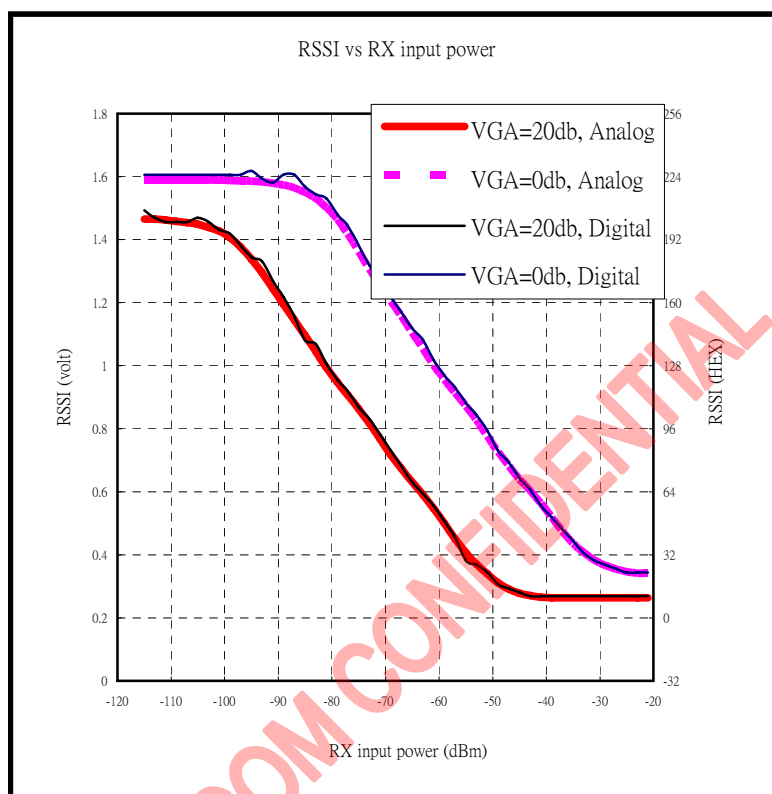


Fig 16-1: Typical RSSI characteristic

### 16.1 RSSI 斜率校準

A7121/A7122 有內建二個信號源 RH\_ref, RL\_ref，其中 RH\_ref 信號源比 RL\_ref 信號源大 6dB。由這二個參考校準值可計算出 RSSI 的斜率。

公式:  $R_{SLOPE} = 6dB / (RH_{CAL} - RL_{CAL})$  @ VGA gain = 0dB

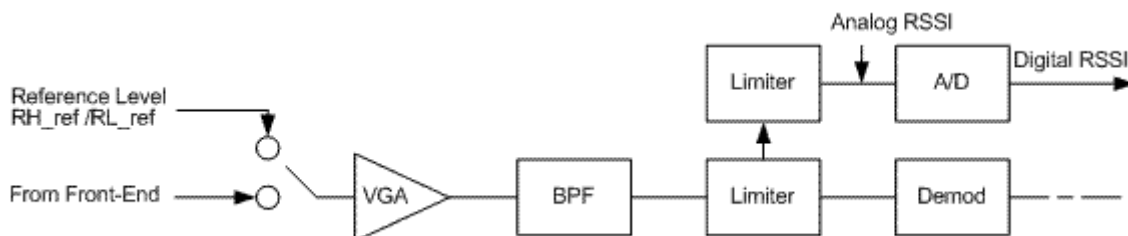
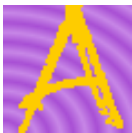


Fig 16-2: RSSI 電路基本方塊圖

Note: 此RH<sub>CAL</sub>, RL<sub>CAL</sub> 是指在完成RH, RL校準後的校準值RH[15:8], RL[15:8]( @VGA gain = 0dB)。



### 16.2 RSSI 量測

有三種方法執行 RSSI 量測動作，calibration control register I 中 bit RSS[1:0] 的選擇，可決定量測 RSSI 的起始時間。在測量 RSSI 時，RF chip 必須在 RX state 下才可進行。

- RSS[1:0] = [00]：FIFO mode 工作模式。設置 bit ERSS=1 後，當接收完成一個封包（即 pin **FP\_RDY** 動作）時，會自動開始進行 RSSI 的量測，當完成量測動作後，會自動清除 bit ERSS=0，並更新 RSSI register 中 RSSI[7:0] 值。
- RSS[1:0] = [01]：FIFO mode 工作模式。設置 bit ERSS=1 後，當接收到正確的同步碼（即 pin **RX\_SYN** 動作）時，會自動開始進行 RSSI 的量測，當完成量測動作後，會自動清除 bit ERSS=0，並更新 RSSI register 中 RSSI[7:0] 值。
- RSS[1:0] = [1X]：Direct mode 或 FIFO mode 工作模式。任一時間設置 bit ERSS=1 時，便立刻開始進行 RSSI 的量測，當完成量測動作時，會自動清除 bit ERSS=0，並更新 RSSI register 中 RSSI[7:0] 值。

如 bit ERSS 設置為 1 時，控制狀態設定不在 RX state，會造成量測動作無法正確結束。要等到進入 RX state 後，才會繼續完成量測動作、結束。

### 16.3 $RH_{TH}$ 、 $RL_{TH}$ 和 CD

RSSI 和 CD (carrier detect) 可用來判別 RF 通道的品質。若使用的通道 (channel) 有很大的干擾或是通道被佔用時，則不建議繼續使用此通道，而應尋找改換較乾淨的通道以便繼續傳輸資料。

Pin CD\_TXEN 在 RX 時是一載波的偵測指示。當 RF 輸入功率比  $RH_{TH}$  設定值大，pin CD\_TXEN 會輸出高準位信號。如當 RF 輸入功率比  $RL_{TH}$  設定值小，pin CD\_TXEN 會輸出低準位信號。如 RF 輸入功率介於  $RH_{TH}$ 、 $RL_{TH}$  設定值間，pin CD\_TXEN 會維持上一次的狀態輸出信號。

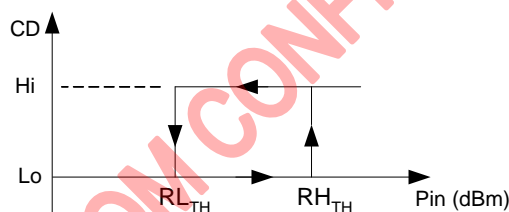


Fig 16-3:  $RH_{TH}$ 、 $RL_{TH}$  和 CD\_TXEN 的關係圖

在決定  $RH_{TH}$ 、 $RL_{TH}$  後，需寫入 RH register 和 RL register。首先，calibration control register I 中 bit MCAL 設定為 1，再將  $RH_{TH}$  的設定值寫入 RH control register 中 bit RH[7:0] 及  $RL_{TH}$  的設定值寫入 RL control register 中 bit RL[7:0]。之後，再清除 bit MCAL=0。



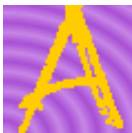
## 17. 溫度感測器

A7121/7122 內建簡易的溫度感測器，供使用者以相對誤差的方式，得知溫差範圍。RF chip的工作特性，會隨溫度改變而有所變化。爲了確保穩定的工作效能，如相對溫差超過 20°C時，建議重新執行CAL state 校準及VCO bank 校準。

### 17.1 溫度量測

設置 calibration control register I 中的 bit ET=1 後，開始溫度量測，當完成量測動作時，bit ET 會被清除，同時更新 Thermometer register 中 T[7:0]值。

AMIC-COM CONFIDENTIAL



### 18. 振盪電路

A7121/A7122 RF chip 使用石英振盪器 (Crystal) 或是外部提供穩定的時脈，來做為時序振盪源。

#### 18.1 使用石英振盪器

若使用石英振盪器作為振盪源：

- XI 和 XS 接腳之間需連接一個電容 C1
- XI 和地 (ground) 之間接石英振盪器
- XS 和地之間接一個電容 C2

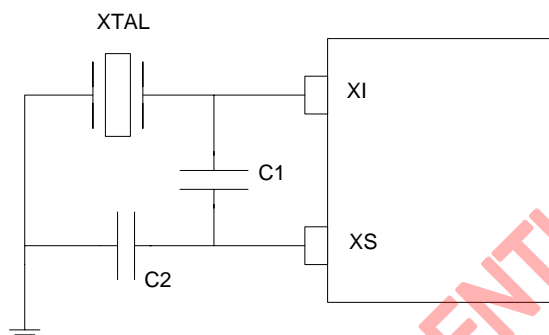


Fig 18-1: 石英振盪電路連接線路

TBL 18-1: 石英振盪器的規格限制

Quartz Crystal Specification	1.	2.	3.
Center Frequency	18MHz	18MHz	12MHz
Load Capacitance (CL)	20 pF	12 pF	20 pF
Equivalent Series Resistance (ESR)	$\leq 20$ ohms	$\leq 40$ ohms	$\leq 40$ ohms
Shunt Capacitance (C0)	$\leq 5$ pF	$\leq 5$ pF	$\leq 5$ pF
External feedback capacitor 1:C1	33 pF	10 pF (2%)	33 pF
External feedback capacitor 2:C2	33 pF	56 pF	33 pF

#### 18.2 使用外部時脈

A7121/A7122 也可直接由外部輸入參考時脈：

- 在外部時脈源和 XI 之間接一個電容 C1=100Pf
- XS 和地之間接一個電容 C2=0.1uF
- 外部時脈的振幅建議在+2.0 ~ +2.5VPP 之間

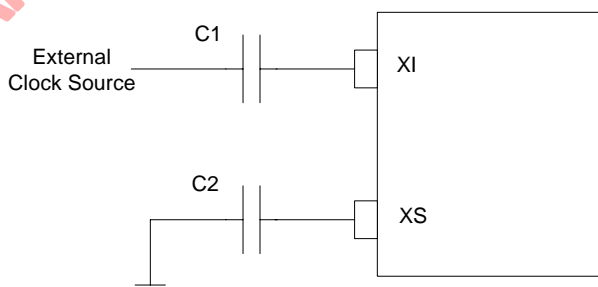
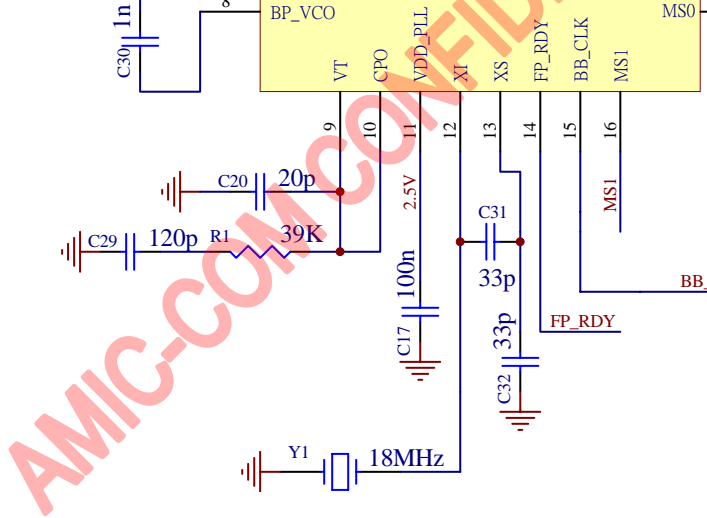


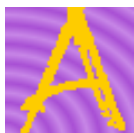
Fig 18-2: 外部振盪源連接電路



## 2.4GHz GFSK Transceiver

## 19. 應用電路





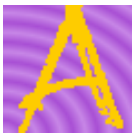
## A7121/A7122

### 2.4GHz GFSK Transceiver

#### 20. 產品包裝規格

Part No.	Package	Units Per Reel / Tray
A71C21AQF/Q	QFN32L, Tape & Reel, PB free, -20°C ~ 70°C	3K
A71C21AQF	QFN32L, Tray, PB free, -20°C ~ 70°C	490EA
A71C21AH	Die form, -20°C ~ 70°C	100EA
A71C21AQF/QI	QFN32L, Tape & Reel, PB free, -40°C ~ 85°C	3K
A71C21AQFI	QFN32L, Tray, PB free, -40°C ~ 85°C	490EA
A71C21AHI	Die form, -40°C ~ 85°C	100EA

Part No.	Package	Units Per Reel / Tray
A71C22AQF/Q	QFN32L, Tape & Reel, PB free, -20°C ~ 70°C	3K
A71C22AQF	QFN32L, Tray, PB free, -20°C ~ 70°C	490EA
A71C22AH	Die form, -20°C ~ 70°C	100EA
A71C22AQF/Q	QFN32L, Tape & Reel, PB free, -40°C ~ 85°C	3K
A71C22AQF	QFN32L, Tray, PB free, -40°C ~ 85°C	490EA
A71C22AH	Die form, -40°C ~ 85°C	100EA



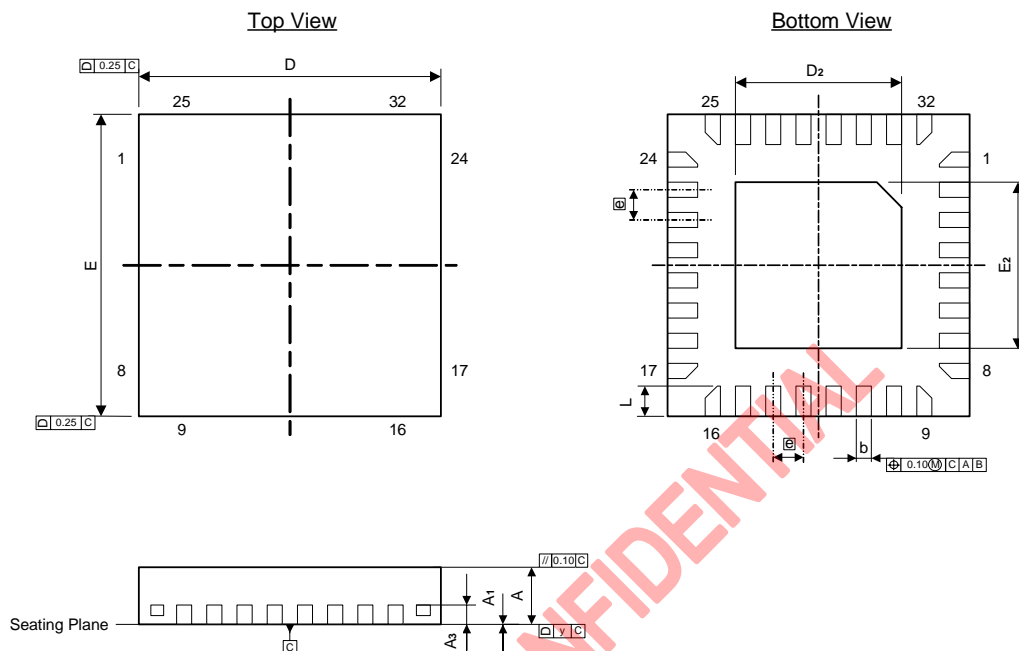
# A7121/A7122

## 2.4GHz GFSK Transceiver

### 21. 封裝資訊

#### QFN 32L Outline Dimensions

unit: inches/mm



Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.036	0.70	0.75	0.90
A <sub>1</sub>	0.000	0.001	0.002	0.00	0.02	0.05
A <sub>3</sub>	0.010 REF			0.20 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.193	0.197	0.200	4.90	5.00	5.10
D <sub>2</sub>	0.049	0.106	0.141	1.25	2.70	3.60
E	0.193	0.197	0.200	4.90	5.00	5.10
E <sub>2</sub>	0.049	0.106	0.141	1.25	2.70	3.60
e	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0 - 0.004			0 - 0.10		