

Corso di Architettura degli Elaboratori e Laboratorio (M-Z)

Circuiti integrati

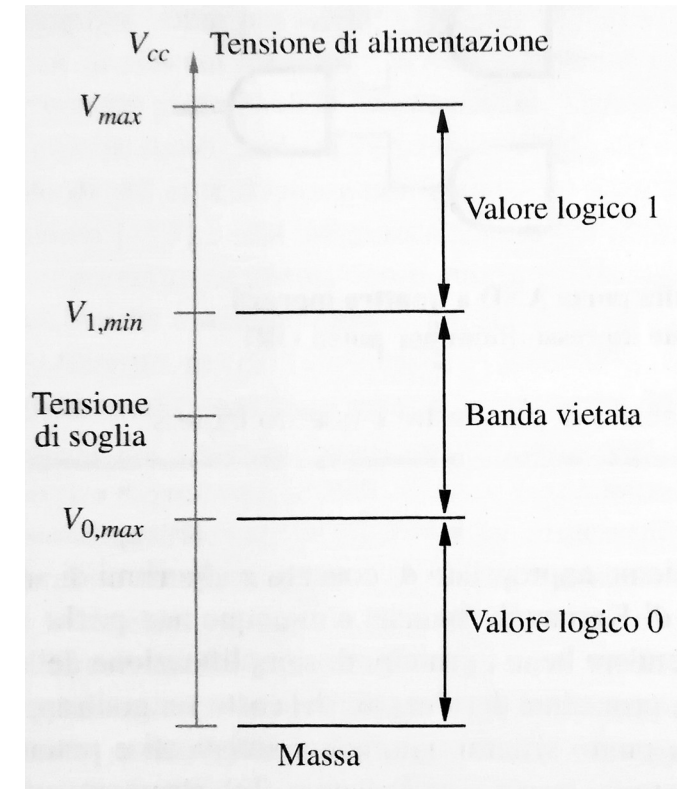
Nino Cauli



UNIVERSITÀ
degli STUDI
di CATANIA

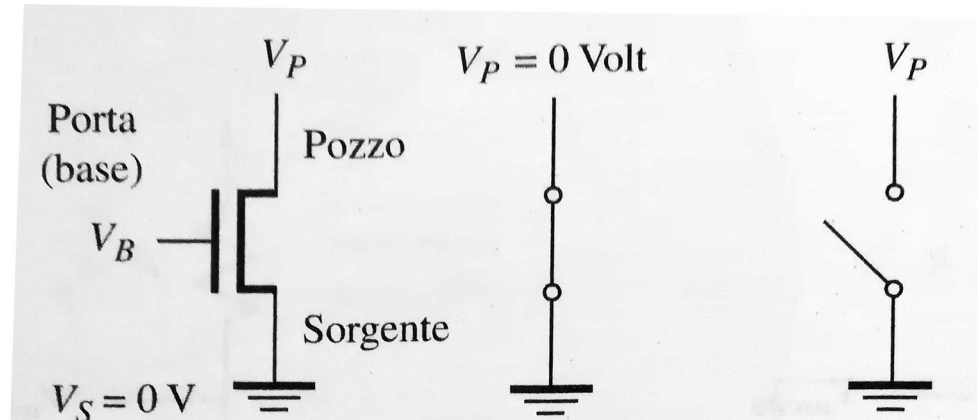
Dipartimento di Matematica e Informatica

- Nei **circuiti elettronici**, per rappresentare i valori 0 e 1 delle variabili binarie, normalmente si usano valori di **tensione elettrica (voltaggio)**
- Per discretizzare il valore della tensione (grandezza continua), si usa la **soglia di separazione**
- Tutti i valori di tensione superiori alla **tensione di soglia** rappresentano il valore 1 mentre quelli inferiori il valore 0
- Per evitare l'incertezza data dal rumore del circuito, tutti i **valori prossimi alla tensione di soglia** non vengono presi in considerazione (**banda vietata**)

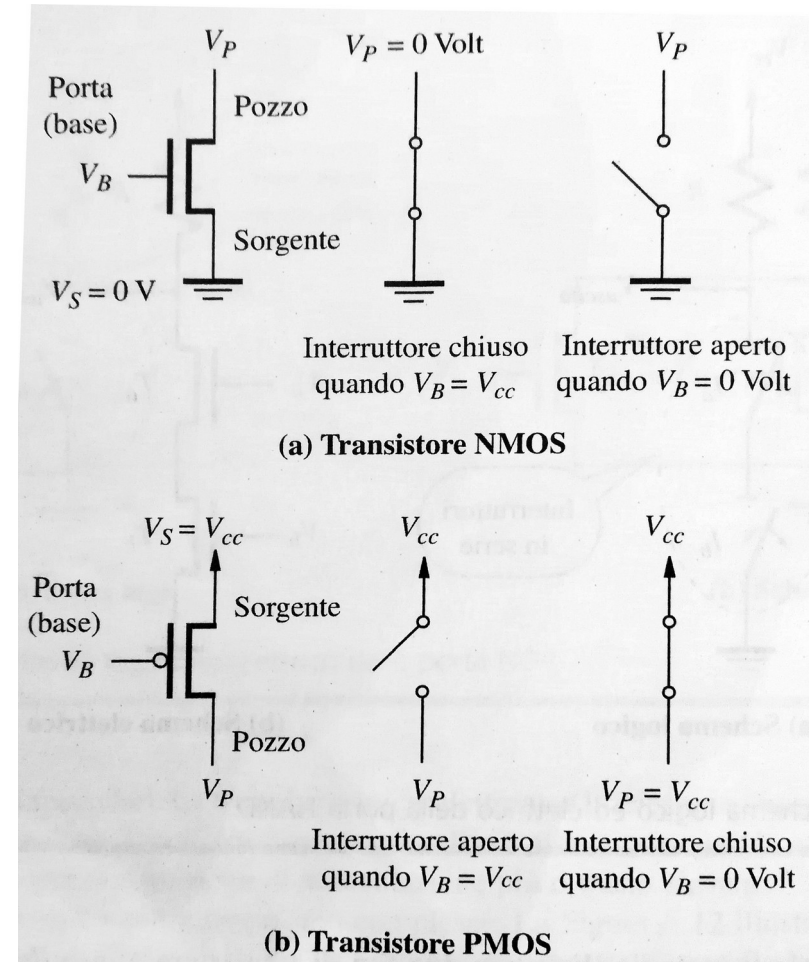


- I **transistori** sono delle componenti elettronici che possono svolgere la funzione di **interruttori**
- A seconda della tensione ricevuta in ingresso possono trovarsi in stato di **conduzione o interdizione**
- La tecnologia più comunemente usata è il **transistore a metallo-ossido-semiconduttore (MOS)**
- Valori tipici di tensione per tecnologia **MOS**:
 - $V_{cc} = 5 \text{ Volt}$, $V_{soglia} = 2.5 \text{ Volt}$
 - $V_{cc} = 3.3 \text{ Volt}$, $V_{soglia} = 1.5 \text{ Volt}$

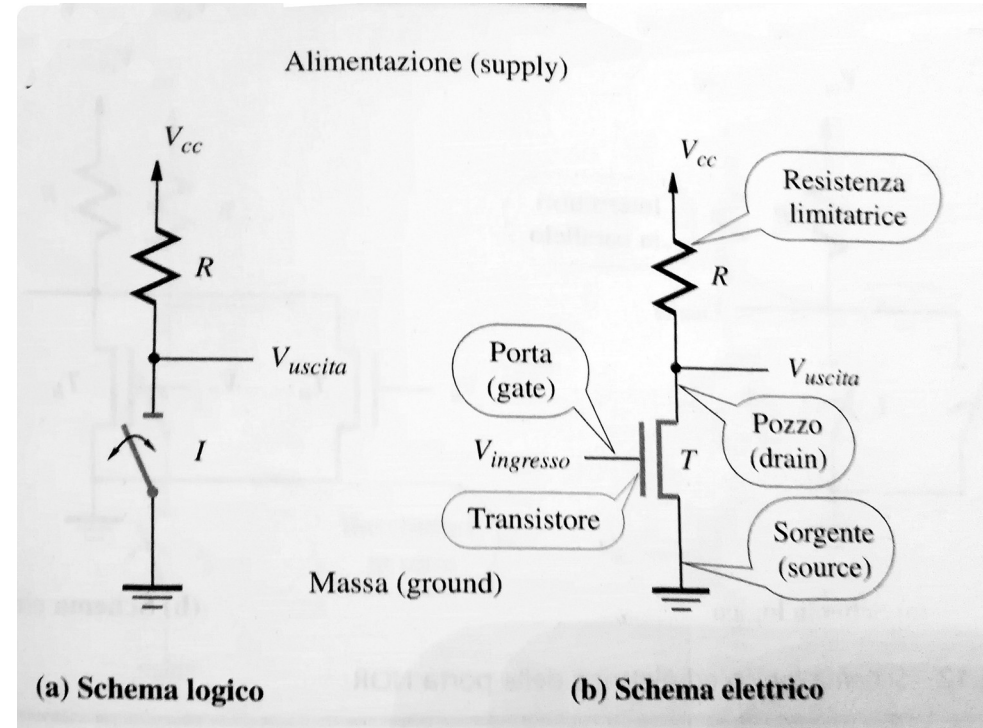
- I transistori MOS hanno 3 collegamenti: **Base (Porta), Pozzo e Sorgente**
- A seconda della tensione in ingresso nella Base il transistore collegherà o meno la Sorgente al Pozzo
- Se il transistore è in **stato di conduzione** la tensione nel Pozzo diventerà uguale alla tensione nella Sorgente



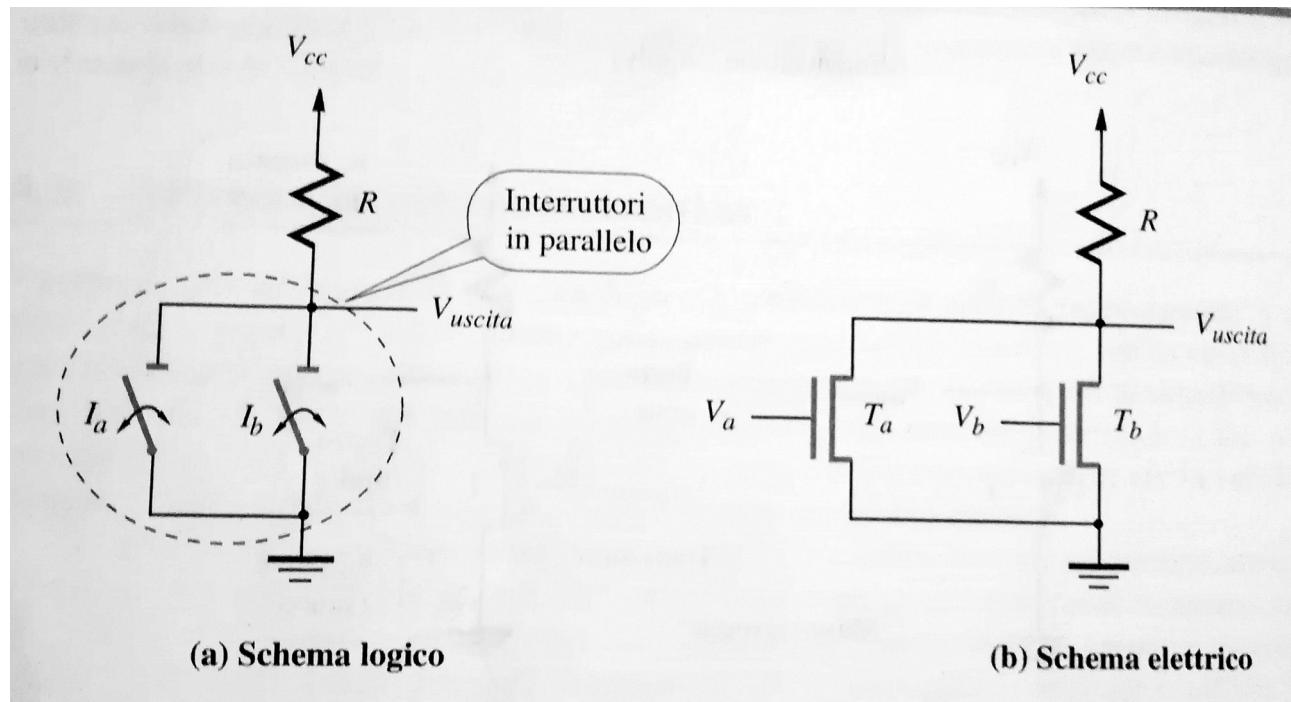
- Esistono 2 tipi di transistori MOS: **NMOS – PMOS**
- Nei transistori NMOS:
 - **Tensione di base alta = interdizione**
 - **Tensione di base bassa = conduzione**
 - **Sorgente collegata alla massa**
- Nei transistori PMOS:
 - **Tensione di base alta = conduzione**
 - **Tensione di base bassa = interdizione**
 - **Sorgente collegata all'alimentazione**



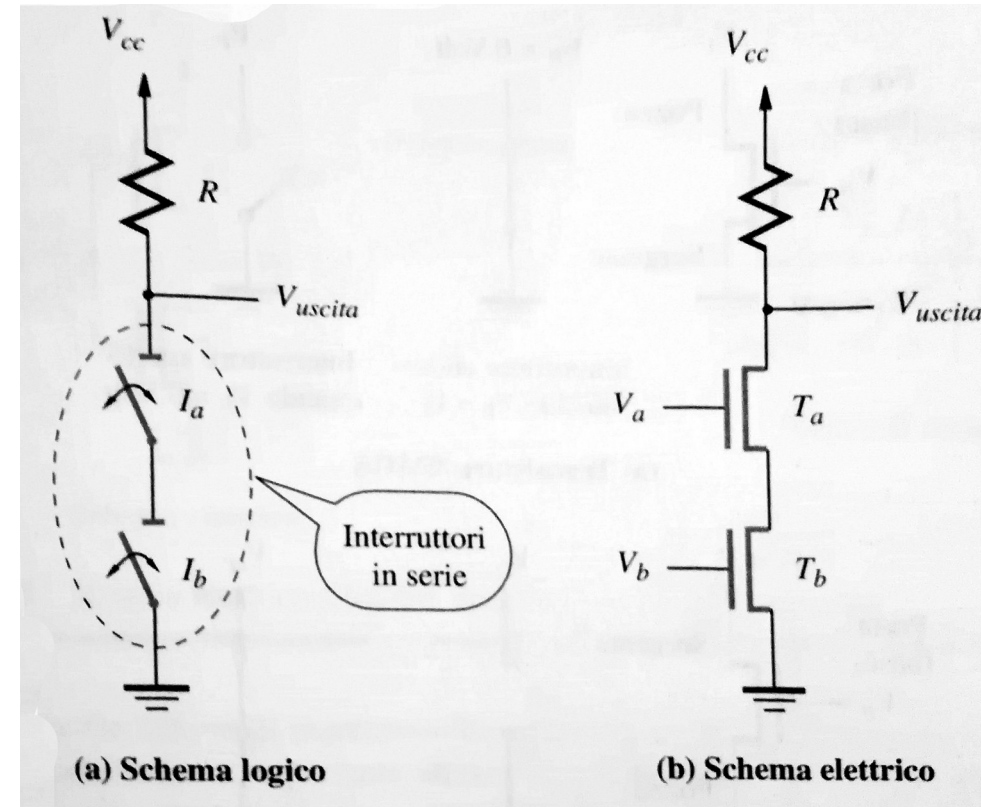
- Si ottiene una **porta NOT** con un transistor NMOS collegando:
 - Sorgente alla massa
 - Pozzo all'alimentazione tramite una resistenza
- Per una tensione di ingresso alla base a "1" si ottiene una tensione di uscita nel pozzo a "0" e viceversa



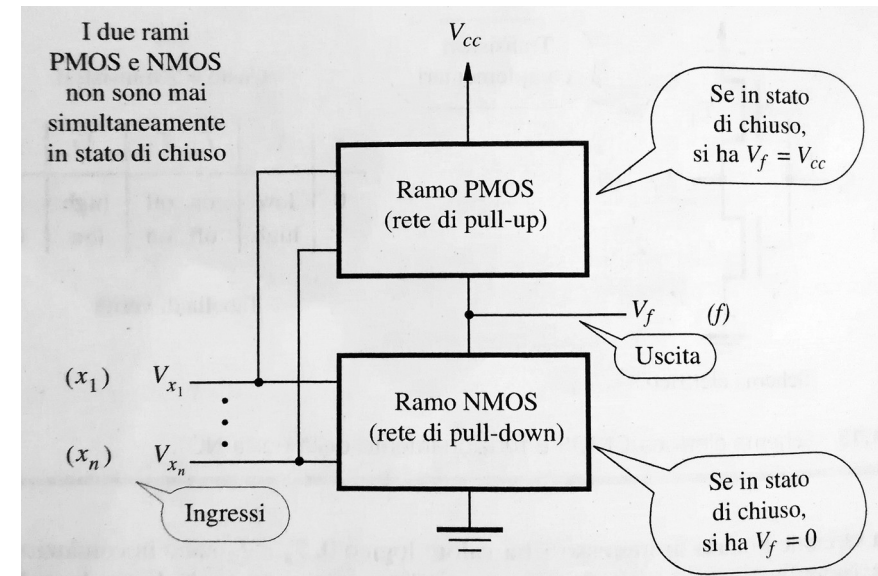
- Collegando due transistor **NMOS in parallelo** si ottiene una **porta NOR**
- Solo se entrambi i transistor sono in interdizione la tensione in uscita sarà “1”



- Collegando due transistor **NMOS in serie** si ottiene una **porta NAND**
- Solo se entrambi i transistor sono in conduzione ($V_a = V_b = "1"$) la tensione in uscita sarà "0"

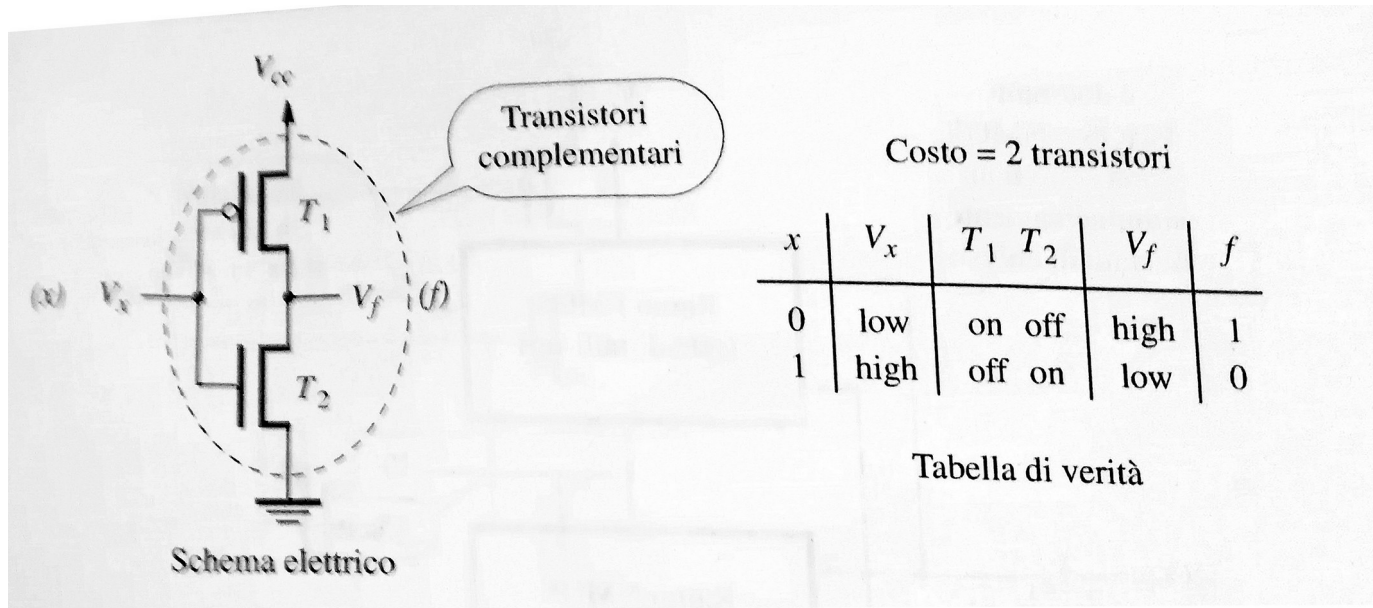


- Transistori NMOS hanno il problema di **consumare molta energia in stato di conduzione** dovuto alla resistenza
- Il problema si risolve con la tecnologia **MOS Complementare (CMOS)**
- La tecnologia CMOS consiste in un circuito composto da **un ramo di transistor NMOS collegato in serie ad uno di PMOS**
- Il comportamento dei due rami è **complementare** e in stato stabile non c'è mai continuità tra massa e alimentazione

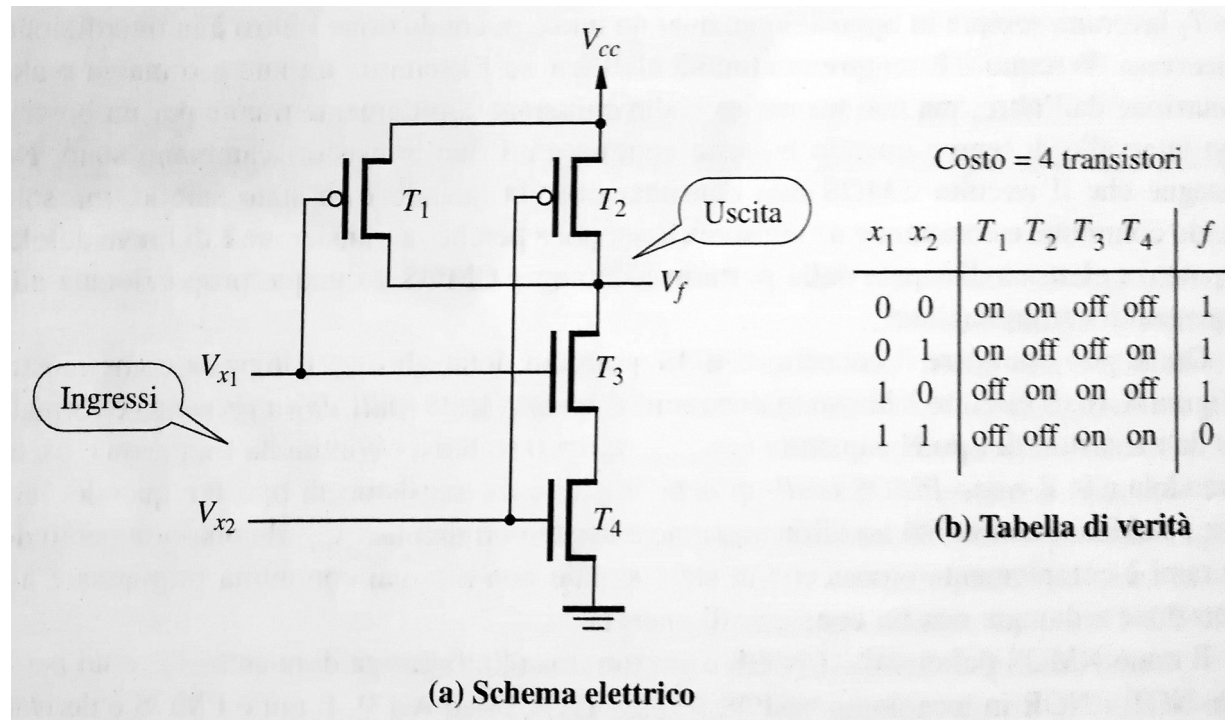


- **Consumo di potenza ridotto** (consumo solo in fase di commutazione)
- Potenza elettrica dissipata proporzionale alla frequenza di commutazione
- Transistori MOS hanno **dimensioni molto ridotte** (componenti con miliardi di transistori integrati)
- **Piccole dimensioni = alta frequenza massima di commutazione** (nell'ordine dei GigaHertz)

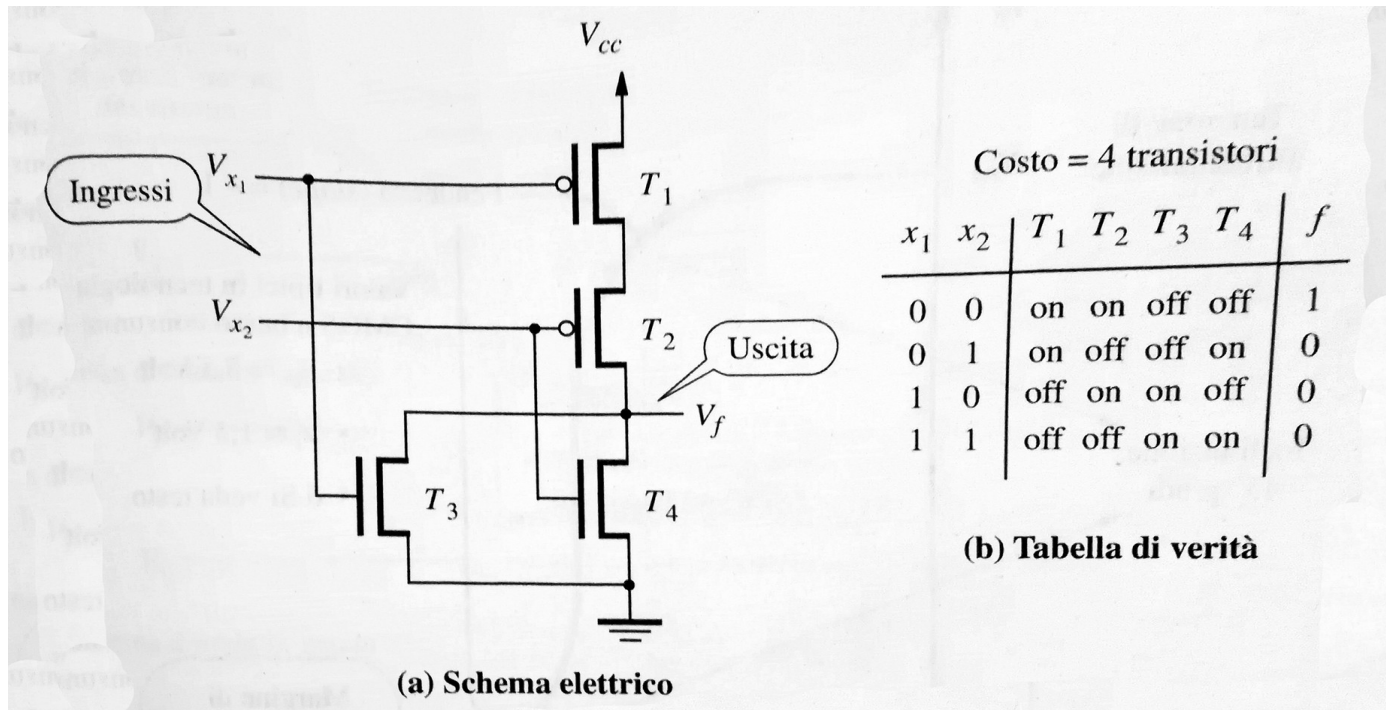
- Una porta NOT è realizzata da un transistore NMOS collegato in serie ad uno PMOS che condividono la stessa tensione di ingresso alla base
- Quando un transistore è in stato di interdizione l'altro è in stato di conduzione



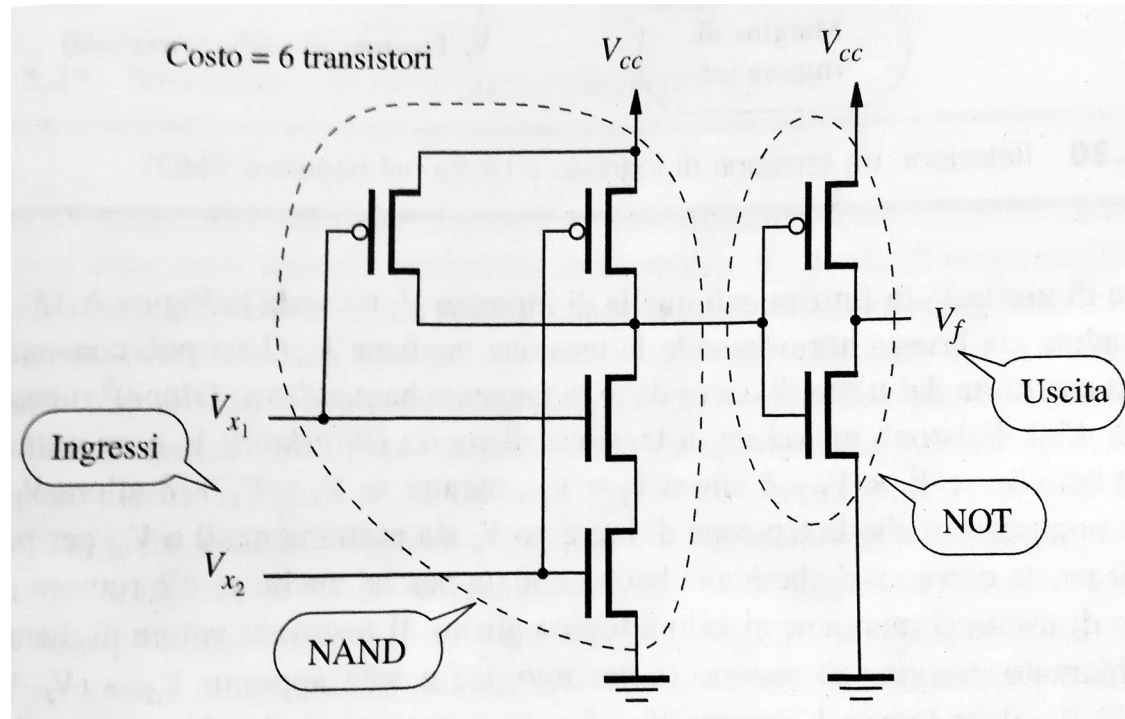
- Una porta **NAND** è realizzata da un circuito CMOS dove il ramo **NMOS** presenta **2 transistori in serie** (come visto prima) e quello **PMOS** due **in parallelo**



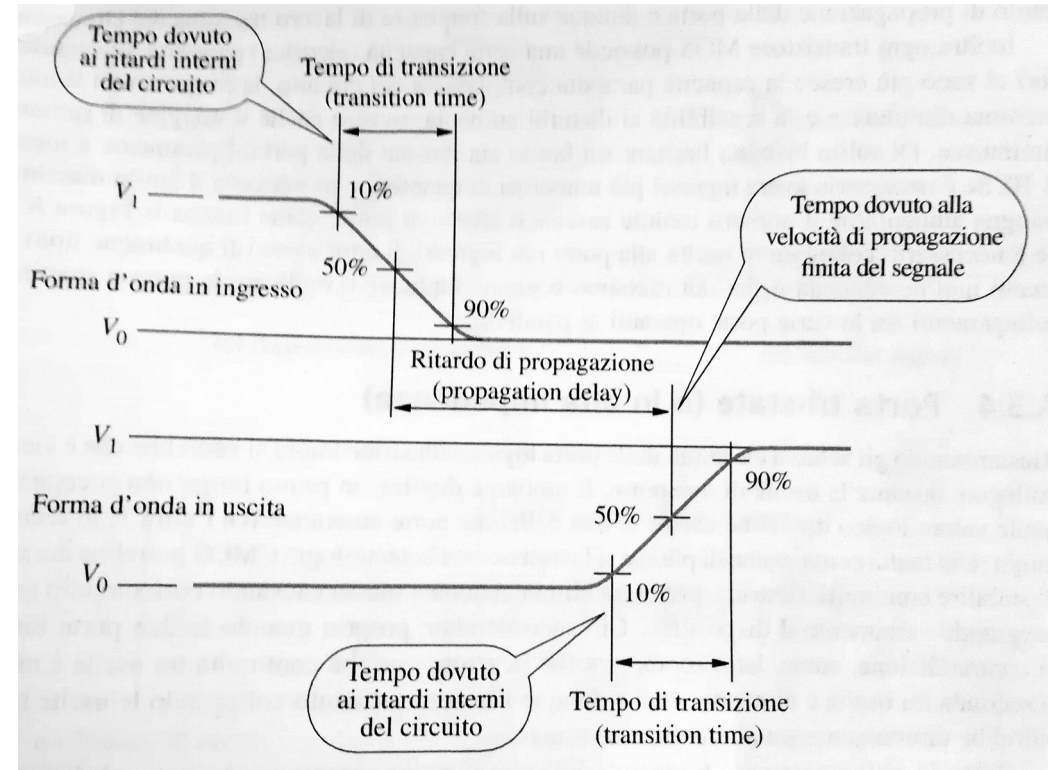
- Una porta **NOR** è realizzata da un circuito CMOS dove il ramo **NMOS** presenta **2 transistor in parallelo** (come visto prima) e quello **PMOS** **due in serie**



- Una porta AND è realizzata collegando una porta NOT all'uscita di una porta NAND
- Il costo di una porta **NAND è di 6 transistori** (la porta NAND ha costo 4)



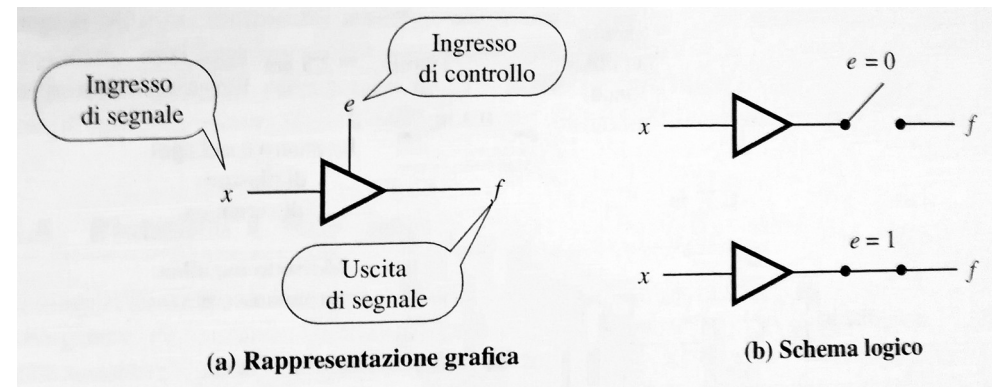
- Il **tempo di transizione** è il tempo impiegato da un segnale per transitare di livello
- Il **ritardo di propagazione** è il tempo che impiega l'uscita di un circuito ad adattarsi ai nuovi valori di input
- Il ritardo di propagazione del percorso più lento che collega ingresso e uscita si dice **critico**
- La **frequenza di lavoro** di un circuito sono le volte che esso commuta in un determinato tempo



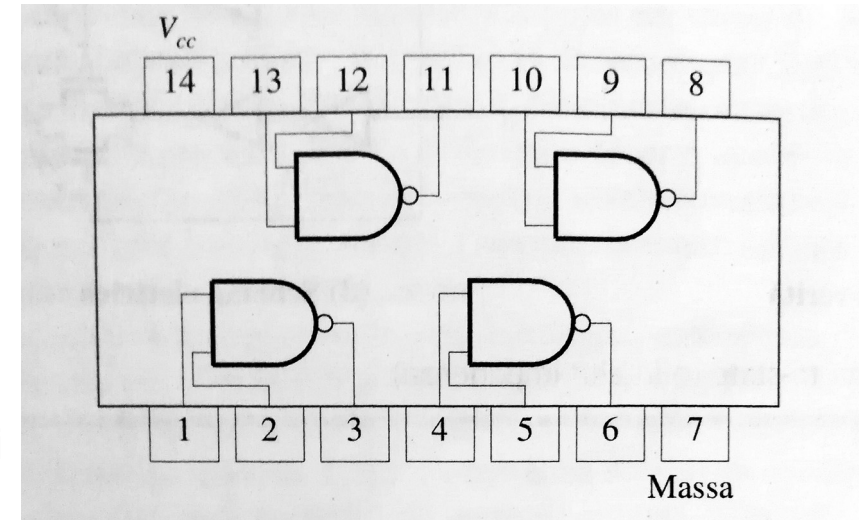
- Il numero di ingressi di una porta logica è chiamato **fan-in**
- Il numero di ingressi paralleli a cui può essere collegata l'uscita di una porta logica è chiamato **fan-out**
- Fan-in e fan-out **elevati** incidono negativamente sul **ritardo di propagazione** e sul **marginale di rumore**
- Tipicamente si limitano il fan-in e fan-out a 10 per porta

- **Non si possono collegare più uscite a uno stesso ingresso** (possibile cortocircuito e impossibilità di distinguere i valori di ingresso)
- Bisogna essere in grado di attivare un segnale di ingresso alla volta
- Le porte **tri-state** hanno due ingressi (**segnale** e **abilitazione**) e un'uscita a tre stati (**0**, **1** e **Z** (alta impedenza))
- Quando l'ingresso di abilitazione è
 - **1: uscita = segnale di ingresso**
 - **0: uscita = Z**

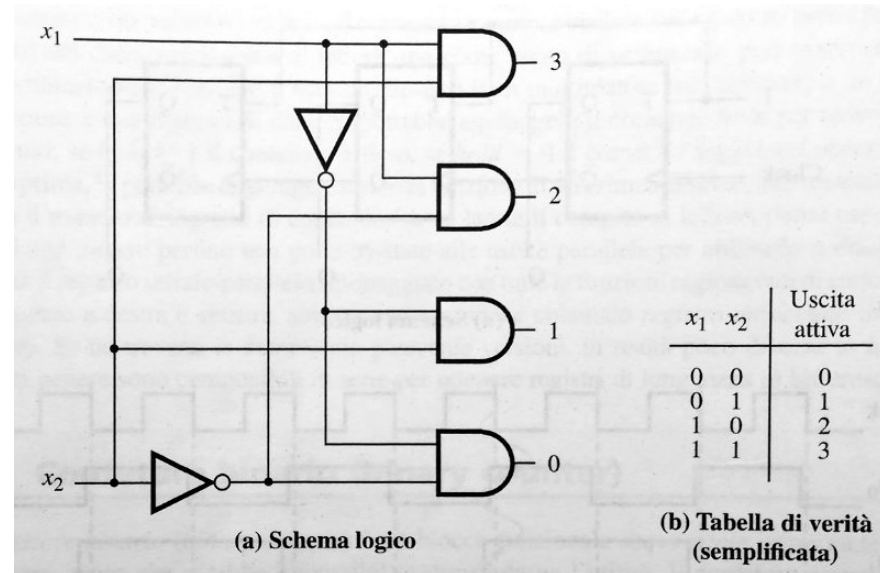
e	x	f
0	0	Z
0	1	Z
1	0	0
1	1	1



- Le realizzazioni circuitali di porte logiche sono raggruppate in **circuiti integrati**
- I **circuiti integrati** sono piastrine in silicio incapsulate in un **involucro protettivo** dotato di **morsetti (pin)** esterni
- Esistono 4 tipi di circuiti integrati a seconda della **scala di integrazione**:
 - **SSI (piccola)**: poche porte logiche
 - **MSI (media)**: addizionatore, sottrattore, singoli registri, moltiplicatore, etc.
 - **LSI (grande)**: ALU, banco di registri, piccoli processori
 - **VLSI (molto grande)**: memorie molto capaci, processori potenti

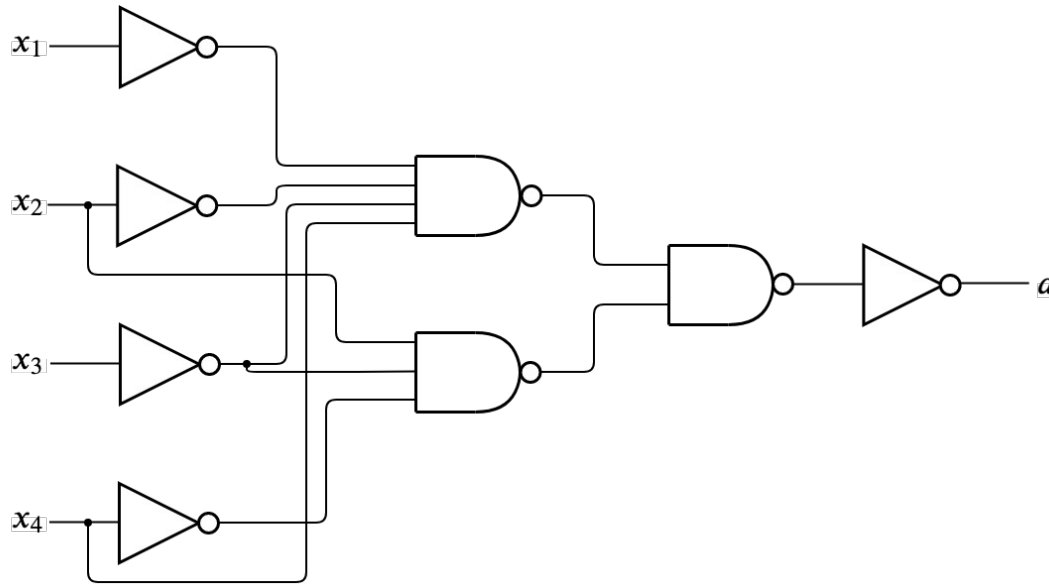


- Il **decodificatore** è un blocco funzionale combinatorio in grado di decodificare un codice binario in ingresso
- Il decodificatore base possiede **n ingressi** e **2^n uscite** e attiva la linea di uscita corrispondente al numero binario in ingresso

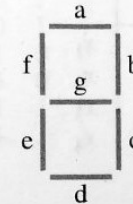


Decoder per decodificare una cifra decimale per pilotare un display a sette segmenti

- Ogni uscita rappresenta un segmento (1 acceso, 0 spento)
- Esempio implementazione con porte NAND e NOT



(a) Display a sette segmenti

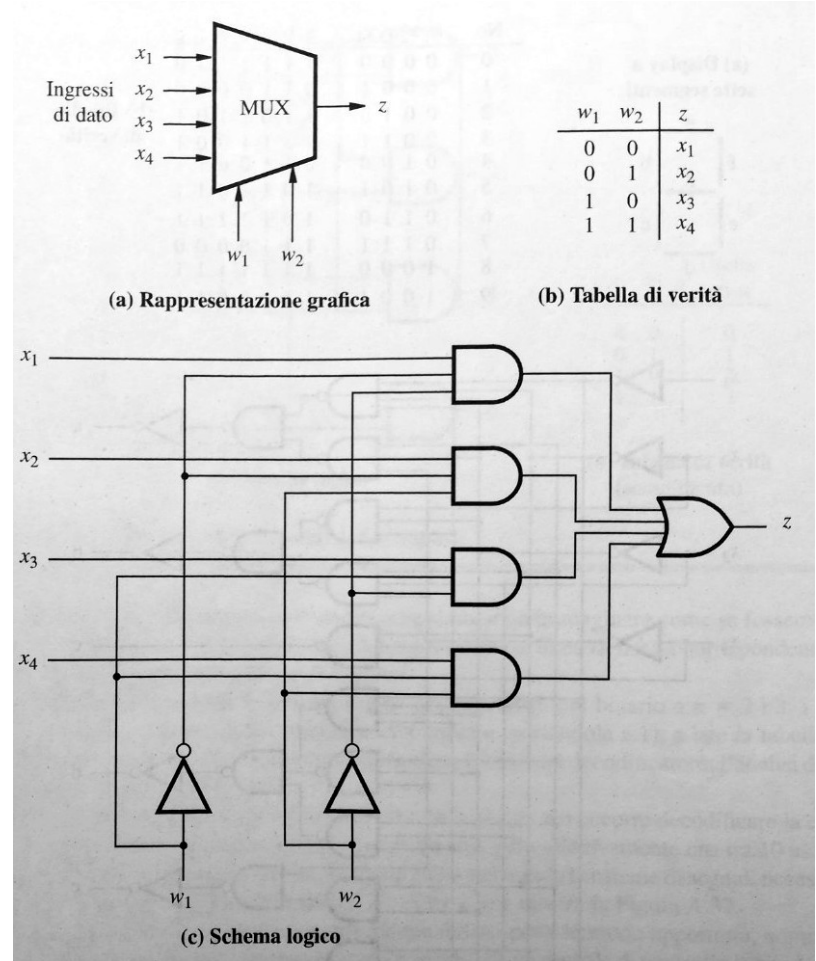


(b) Tabella di verità

No.	x_1	x_2	x_3	x_4	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Multiplatore (multiplexer)

- Il **multiplatore** è un circuito logico in grado di selezionare uno dei suoi **“ingressi dato”** da convogliare nella sua uscita
- Il multiplatore ha **n ingressi di selezione**, **2^n ingressi dato** e **un uscita**
- L'ingresso dato è selezionato dalla configurazione degli n bit di selezione
- Realizzabile come somma di prodotti degli ingressi



- Il **multiplatore** può essere usato per la **sintesi di funzioni combinatorie**
- Una funzione logica a 3 variabili si può rappresentare con un multiplatore a 2 ingressi di selezione
- Si compatta la funzione a 3 variabili in una funzione a 2 variabili raggruppando 2 a 2 le righe e mettendo la terza variabile in evidenza nella colonna di uscita

