

Esercizio 1:

Progettare un circuito CMOS che realizzi la funzione booleana di una porta logica OR a tre ingressi

Una porta OR a tre ingressi altro non e' che la negazione di una porta NOR a tre ingressi:

$$X_1 + X_2 + X_3 = \neg(\neg(X_1 + X_2 + X_3)) = \neg(X_1 \downarrow X_2 \downarrow X_3)$$

Quindi per realizzare un circuito CMOS di una porta logica OR a tre ingressi si puo' usare il circuito della porta NOR a tre ingressi messo in serie con un circuito per la porta NOT.

Circuito NOR:

La funzione logica NOR a tre ingressi puo' essere rappresentata dalla seguente espressione:

$$X_1 \downarrow X_2 \downarrow X_3 = \neg(X_1 + X_2 + X_3) = \neg X_1 \neg X_2 \neg X_3$$

Questa sara' l'equazione rappresentata dalla rete di pull-up ma con le variabili di ingresso complementate. Quindi la rete di pull-up sara' formata da tre PMOS in serie con x, y e z in input.

La rete di pull-down e' formata a partire dal complemento della funzione:

$$X_1 + X_2 + X_3$$

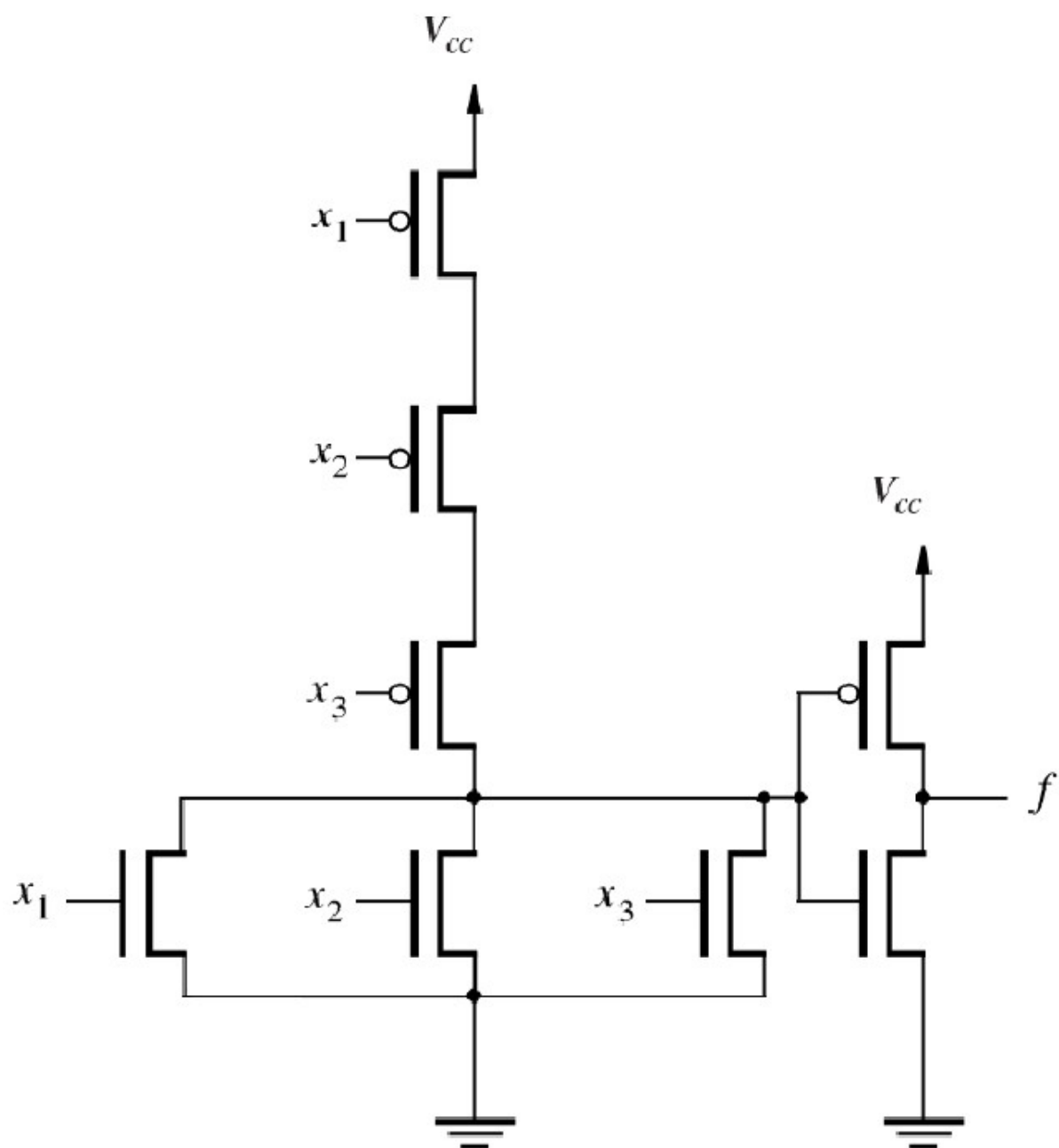
Quindi conterra' 3 NMOS in parallelo.

Circuito NOT:

Visto a lezione, la rete di pull-up contiene un solo transistor PMOS e quella di pull-down uno solo NMOS.

Circuito OR a tre ingressi:

Collegando i due circuiti in serie si ottiene il seguente circuito:



Esercizio 2:

Si vuole realizzare un registro a scorrimento a rotazione da 4 bit che abbia le seguenti funzionalità:

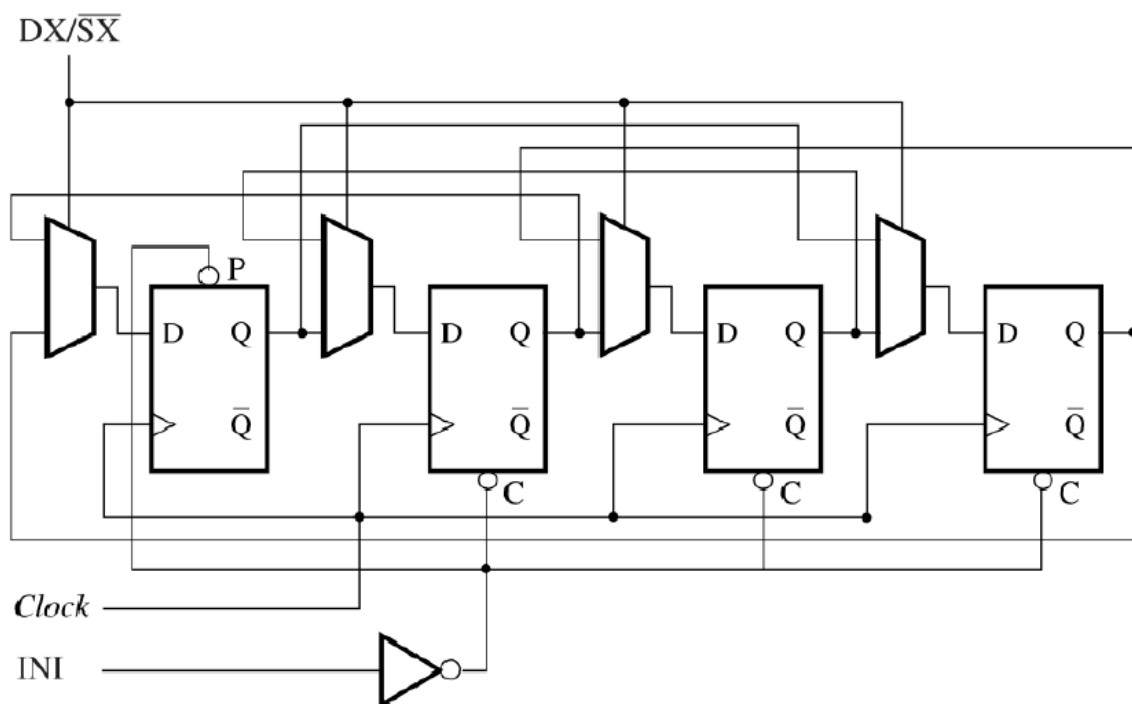
1. Poter essere inizializzato con il numero binario 1000 in qualsiasi momento. Usare un bit di controllo INI per decidere se effettuare l'inizializzazione o meno (INI = 1 inizializzazione, INI = 0 funzionamento normale del registro)
2. Essere in grado di effettuare lo scorrimento sia a destra che a sinistra. Usare un bit di controllo DX/SX per scegliere la modalità di scorrimento (DX/SX = 1 destra, DX/SX = 0 sinistra)

Suggerimento: Implementare il registro usando flip-flop di tipo D con preset e clear.

Per realizzare il punto uno si può collegare il bit INI negato al preset del primo flip-flop e ai clear dei 3 flip-flop seguenti, collegando un segnale costante 1 a tutti gli altri preset e clear.

Per il punto 2 si può collegare un moltiplicatore a 1 ingresso di selezione (DX/SX) all'ingresso di ogni flip-flop. I moltiplicatori collegheranno i flip-flop all'uscita del flip-flop precedente o successivo a seconda del valore del bit di selezione DX/SX.

Ecco il circuito risultante:



Esercizio 3:

Si consideri la funzione logica specificata dalle espressioni:

a) $f_a(x_1, x_2, x_3, x_4) = x_1 x_3 \neg x_4 + \neg x_1 \neg x_3 x_4 + \neg x_2 \neg x_3 \neg x_4$

b) $f_b(x_1, x_2, x_3, x_4) = x_1 \neg x_2 x_3 + x_2 x_3 x_4 + \neg x_1 \neg x_4$

Mostrare una realizzazione delle funzioni ottenuta usando un multiplatore a tre ingressi di selezione

Ecco le tabelle di verita' delle due funzioni:

x_1	x_2	x_3	x_4	f_a	f_b
0	0	0	0	1	1
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	1	0
1	1	1	1	0	1

Creiamo una tabella di verita' a tre variabili per ogni funzione dove le variabili di ingresso sono x_1 , x_2 e x_3 e l'uscita e' definita in funzione di $\{0, 1, x_4, \neg x_4\}$. Le 2^3 uscite delle funzioni a tre variabili saranno i 2^3 ingressi dato dei rispettivi multiplatori mentre x_1 , x_2 e x_3 saranno gli ingressi di selezione. Ecco le tabelle di verita' delle 2 funzioni a 3 variabili:

x_2	x_3	x_4	f_a	f_b
0	0	0	1	$\neg x_4$
0	0	1	0	$\neg x_4$
0	1	0	x_4	$\neg x_4$
0	1	1	0	1
1	0	0	$\neg x_4$	0
1	0	1	$\neg x_4$	1
1	1	0	0	0
1	1	1	$\neg x_4$	x_4

Esercizio 4:

Progettare un circuito CMOS che realizzi la funzione booleana di una porta XOR. Si supponga che siano disponibili anche gli ingressi già complementati.

Circuito NOR:

La funzione logica NOR a tre ingressi può essere rappresentata dalla seguente espressione:

$$X_1 \text{ XOR } X_2 = (X_1 + X_2) (\neg X_1 + \neg X_2)$$

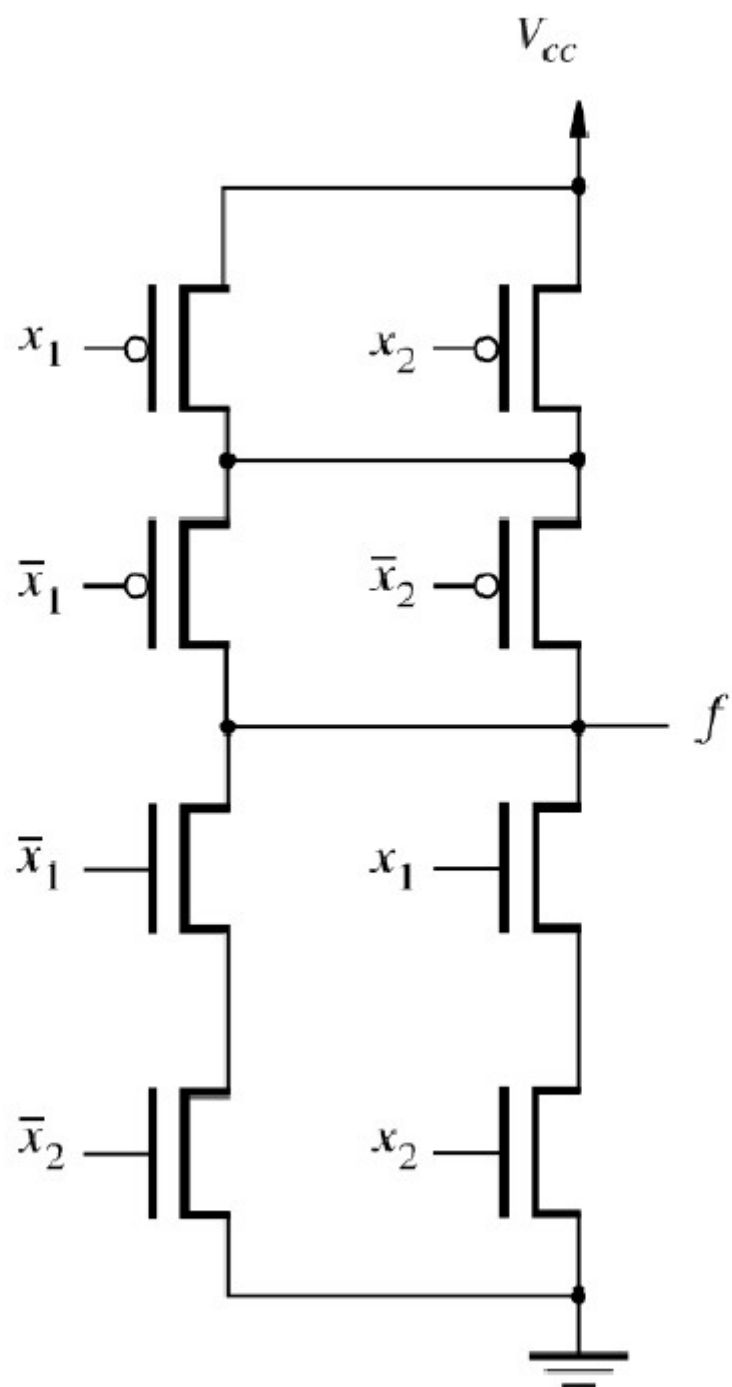
Questa sarà l'equazione rappresentata dalla rete di pull-up ma con le variabili di ingresso complementate. Quindi la rete di pull-up sarà formata da due reti di 2 PMOS paralleli collegate in serie.

La rete di pull-down è formata a partire dal complemento della funzione:

$$\neg((X_1 + X_2) (\neg X_1 + \neg X_2)) = \neg((X_1 + X_2)) + \neg((\neg X_1 + \neg X_2)) = (\neg X_1 \neg X_2) + (X_1 X_2)$$

Quindi conterrà due reti di 2 PMOS in serie collegate in parallelo.

Il circuito risultante è il seguente:

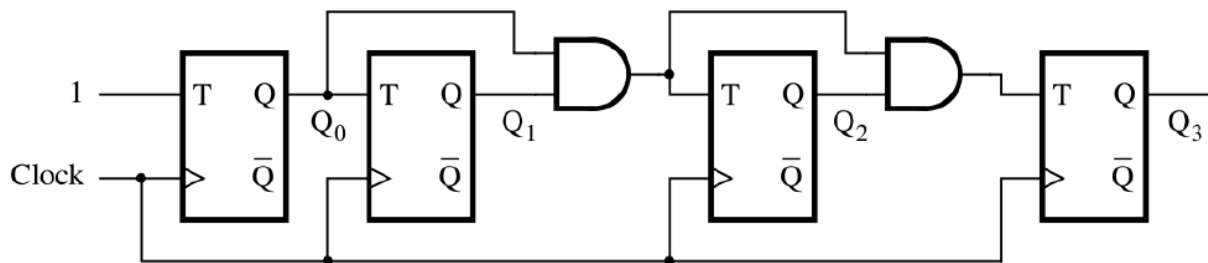


Esercizio 5:

Tracciare uno schema logico di un contatore binario sincrono a 4 bit, formato da 4 flip-flop di tipo T collegati in parallelo ad uno stesso segnale di clock. In tale contatore le uscite di tutti i flip-flop si aggiornano nello stesso istante essendo pilotate da uno stesso segnale di clock (a differenza della versione asincrona vista a lezione).

Un contatore binario di n bit produce i numeri naturali da 0 a 2^{n-1} espressi in binario e aumentati di 1 ogni ciclo di clock. Se andiamo ad analizzare come cambiano i bit sommando 1 ad un numero binario, vedremo che ciascun bit cambia valore solo se tutti i bit meno significativi sono a 1. Partendo da questa analisi possiamo realizzare un circuito per il contatore sincrono dove gli ingressi T di ogni flip-flop sono collegati ad una porta AND che vale uno solo se le uscite di tutti i flip-flop precedenti vale 1.

Ecco il circuito risultante:



Esercizio 6:

Tracciare lo schema logico di un registro a scorrimento verso destra a 4 bit in cui sia possibile scegliere se scorrere il contenuto di una o due posizioni attraverso il segnale di controllo UNO/DUE. Nel caso di scorrimento di 2 posizioni duplicare il segnale d'ingresso nei primi due flip_flop del registro.

Un circuito con queste proprietà può essere realizzato collegando un moltiplicatore a ingresso di selezione singolo all'ingresso di ogni flip-flop. Il bit di selezione UNO/DUE deciderà se far ricevere come ingresso l'uscita del flip-flop subito precedente o quella del secondo flip-flop precedente.

Il circuito che realizza tale registro è il seguente:

