TP1 - Ex1

On considère les circuits X et Y suivants:

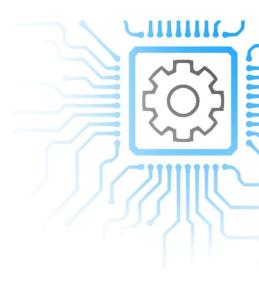


Avec:

Circuit X réalise un ET logique entre les entrées A₁ et B₁

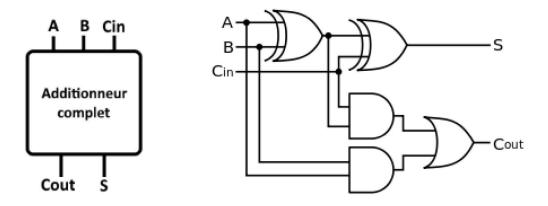
Circuit Y réalise un XOR logique entre les entrées A₂ et B₂

Ecrire les parties entity et architecture de chaque circuit.

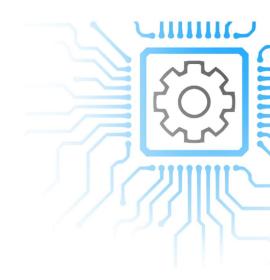


TP1 - Ex2

On considère le logigramme d'un additionneur complet suivant :

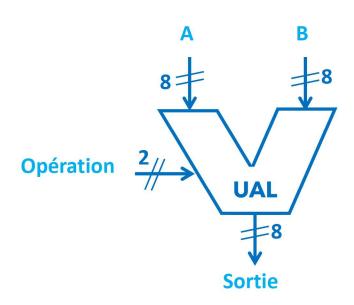


- 1- Donner la forme canonique des sorties S et Cout en fonction des entrées A,B,Cin.
- 2- Ecrire le code VHDL (entity, architecture) qui implémente l'additionneur complet



TP1 – Ex3

On considère l'UAL simple suivante:



Avec:

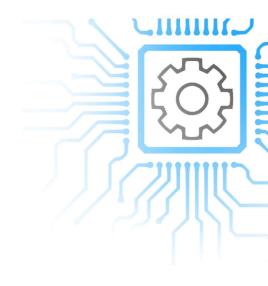
Opération = 00 → Addition de A et B

Opération = 01 → Soustraction de A et B

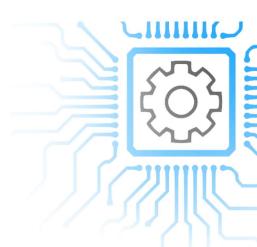
Opération = $10 \rightarrow A ETB$ (bit par bit)

Opération = 11 → A OU B (bit par bit)

Ecrire la description de cette UAL simple.

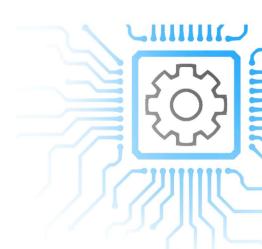


TP2

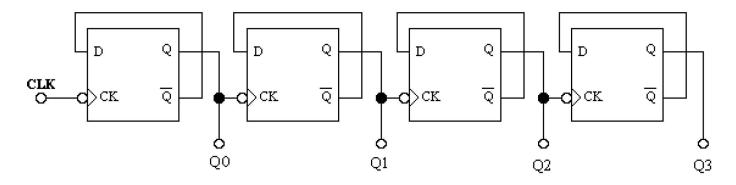


- 1- Ecrire le code VHDL pour réaliser un compteur synchrone modulo 16. Le compteur contient une entrée Clk (horloge) et une sortie Q.
- 2- Réécrire le code précédent en ajoutant deux autres entrées:
 - En: pour activer/désactiver le comptage
 - RST: pour remettre à zéro le compteur

TP3 - Ex1



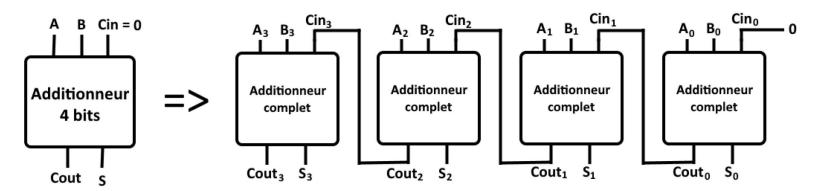
- 1- Ecrire le code VHDL d'une bascule D qui fonctionne sur front descendant avec une entrée D et deux sorties Q et Q bar.
- 2- En utilisant la bascule D de la question 1, réaliser un compteur asynchrone modulo 16



3- En utilisant que la description structurelle, créer un nouveau circuit qui se base sur le compteur de la question 2 et qui contient, en plus, une entrée **En** pour activer ou désactiver le comptage.

TP3 – Ex2

On considère l'additionneur 4 bits suivant :



En utilisant l'additionneur complet d'un bit de l'exercice 2 du TP1, donner le code VHDL qui implémente ce circuit





TP4

Ecrire le TestBench des codes réalisés dans les TPs précédents

