

1.

- (1) 写出 NMOS 萨氏方程
- (2) 画出增强型 NMOS/耗尽型 NMOS/增强型 PMOS/耗尽型 PMOS 转移特性曲线

2.CMOS

- (1) $Z = \overline{A + BC + D(E + F)}$ ，画出电路图
- (2) 等效倒相器 NMOS 宽长比为 1，电子空穴迁移率比为 2，设计各个管子的宽长比

3.PLA、ROM

- (1) 两张图中电路图的名称是什么？（“或非-或非” PLA、“与非-与非” PLA）写出对应的逻辑表达式。
- (2) NMOS 的或非 ROM，在图中填入 NMOS 完成上题的逻辑

4.CMOS 版图

- (1) 读版图，画出电路图
- (2) 写出输出的逻辑表达式，说明实现什么逻辑功能

5.设计

- (1) 用 MUX 实现一位半加器
- (2) 设计 2*2 位乘法器，画出符号图

1.NMOS 的三个工作区分别的萨方程，数电、模电一般分别工作在哪个区域？

2.CMOS 读图，写表达式， $F=ABCD+E$ 的非。给 NMOS 等效宽长比和电子空穴迁移率比值，计算各管子宽长比

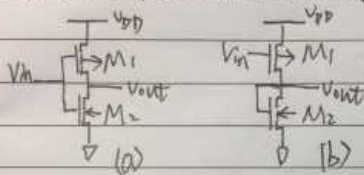
3.读或非或非 PLA 写表达式，转为用或非 ROM+译码器的形式设计

4.读版图，画电路图，写表达式，改用 MUX 来设计

5.ALU 半加器实现四种不同运算，用 CMOS 逻辑电路或者 MUX 传输门来实现输入端函数的设计

16) 该电路功能是什么? 输入为00时 M_1, M_2 工作状态?

(a) 与 (b) 工作于放大状态时的增益? 哪个增益大?



2. ① 用 MOS 组合逻辑电路实现 $D(BC+A)$

② 若 $\mu_n/\mu_p = 2$, 此致倒相器 NMOS 宽长比为 1, 设计各 MOS 宽长比并求出最坏情况, 及此情况下的 t_{p0}

③ 用 MUX 实现 $S_1S_2S_3 + S_2\bar{S}_1\bar{S}_0A + S_2S_1\bar{S}_0\bar{A}$

3. 读 ROM 版图, 说明是哪种 ROM 并填表格

4. 指出图名称 (PLA 阵列) 并写出 Z 的表达式并用 2 到 1 MUX 实现

5. 读版图谈功能

回忆: (VLSI) 15-16-3

1. ① CMOS 倒相器功能: 在输入为 0 时, PMOS ^(截止) NMOS ^(线性) 分别工作于什么状态

②: CMOS 作低驱动的 AVE, PMOS 为 2 倍, 栅漏电容的 NMOS 为负载管的 1/2

比较大小

电容电压相为
电阻

$$A_{VE} = -\frac{g_{m1}}{g_{m2}} \sqrt{\frac{\mu_n C_{ox}}{\mu_p C_{ox}}} \sqrt{\frac{W_1}{W_2}}$$

2. ① 设计 CMOS 组合逻辑 $D(A+BC)$

② $\mu_n/\mu_p = 2$, 且 $(\frac{W}{L})_n = 1$, 用致倒相器设计出的 MOS 管的 $\frac{W}{L}$, 且计算最坏

情况 $\frac{t_{p0}}{t_{f0}}$ [若 $\frac{W}{L} = 1$]

③: 用 MUX 实现 -Y 逻辑 (课后作业类似)

3. 读 ROM, 填表 (或作 ROM). [版图形式的 ROM]

4. 或作 - 或作 PLA, 写逻辑表达式, 并用 MUX 实现

5. 版图 → 三态门

14-15-3 VLSI 考题.

1. (1) 读 ROM 图表. 2. 图例相点电路 由数字及模拟电路中
(2) 写出表达式 的 (1) 名称 (2) 工作区域
(3) V_{out} 与 V_{in} 的关系.

3. 读版图、画电路图

写表达式 (很简单) 大概是 $A(B+C)$

4. 图例与非与非 PLA

写名称, 据逻辑表达式 圈要设的 mos 管.

5. 用一个 clk 形成两根不同时钟的画法. clk 中, 中时图
(chapter 6 的作业题).