

数字 IC 第 3 次课堂总结

一、临界输入转折电平 V_{in}^*

放大器有 4 种类型，分别为：

(a) 跨导放大器。对应于电压控制电流源， $k = g = \frac{I_{OUT}}{V_{IN}}$ 。

(b) 电压放大器。对应于电压控制电压源， $k = A_u = \frac{V_{OUT}}{V_{IN}}$ 。

(c) 电流放大器。对应于电流控制电流源， $k = A_i = \frac{I_{OUT}}{I_{IN}}$ 。

(d) 跨阻放大器。对应于电流控制电压源， $k = r = \frac{V_{OUT}}{I_{IN}}$ 。

由于反相器输入、输出的都是电压信号，因此反相器可以看作电压放大器，其转移特性曲线中曲线的斜率就是电压放大倍数（也可称为电压增益）。由图 1 可知，由于曲线中点处斜率最大，因此在中点处电压增益也最大。在模电中，过渡区是 Push-Pull 放大器的原型。而在数电中，该区域越小越好。

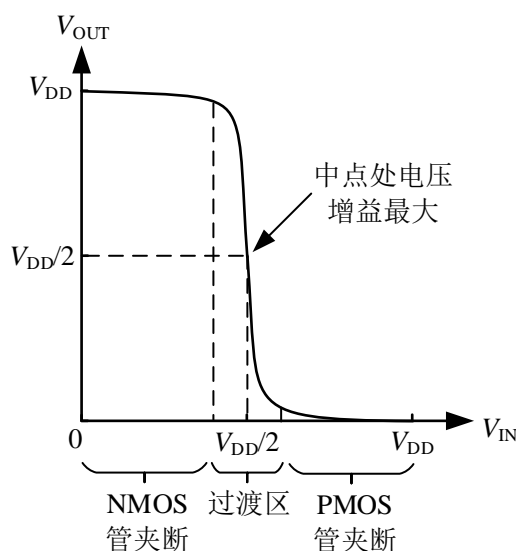


图 1 反相器的转移特性曲线

当 V_{IN} 过低时，NMOS 管的 $V_{GS} < V_{TN}$ ，因此 NMOS 管截止；当 V_{IN} 过高时，PMOS 管的 $V_{GS} < V_{TP}$ ，因此 PMOS 管截止。两个区域中间的范围被称为过渡区。

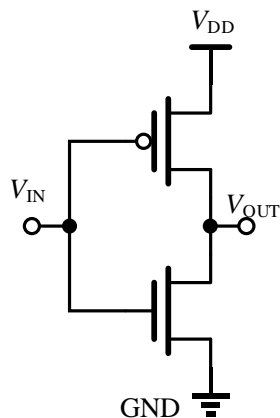


图 2 反相器电路图

一般临界输入转折电平 V_{in}^* 位于中间电平 ($V_{DD} / 2$)，且 $V_{IN} = V_{in}^*$ 时输出也应位于 $V_{DD} / 2$ 。对于如图 2 所示的反相器，根据 $V_{IN} = V_{OUT}$ 、 $I_N = I_P$ 、上下两管均工作在饱和区（由于 $V_{IN} = V_{OUT}$ ，所以两管都可视为二极管接法）等条件，我们可以用下式求出 V_{in}^* ：

$$\frac{1}{2} \beta_p (V_{DD} - V_{in}^* - V_{TP})^2 = \frac{1}{2} \beta_n (V_{in}^* - V_{TN})^2$$

$$\text{设 } \alpha = \sqrt{\frac{\beta_n}{\beta_p}}, \quad \beta_i = \mu_i C_{OX} \left(\frac{W}{L} \right)_i, \quad \text{可得:}$$

$$V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha}$$

由上式可知，要使 V_{in}^* 位于中间 ($V_{in}^* = V_{DD} / 2$ 且 $V_{OUT} = V_{DD} / 2$)，就需要让 $\alpha = 1$ （即 $\beta_p = \beta_n$ ）且 $V_{TN} = |V_{TP}|$ 。

下面给出一个反例，假如 $\left(\frac{W}{L} \right)_n \gg \left(\frac{W}{L} \right)_p$ ，那么就有 $\beta_n \gg \beta_p$ ，从而导致 α 变大， V_{in}^* 变小。也就是说，当 NMOS 管的 $\left(\frac{W}{L} \right)_n$ 过大时，其下拉能力变强，那么只需要很小的 V_{in} 就能实现下拉。除此之外， V_{in}^* 的变化范围也有限制，由下式

$$\begin{cases} \lim_{\alpha \rightarrow \infty} V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha} = V_{TN} \\ \lim_{\alpha \rightarrow 0} V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha} = V_{DD} - V_{TP} \end{cases}$$

可知, V_{in}^* 的变化范围是 $(V_{TN}, V_{DD} - V_{TP})$ 。一旦超出该范围, 就会有 MOS 管在过渡区夹断, 其极限情况如图 3 所示。

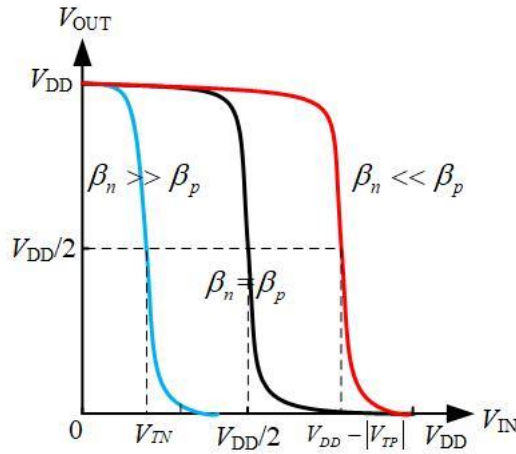


图 3 不同尺寸下 VTC 曲线的变化

二、 β_i 的计算及其物理意义

在一些场合, β_i 也可表示为 k_i (下标代表 PMOS 管或 NMOS 管):

$$\beta_i = k_i = \mu_i C_{OX} \left(\frac{W}{L} \right)_i$$

其中 μ_i 是电子或空穴的迁移率, 单位 $\frac{\text{cm}^2}{\text{V} \cdot \text{s}}$; C_{OX} 是单位面积的栅氧化层电

容, 单位 F/cm^2 ; $\left(\frac{W}{L} \right)_i$ 是 PMOS 管或 NMOS 管的宽长比, 无量纲。

又因为

$$C_{\text{OX}} = \frac{\varepsilon_{\text{OX}} \varepsilon_0}{t_{\text{OX}}}$$

其中 ε_0 是真空介电常数， $\varepsilon_{\text{OX}} \approx 8.854 \times 10^{-14} \text{ F/cm}$ ； ε_{OX} 是栅氧化层的相对介电常数， $\varepsilon_{\text{OX}} \approx 3.9$ ； t_{OX} 是栅氧厚度，一般为 $9 \times 10^{-7} \text{ cm}$ 。因此，当

$\left(\frac{W}{L}\right)_i = \frac{50}{0.5}$ 时， β_i 与 k_i 的典型计算过程如下：

$$\begin{cases} \beta_n = k_n = \mu_n C_{\text{OX}} \left(\frac{W}{L}\right)_n = 350 \frac{\text{cm}^2}{\text{V} \cdot \text{s}} \cdot \frac{3.9 \times 8.854 \times 10^{-14} \text{ F/cm}}{9 \times 10^{-7} \text{ cm}} \times 100 = 1.3429 \times 10^{-2} \text{ A/V}^2 \\ \beta_p = k_p = \mu_p C_{\text{OX}} \left(\frac{W}{L}\right)_p = 100 \frac{\text{cm}^2}{\text{V} \cdot \text{s}} \cdot \frac{3.9 \times 8.854 \times 10^{-14} \text{ F/cm}}{9 \times 10^{-7} \text{ cm}} \times 100 = 3.8367 \times 10^{-3} \text{ A/V}^2 \end{cases}$$

上面只是演示一下计算过程， β_n 和 β_p 并不一定是上面的值，因为题目中给出的参数大小可能不尽相同。上面的计算还说明，由于 $\mu_n > \mu_p$ ，所以 $\beta_n > \beta_p$ ($k_n > k_p$)。

下面考虑一下 $\beta_i = k_i = \mu_i C_{\text{OX}} \left(\frac{W}{L}\right)_i$ 的物理意义：

(a) k_i 是与电流大小成正比的量，迁移率 μ_i 则是与载流子运动速度成正比的量。根据 $\mu_i = \frac{v}{E}$ 与 $I = \frac{Q}{t}$ ，可知迁移率 μ_i 越大，载流子运动得越快，那么单位时间内通过沟道的电荷量 Q 也就越大，最终电流 I 越大。因此 $k_i \propto \mu_i$ 。

(b) 单位面积的栅氧化层电容 C_{OX} 越大，根据 $Q = CV = C_{\text{OX}} (V_{\text{GS}} - V_{\text{TH}})$ 可知载流子总的电荷量 Q 也就越大，最终电流 I 越大。从而 $k_i \propto C_{\text{OX}}$ 。

(c) $\left(\frac{W}{L}\right)_i$ 是 MOS 管的宽长比，宽长比越大，载流子越容易从源端漂移到漏端，如图 4 所示。因此 $k_i \propto \left(\frac{W}{L}\right)_i$ 。

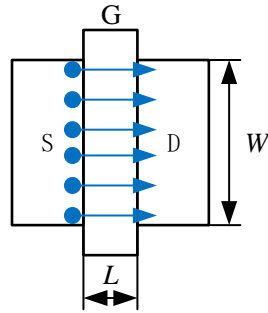


图 4 MOS 管俯视图

三、噪声容限

噪声容限是数字集成电路独有的巨大优势。模拟集成电路中一旦出现噪声，那么误差就很难避免；数字集成电路中出现噪声，并不一定会影响电路的正常工作。

如图 5，对于输出信号 V_O 而言，当 $V_O = V_{OH}$ 时， V_{OH} 过低会出现问题；当 $V_O = V_{OL}$ 时， V_{OL} 过高会出现问题。因此我们关心的是 $V_{OH,min}$ 和 $V_{OL,max}$ 。对于输入信号 V_I 而言，当 $V_I = V_{IH}$ 时，我们关心的是下限 $V_{IH,min}$ ；当 $V_I = V_{IL}$ 时，我们关心的是上限 $V_{IL,max}$ 。

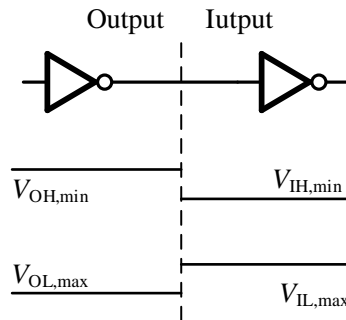


图 5 噪声容限示意图

因此高低电平的噪声容限分别为

$$\begin{cases} \text{低电平噪声容限 } NM_L = V_{IL,max} - V_{OL,max} \\ \text{高电平噪声容限 } NM_H = V_{OH,min} - V_{IH,min} \end{cases}$$

其中 NM 是 noise margin（噪声容限）的缩写。此外，输出电平在以下情况下会出错：

$$\begin{cases} V_{OL} > V_{IL,max} \\ V_{OH} < V_{IH,min} \end{cases}$$

当 V_{in}^* 变小时, V_{IH} 、 V_{IL} 随之减小, 导致 NM_L 变小、 NM_H 变大, 出现失配。只有 V_{in}^* 靠中间时, NM_L 与 NM_H 都较大, 此时才有利于电路抗噪声。

四、输入上下限的计算

如果反相器要起到放大作用, 那么其电压增益的绝对值就要大于 1 (即实际值小于 -1), 由此可以在转移特性曲线上绘制出输入上下限与输出上下限的范围, 如图 6 所示。首先可以找出 2 处电压增益 (斜率) 为 -1 的点, 然后分别作水平线与垂直线就能得到输出高电平的下限 $V_{OH,min}$ 与输出低电平的上限 $V_{OL,max}$, 输入高电平的下限 $V_{IH,min}$ 与输入低电平的上限 $V_{OL,max}$, 由图 6 可知, $V_{OH} - V_{OL} \approx V_{DD}$, 因此当平均增益为 10 时, 就有

$$V_{IH} - V_{IL} = \frac{V_{OH} - V_{OL}}{10} \approx \frac{V_{DD}}{10}$$

过渡期占据整个 V_{DD} 电压范围的 10%, 为了减小线性区就应该尽量增大过渡区的增益, 使得过渡区范围尽量窄。

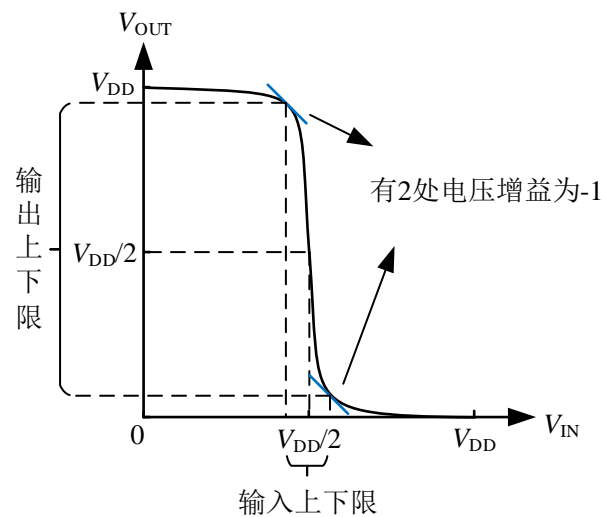


图 6 输入/输出上下限示意图

五、电路中限制速度的根源——电容：

在数字电路中，速度一直是备受关注的重点。然而，任何电路的速度都是有限的，不可能没有任何延时。理想状态下，电路开关能够立即响应，即无输出延时；然而在实际的集成电路中，总会存在各种**寄生电容**或者**负载电容**。这让输出端不能随输入端马上变化，只有经过一定的传输延时后才能趋向于稳定状态。

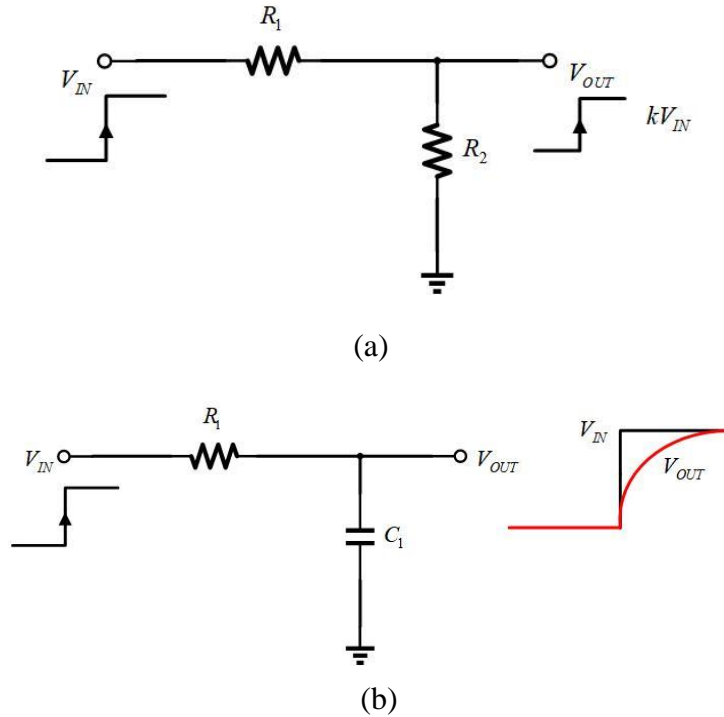


图 7 (a)电阻分压网络 (b)一阶 RC 网络

对于图 1(a)所示电路，输出响应为

$$V_{OUT} = \frac{R_1}{R_1 + R_2} V_{IN} = kV_{IN}$$

纯电阻电路输出响应无延迟。对于图 1(b)所示电路，输出响应为复频域（s 域）：

$$V_{OUT}(s) = \frac{1}{1 + sRC} V_{IN}(s)$$

时域（t 域）：

$$V_{OUT}(t) = V_{IN}(t)(1 - e^{-\frac{t}{RC}})$$

可见存在电容的电路只有在经历延时后，输出响应才能接近输入。

补充：电容的静态和动态特性的联系

电容本质上是一个存储电荷的容器，电容大小表征了其储存电荷能力的大小。其存储电荷与电容器两端电压的关系如下：

$$Q = CV$$

为了得到电路的动态特性，我们需要考虑电容中存储电荷的变化量与电容两端电压的变化量之间的关系，因此有

$$\frac{dQ}{dt} = C \frac{dV}{dt} = i$$

电压转换速率（Slew Rate）也被称为摆率，它指的是单位时间内电压变化的幅度，因此摆率能够衡量电路在大幅度信号作用时的工作速度。由于电容两端存储的电荷不能突变，因此其两端的电压也不能突变，需要一定的时间进行充放电。

$$SR = \frac{dV_c}{dt} = \frac{i_c(t)}{C}$$

六、反相器中的电容与延时：

反相器由 NMOS 管和 PMOS 管构成，所以其寄生电容主要来自于 MOS 管。考察 MOS 管的物理结构，我们可以发现 MOS 管中存在的电容都是 PN 结电容。因此下面对 PN 结电容进行分析。

在 PN 结中，N+区掺杂+5 价杂质，多子是电子，少子是空穴；而 P+区域掺杂+3 价杂质，多子是空穴，少子是电子。当 PN 结加正向偏压时，P+区域和 N+区域中的多子通过中间的空间电荷区注入到对面的区域，多子进入另一侧后被称为少子，因此空间电荷区与两个掺杂区域的交界面就会积累大量注入后的少子。例如，P+区边界注入的是来自 N+区的电子，N+区边界注入的是来自 P+区的空穴。由于存在浓度梯度，这些少子进入另一侧后会继续向深处扩散。改变正向偏压的大小，参与扩散的载流子数目会有所不同。例如，当正向偏压增大时，注入到对方区域的少子数目也会增多；反之当正向偏压减小时，注入到对方区域的少子数目也会减少。这种效应非常类似于电容的充放电过程，因此可以把 PN 结的这种效应等效为一个**扩散电容**。

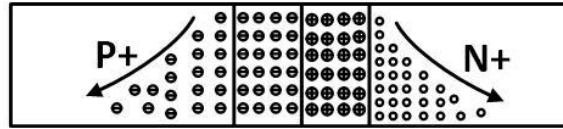


图 8 扩散电容的机理

当 PN 结反偏时，P+区域和 N+区域中的多子直接被所接电极吸走、流向电源，因此 PN 结中无法移动的电离杂质变多了、空间电荷区也展宽了。改变反向偏压的大小，空间电荷区的宽度同样会发生变化，即偏压对空间电荷区的宽度具有调制作用。因此 PN 结的这种效应可以等效为**势垒电容**。空间电荷区的宽度变化相当于电容上下两极板间距离的变化，根据电容公式 $C_{OX} = \epsilon_0 \epsilon_r / t_{OX}$ ， C_{OX} 与 t_{OX} 成反比，因此势垒电容会随着反向偏压的增大而减小。

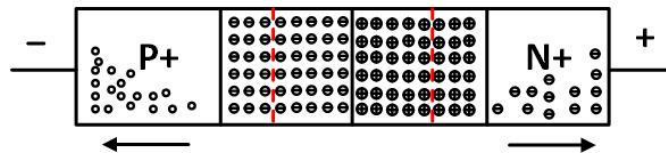


图 9 势垒电容的机理

通过以上分析，我们得到了 PN 结电容大小与外加偏压的关系曲线：

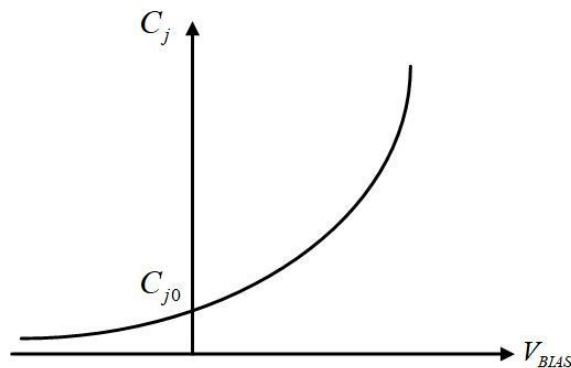


图 10 PN 结电容大小与外加偏压的关系曲线

下面正式讨论反相器中的 MOS 电容：

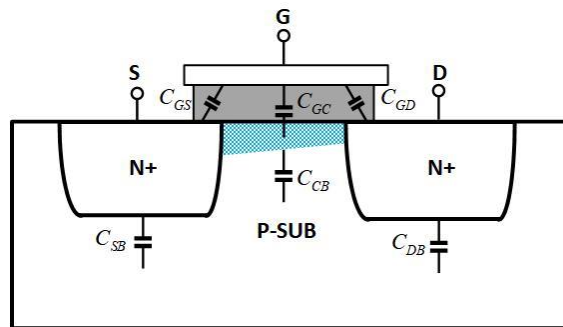


图 11 MOS 管的电容分布

图 5 为 MOS 管的电容分布，其中栅电容包括：栅极与导电沟道通过氧化层耦合形成的栅-沟道电容 C_{GC} ，导电沟道与衬底形成的沟道-衬底电容 C_{CB} ，栅源和栅漏形成的交叠电容 C_{GS} 、 C_{GD} 。一般情况下主要考虑栅-沟道电容 C_{GC} 和沟道-衬底电容 C_{CB} 。而源漏极电容主要为与衬底形成的源漏结电容 C_{SB} 、 C_{DB} ，即 PN 结反偏势垒电容，它们又可分为底面电容和侧壁电容。

根据 MOS 管的电容分布，我们可以得到反相器输入、输出端电容的等效模型，如下图所示。

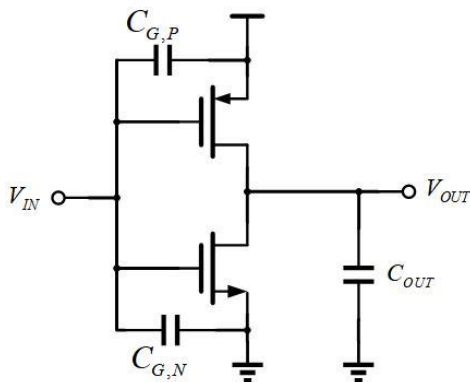


图 12

考虑一个 $i+1$ 级的反相器链，根据以上模型我们可以计算得到第 i 级的电容：

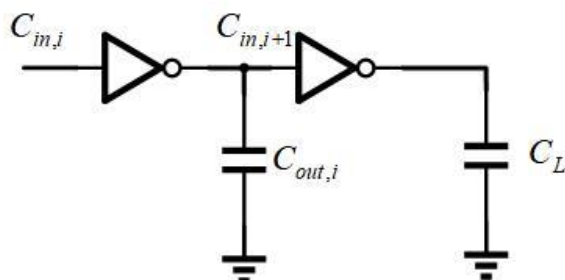


图 13

$$\begin{cases} C_{in,i} = C_{out,i-1} + C_{GP,i} + C_{GN,i} \\ C_{out,i} = C_{DBP,i} + C_{DBN,i} \end{cases}$$

对于如下图所示的一个单级反相器，考虑其阶跃响应。根据反相器的电容充放电原理，可以将其等效为一阶 RC 充放电网络。

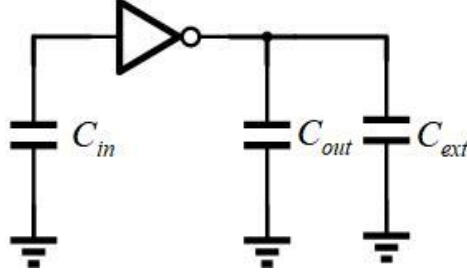


图 14

已知输出电压为

$$V_{OUT} = V_{IN} (1 - e^{-\frac{t}{RC_{out,tot}}})$$

其中 $C_{out,tot} = C_{out} + C_{ext}$ 。由输出响应表达式可知：

1. 输出响应达到的最终稳态与输入信号有关。

2. 输出到达稳态需要一定时间，延时体现在瞬态项 $e^{-\frac{t}{RC_{out,tot}}}$ 上。

3. 电路结构时间常数 RC 决定了输出响应稳定过程的快慢。减小电容大小 C，可以直接让电容更快充满或放完电，从而减小延时；减小电阻大小 R，可以增大电容的充放电电流，让电容的充放电速度更快。之所以电容两端电压的变化会逐渐放缓，是因为电阻两端的电势差也变小了，导致电容的充放电电流逐渐变小，最终导致充电放速度逐渐变慢。

因此在实际情况中，反相器的输出端的跳变过程并不是理想的阶跃信号，而近似于一个斜坡信号。因此我们定义上升沿时间和下降沿时间为

$$\begin{cases} t_{rise} = RC \ln \frac{1}{1 - V_{out}/V_{in}} \\ t_{fall} = RC \ln \frac{1}{V_{out}/V_{in}} \end{cases}$$

一般把传播延时定义为 V_{out} 变化 50% 所用的时间，即

$$\begin{cases} t_{pHL} = R_{eqn} C_{out,tot} \ln \frac{1}{1-V_{out}/V_{in}} = R_{eqn} C_{out,tot} \ln \frac{1}{1-0.5} = 0.69 R_{eqn} C_{out,tot} \\ t_{pLH} = R_{eqp} C_{out,tot} \ln \frac{1}{V_{out}/V_{in}} = R_{eqp} C_{out,tot} \ln \frac{1}{0.5} = 0.69 R_{eqp} C_{out,tot} \end{cases}$$

我们定义反相器传播延时为上述两个值的平均值，即

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

上升、下降时间一般分别定义为 V_{out} 从 10% 变化到 90% 和从 90% 变化到 10% 所用的时间，即

$$\begin{cases} t_r = t_{rise,90\%} - t_{rise,10\%} = R_{eqn} C_{out,tot} \ln \frac{1-0.1}{1-0.9} \approx 2.2 R_{eqn} C_{out,tot} \\ t_f = t_{fall,10\%} - t_{fall,90\%} = R_{eqp} C_{out,tot} \ln \frac{0.9}{0.1} \approx 2.2 R_{eqp} C_{out,tot} \end{cases}$$

如果要想实现一个对称的反相器，就需要让它的静态电压传输特性曲线 (VTC) 的转折电平位于 $V_{DD}/2$ 处，同时动态特性中的上升时间和下降时间一致。

要使转折电平位于 $V_{DD}/2$ ，就要让

$$V_i^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha} = \frac{V_{DD}}{2} \Rightarrow k_n = k_p$$

要使上升时间和下降时间匹配，就要让

$$2.2 R_{eqn} C_{out,tot} = 2.2 R_{eqp} C_{out,tot} \Rightarrow R_{eqn} = R_{eqp}$$

如果采用简化的深线性区模型，那么可以得到

$$R_{eqn} = R_{eqp} \Rightarrow \frac{1}{k_n (V_{GS} - V_{TH})} = \frac{1}{k_p (V_{GS} - V_{TH})} \Rightarrow k_n = k_p$$

因此，对称反相器的动态特性和静态特性的要求相同。我们设计反相器时，只要计算好 MOS 管的尺寸就能让反相器对称。一般 NMOS 管中电子迁移率是 PMOS 管中空穴迁移率的 2~3 倍，所以一般将 PMOS 管的宽长比设计成 NMOS 管的 2~3 倍。

七、反相器中延时的优化：

要减小反相器中的延时，最根本的方法在于减小时间常数 RC。对于反相器，其时间常数可近似表示为

$$\tau = R_{eq} C_{out,tot} \approx R_{ON} C_{in} \propto \left(\frac{1}{W/L} \right) (W/L) = L^2$$

因此可以得到 MOS 管的两种延时结构设计方法：

1. 用正常 MOS 管构成反相器链，利用级联的延时。

2. 用倒比管进行反相器设计，PMOS 管和 NMOS 管的尺寸比例依旧满足 2~3 倍的关系。由于此种延时链的延时很大，所以通常在最后一级接反相器来恢复波形。

此外，这里介绍一下自载效应：它是反相器本身的寄生电容所带来的负载效应。我们定义反相器自身输出电容与输入电容的比值为自载系数，即 $\gamma = C_{out}/C_{in}$ 。

因此反相器的延时也可以表示为

$$t_p \approx 0.69 R_{ON} (C_{out} + C_{ext}) = 0.69 R_{ON} (\gamma C_{in} + C_{ext}) = t_{p0} (1 + f/\gamma)$$

其中 $t_{p0} \approx 0.69 R_{ON} \gamma C_{in}$ ， $f = C_{ext}/C_{in}$

本征延时 t_{p0} 不随尺寸变化，因此，反相器的延时只取决于外部负载电容与输入电容的比值。空载下本征延时不变，考虑到面积因素，所以应该减小 MOS 管尺寸。当反相器的负载较小时，反相器的尺寸可以小一点，其性能不会发生太大变化，但是功耗会显著降低。

当反相器需要驱动一个大电容负载时，其宽长比要足够大，用增大充放电电流的方法减小导通电阻，但是这样会带来严重的自载效应，导致功耗、延时都很大。因此需要插入多级反相器进行延时优化：

对于一个 N 级的反相器链，级联面积放大系数满足如下关系：

$$f^N = F = C_L/C_{in,1} \Rightarrow N = \frac{\ln F}{\ln f}$$

总传输延时可表示为

$$t_{p,tot} = N t_p = N t_{p,0} \left(1 + \frac{f}{\gamma} \right)$$

对每级的面积放大系数求导

$$\frac{dt_{p,tot}}{df} = t_p \frac{dN}{df} + N \frac{dt_p}{df} = -t_p \frac{\ln F}{f (\ln f)^2} + \frac{N}{\gamma} t_{p,0} = 0$$

$$f = \exp \left(1 + \frac{\gamma}{f} \right)$$

通过迭代可以得到几组合适的 f 和 γ 。如 $\gamma=1, f=3.6$, $\gamma=1.6, f=4$ 。