

《VLSI 设计基础》复习总结

第一章 引论

1.1 历史回顾——集成电路：将电路元件及其连线制作在半导体衬底上，形成的独立整体的电路系统。微型化，集成化：体积小，质量轻，速度快，功耗小，成本低，可靠性高，功能丰富。

1.2 数字集成电路设计中的问题——**摩尔定律**：预测单个芯片上的晶体管数目（集成度）每 18 个月增加一倍，性能提升一倍，成本降低一半。

1.3 数字设计的质量评价——集成电路的**成本**（固定成本，可变成本）、**功能性和稳定性**（电压传输特性 VTC，开关阈值 V_M ，噪声容限 NM ，再生性）、**性能**（传播延时 $t_p = \frac{t_{pHL} + t_{pLH}}{2}$ ）、**功耗和能耗**

（功耗延时积 PDP ，能量延时积 EDP ）。对于单个数字电路评价指标为 PPA 即性能，功耗，面积。SoC (System on a Chip), SiP (System in a Package)。

工艺*：光刻，刻蚀，扩散，离子注入，化学/物理气相沉积，热氧化，划片，封装。硅基 CMOS 工艺，p 衬 n 阱工艺，自对准工艺，版图（版图层：阱，有源区，多晶硅，接触孔，金属）。

第二章 器件 (Device)

2.1 MOS 晶体管——阈值电压、电阻工作区（线性区）、饱和区、沟道长度调制、速度饱和、漏极电流和电压的关系图、亚阈值情形、手工分析模型、器件电容模型（栅-沟道电容，栅-源漏耦合电容，结电容）

$$I_D = \begin{cases} 0, V_{GS} - V_T \leq 0 (\text{截止区}) \\ k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda V_{DS}), V_{DS} > V_{DSAT}, V_{GS} - V_T > V_{DSAT} (\text{速度饱和区}) \\ \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), V_{DSAT} > V_{GS} - V_T, V_{DS} > V_{GS} - V_T (\text{饱和区}) \\ k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS}), V_{DSAT} > V_{DS}, V_{GS} - V_T > V_{DS} (\text{线性区}) \end{cases}$$

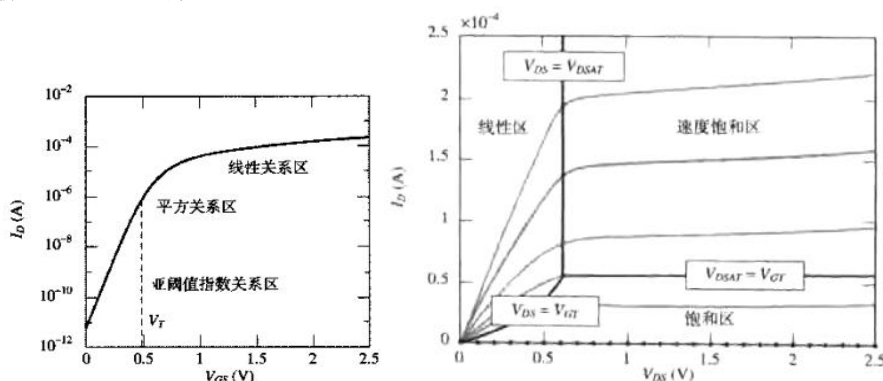
其中 $k' = \mu C_{ox} = \mu \frac{\epsilon_{ox}}{t_{ox}}$ ，衬底偏置(体)效应： $V_T = V_{T0} + \gamma \left(\sqrt{|V_{SB} - 2\phi_F|} - \sqrt{|2\phi_F|} \right)$ ，过驱动电压 $V_{GT} = V_{GS} - V_T$ 。

	$V_{T0} (V)$	$\gamma (\sqrt{V})$	$V_{DSAT} (V)$	$k' (\mu A/V^2)$	$\lambda (/V)$
在 $0.25\mu m$ 工艺下器件的典型参数：NMOS	0.43	0.40	0.63	115	0.06
PMOS	-0.40	-0.40	-1.00	-30	-0.10

短沟道效应（电荷共享），漏端感应势垒降低效应 DIBL。亚阈值漏电流（弱反型） $I_{DS} = I_0 e^{\frac{V_{GS} - V_T}{n \frac{kT}{q}}}$
 $\left(1 - e^{-\frac{V_{DS}}{n \frac{kT}{q}}} \right) (1 + \lambda V_{DS})$ ，其中 $n \approx 1.5$ ，亚阈值斜率 $S = n \frac{kT}{q} \ln 10$ ，栅氧漏电流（隧穿效应），扩散区反

S 越小越好

偏 pn 结漏电流，栅极感应漏端漏电流 GIDL。

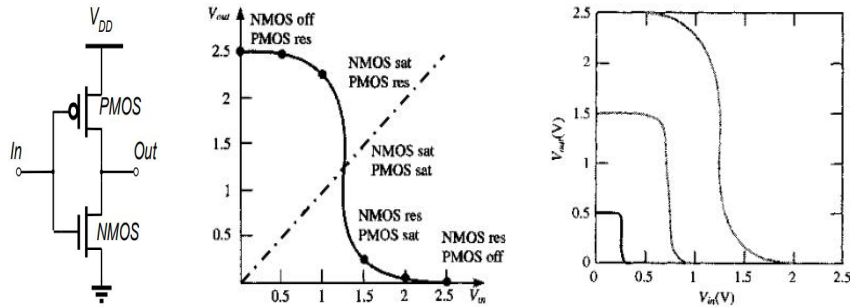


温度升高的影响——载流子迁移率降低，导通电流下降；阈值电压降低，亚阈值漏电流增大。

第三章 CMOS 反相器 (Inverter)

3.1 静态 CMOS 反相器——静态 CMOS 的优点：满摆幅，噪声容限大，可再生性好；无比逻辑，晶体管面积可较小；低输出阻抗，抗噪声和干扰，鲁棒性好；高输入阻抗；无源地通路，无静态功耗。但存在漏电流，且晶体管数目多。

3.2 CMOS 反相器稳定性的评估：电压传输特性 VTC，静态特性——开关阈值电压 $V_M = V_{in} = V_{out}$ 、噪声容限 $NM_H = V_{OH} - V_{IH}$ ， $NM_L = V_{IL} - V_{OL}$ 。PMOS 与 NMOS 的尺寸比越大，则开关阈值电压越大。对称反相器有 $W_p \approx 2W_n$ ， $V_M \approx \frac{V_{DD}}{2}$ ，其具有最大的噪声容限。降低电源电压，可降低功耗，降低内部噪声，但电压摆幅减小，延时增大，VTC 仍呈现反相器特性。



3.3 CMOS 反相器的性能：动态特性——传播延时 $t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69C_L \frac{R_{eqn} + R_{eqp}}{2}$ ，负载电容（包括本征电容，互连电容和外部负载电容）越小、器件宽长比越大（防止自载效应——本征扩散电容大于外部负载电容，延时不再随尺寸增大而减小）、电源电压越大，则延时越小。

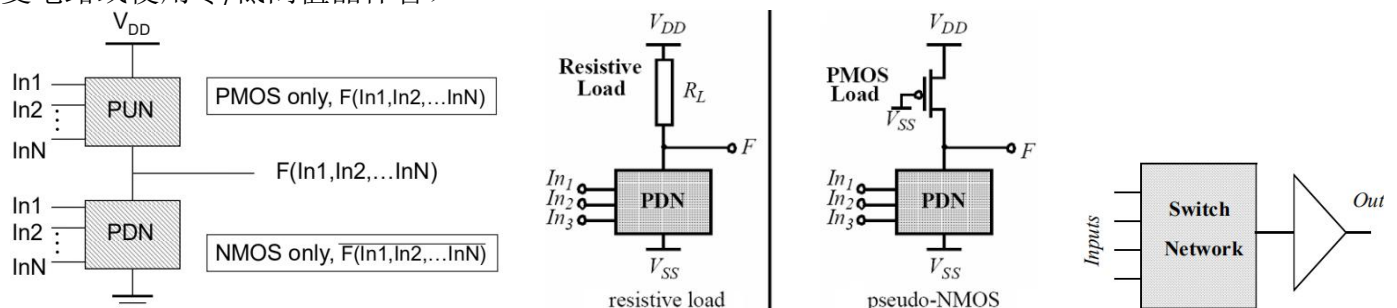
3.4 功耗、能量和能量延时——动态功耗：充放电电容引起 $P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f$ ，直流通路引起 $P_{dp} = t_{sc} V_{DD} I_{peak} f$ ，负载电容越小、电源电压越小、反转频率（开关活动性）越小，信号斜率越大，则动态功耗越小；静态功耗： $P_{stat} = I_{stat} V_{DD}$ ，漏电流（亚阈值电流，漏极漏电流），阈值电压减小，亚阈值漏电流将增大。可通过功耗延时积 PDP、能量延时积 EDP 以确定最优电源电压。

性能-静态功耗矛盾

第四章 CMOS 组合逻辑门的设计 (Combinational Logic)

4.1 静态 CMOS 设计——互补 CMOS（静态特性，传播延时取决于输入模式/图形， t_{pHL} 与扇入的平方成正比， t_{pLH} 与扇出成正比，即 $t_p = a_1 FI + a_2 FI^2 + a_3 FO$ 、降低大扇入电路延时可调整晶体管尺寸，逐级加大晶体管尺寸，重新安排输入（关键路径上的晶体管靠近输出端），重组逻辑结构，插入缓冲器隔离扇出与负载电容、逻辑努力*、降低动态功耗可逻辑重组（树型结构比链型结构毛刺更少），输入排序，分时复用资源，均衡路径减少毛刺、有比/伪 NMOS 逻辑（晶体管数目少，降低了噪声容限，稳定性弱，静态功耗大）、传输管逻辑（结构简单，有静态功耗，存在阈值损失，可引入电平恢复电路或使用零/低阈值晶体管）

噪声容限低



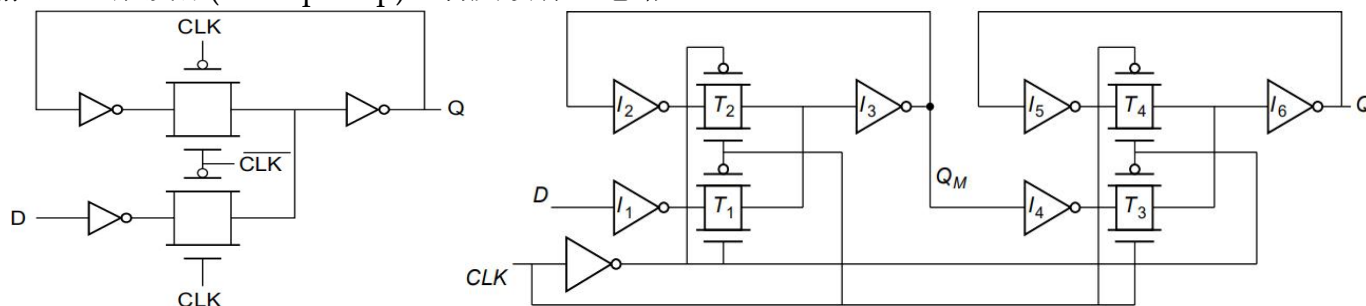
4.2*动态 CMOS 设计——预充电求值（晶体管数目少，无比逻辑，开关速度快，但稳定性弱，开关活动性大，动态功耗大）

第五章 时序逻辑门设计 (Sequential Logic)

5.1 引言——时序电路的时序参数、时序约束——建立时间约束 $T \geq t_{c-q} + t_{plogic} + t_{setup}$ ，维持时间约束

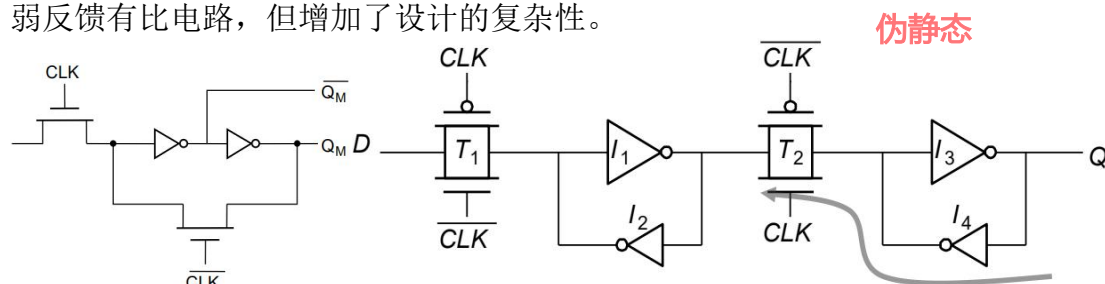
$t_{cdregister} + t_{cdlogic} \geq t_{hold}$, t_{cd} 为污染（最小）延时、存储单元的分类

5.2 静态锁存器和寄存器——双稳态(Bistable)原理、切断反馈环路：多路开关型锁存器(MUX-Based Latch)、主从边沿触发寄存器(Master-Slave Register)、触发强度超过反馈环（强信号强制写入）：静态 SR 触发器(SR Flip-Flop)，弱反馈有比电路

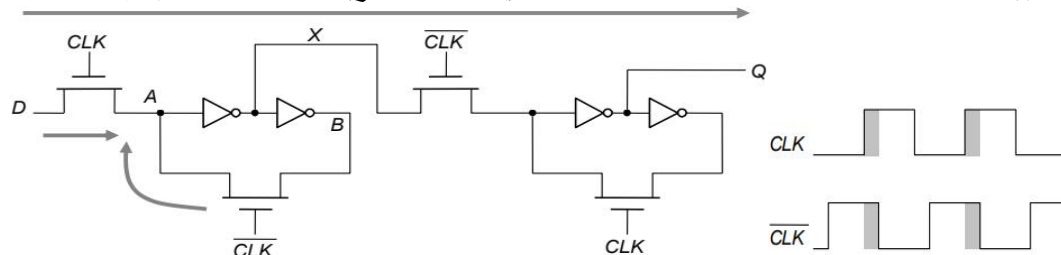


主从边沿触发寄存器的时序参数：建立时间 $t_{setup} = 3t_{pd_inv} + t_{pd_tx}$ ，寄存器延时 $t_{c-q} = t_{pd_inv} + t_{pd_tx}$ ，维持时间 $t_{hold} = 0$ 。传输门寄存器的缺点是时钟信号的电容负载很大

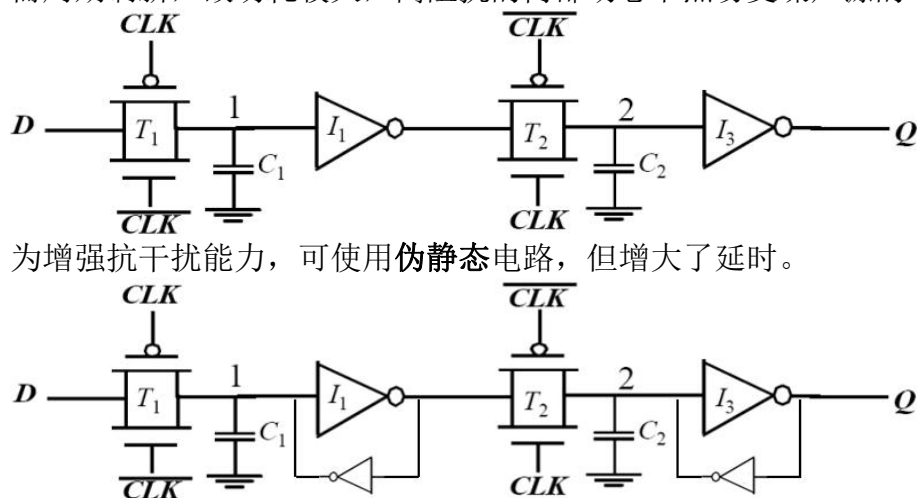
为降低时钟负载，减小时钟功耗，可使用 NMOS 传输管电路，但阈值损失会导致静态功耗；或使用弱反馈有比电路，但增加了设计的复杂性。



为避免时钟重叠导致 D-Q 馈通，可使用两相不重叠时钟，不重叠时间或存在漏电，故为伪静态电路。



5.3 动态锁存器和寄存器——动态传输门边沿触发寄存器（减少了晶体管数目，速度较快，但因漏电需周期刷新，故功耗较大，高阻抗的内部动态节点易受噪声源的干扰，存在时钟重叠问题）

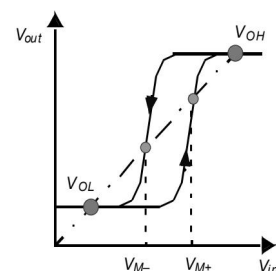


为增强抗干扰能力，可使用伪静态电路，但增大了延时。

5.4*其他寄存器类型——脉冲寄存器

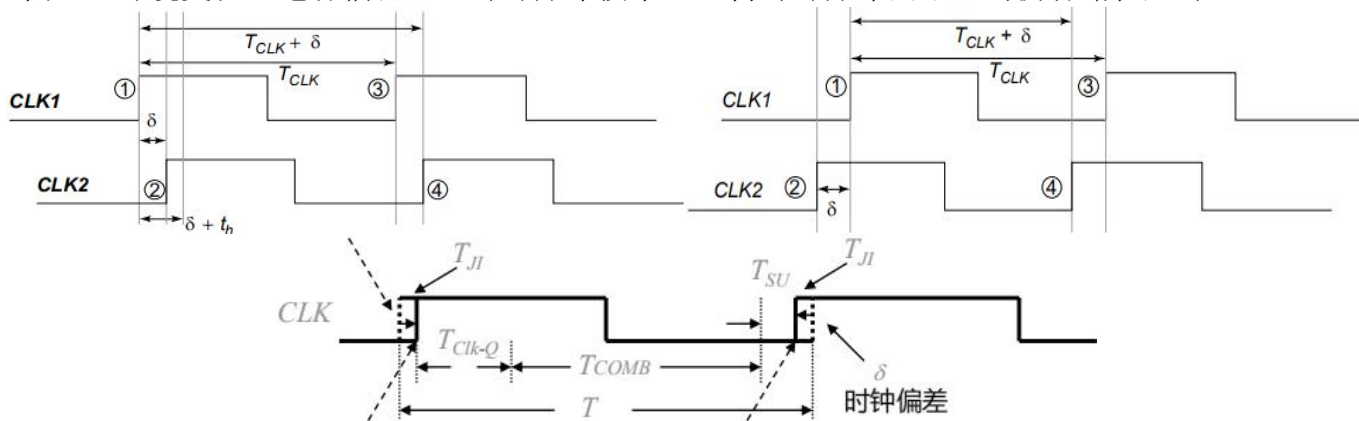
5.5 流水线 (Pipeline)——可减低数据通路延时，提高电路性能，但增加了面积

5.6 非双稳时序电路——施密特触发器(Schmitt Trigger)——引入正反馈使得翻转方向不同时开关阈值不同，滞环特性可用于抑制噪声、单稳时序电路(Monostable Logic)、不稳电路(Astable Logic)



第六章 数字电路中的时序问题 (Timing)

6.1 同步设计——同步时序原理 (时序约束: $T \geq t_{c-q} + t_{plogic} + t_{setup}$, $t_{cdregister} + t_{cdlogic} \geq t_{hold}$)、时钟偏差 (Clock Skew): $T + \delta \geq t_{c-q} + t_{plogic} + t_{setup}$, $t_{cdregister} + t_{cdlogic} \geq t_{hold} + \delta$ (即正偏差 $\delta > 0$ 可减小时钟频率, 提升性能, 负偏差 $\delta < 0$ 可减弱竞争, 但反馈回路的存在会使时钟偏差反向)、时钟抖动 (Clock Jitter): $T - 2t_{jitter} \geq t_{c-q} + t_{plogic} + t_{setup}$ (绝对抖动 $t_{jitter} > 0$)、时钟偏差和抖动共同影响: $T + \delta - 2t_{jitter} \geq t_{c-q} + t_{plogic} + t_{setup}$, $t_{cdregister} + t_{cdlogic} \geq t_{hold} + \delta + 2t_{jitter}$ 、偏差和抖动的来源 (时钟信号产生, 器件制造偏差, 互连偏差, 环境变化, 电容耦合)、时钟分布技术 (H 树时钟分布网络, 均衡各路径延时)



6.2* 自定时电路设计——异步设计

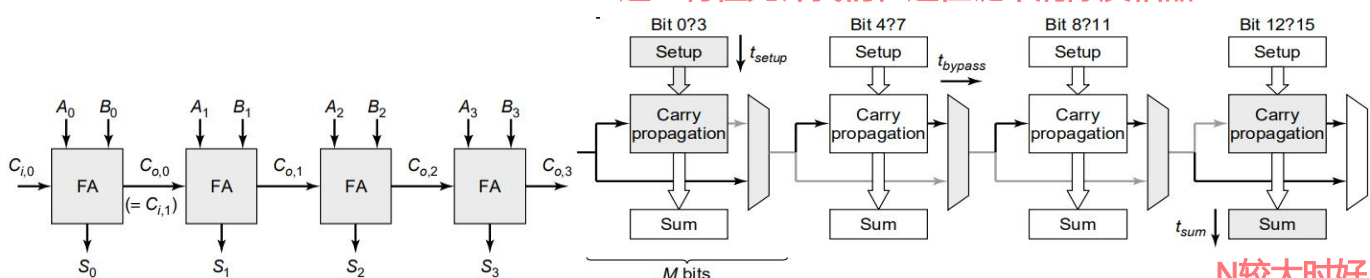
第七章 设计运算功能块 (Block——Data Path: Arithmetic Unit)

7.1 数据通路——算术运算器和逻辑运算器等互连组成, 位片式结构

7.2 加法器 (Adder)——逐位进位加法器/行波进位加法器 (Ripple-Carry Adder)、静态加法器、镜像加法器 (Mirror Adder) (非对偶电路, 晶体管数目少)、曼彻斯特进位链加法器*、进位旁路加法器 (Carry-Bypass Adder)、线性进位选择加法器 (Linear Carry-Select Adder)、平方根进位选择加法器 (Square-Root Carry-Select Adder)、超前进位加法器* (Carry-Lookahead Adder)

半加器 (HA), 全加器 (FA): 和输出 $S = A \oplus B \oplus C_i$, 进位输出 $C_o = AB + C_i(A + B)$, 进位产生 $G = AB$, 进位取消 $D = \overline{AB}$, 进位传播 $P = A \oplus B$ 。反相特性: $\overline{S(A, B, C_i)} = S(\overline{A}, \overline{B}, \overline{C_i})$, $\overline{C_o(A, B, C_i)} = C_o(\overline{A}, \overline{B}, \overline{C_i})$ 。

这一特性允许我们在进位链中消除反相器

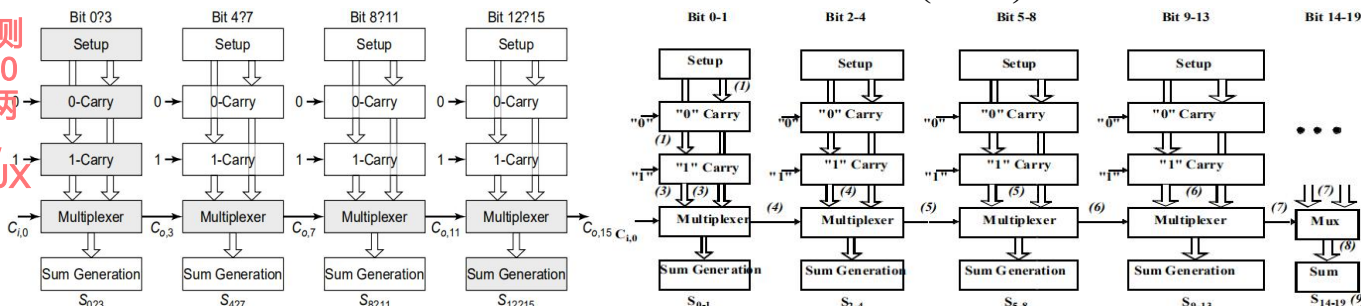


N较大时好

$$t_{adder} = (N-1)t_{carry} + t_{sum}$$

$$t_{adder} = t_{setup} + Mt_{carry} + \left(\frac{N}{M} - 1\right)t_{bypass} + (M-1)t_{carry} + t_{sum}$$

首先预测
好输入 0
和 1 的
两个结果,
然后MUX

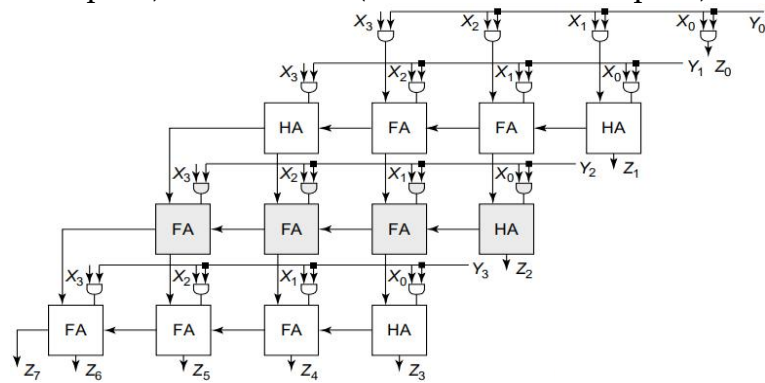


$$t_{adder} = t_{setup} + Mt_{carry} + \frac{N}{M}t_{mux} + t_{sum}$$

$$t_{adder} = t_{setup} + Mt_{carry} + \sqrt{2N}t_{mux} + t_{sum}$$

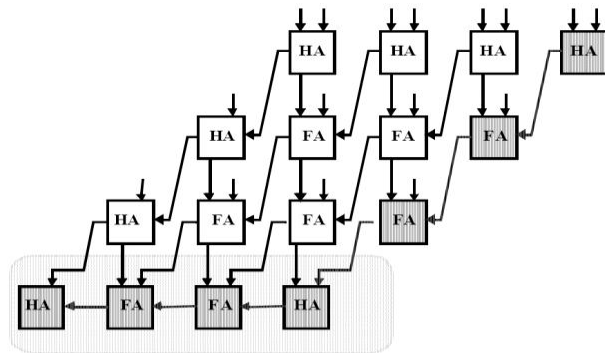
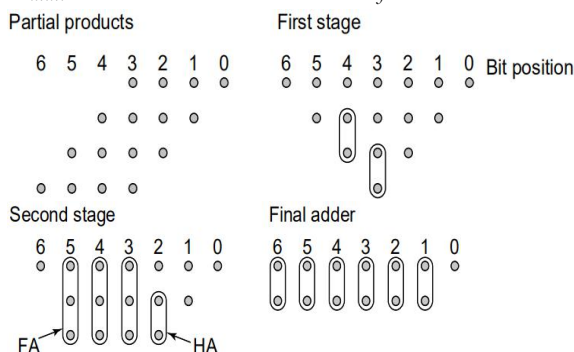
优化加法器关键进位传播路径的方法: 线性旁路, 进位选择, 分组计算, 流水线, 预计算等。

7.3 乘法器 (Multiplier)——部分积, 阵列乘法器(Array Multiplier)、进位保留乘法器(Carry-Save Multiplier)、树形乘法器(Wallace-Tree Multiplier)



关键路径不唯一

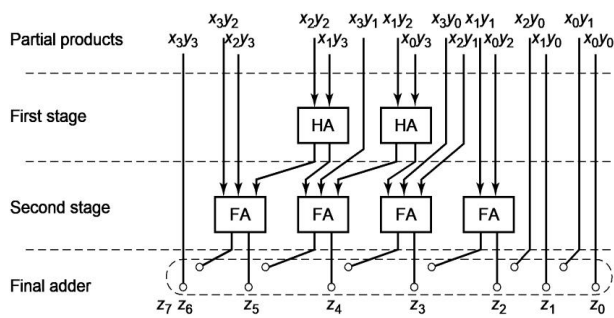
$$t_{mult} = [(M-1) + (N-2)]t_{carry} + (N-1)t_{sum} + t_{and}$$



Vector Merging Adder

关键路径唯一，要引入向量合并加法器

$$t_{mult} = t_{and} + (N-1)t_{carry} + t_{merge}$$



树形乘法器减少了加法器数量，减小了传播延时，但版图不规则，设计复杂。

7.4 移位器 (Shifter)——桶形移位器(Barrel Shifter)、对数移位器*(Logarithmic Shifter)

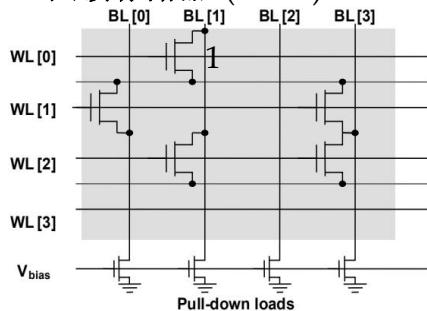
7.5*其他运算器 (减法器、比较器，可由补码加法器实现)

降低数据通路结构功耗的方法：降低电源电压，采用并行结构，采用多种电源电压、多阈值器件等。

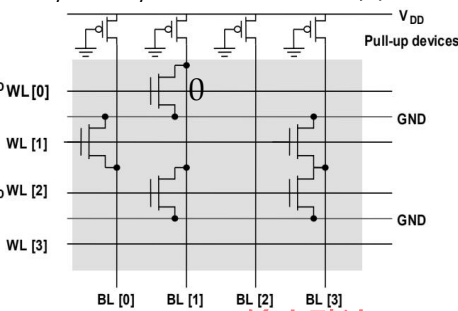
第八章 存储器设计 (Memory)

8.1 存储器分类，存储器总体结构和单元模块

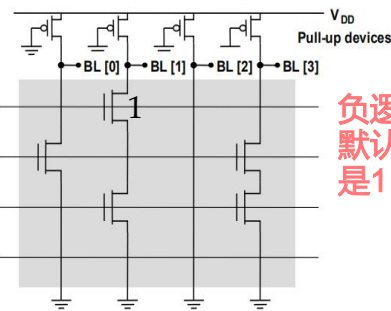
8.2 只读存储器 (ROM)——MOS OR/NOR/NAND ROM 单元



OR 输出默认0



NOR 输出默认1



NAND

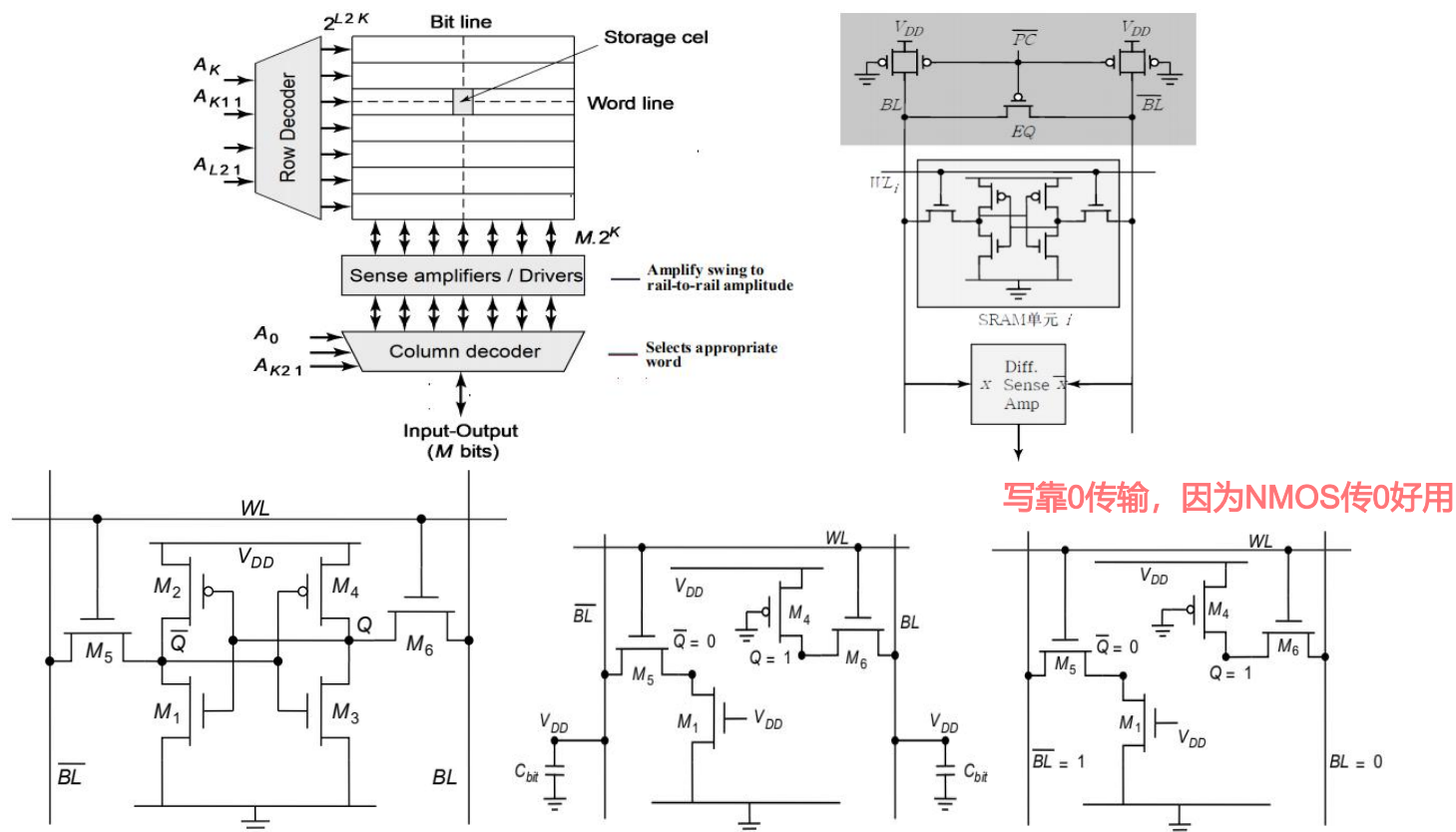
负逻辑，默认WL都是1

8.3 静态随机读写存储器 (SRAM)——六管/6T CMOS SRAM 单元 (bit cell) (双差分位线)

读操作：将位线 BL 和 \overline{BL} 预充电至 V_{DD} ，若 BL 位线电位下降则存储值为 0，若 \overline{BL} 位线电位下降则存储值为 1。因位线电容较大，放电缓慢，故电平下降引起的信号差由差分灵敏放大器放大识别。为防止读破坏，误将错误值写入，应使得 $V_Q < 0.4V$ ，即保持 M_3 关闭，计算得 CR (单元比) $\frac{W_1/L_1}{W_5/L_5}$ 应

大于 1.2，或可降低位线预充电电压；**写操作：**若写入 0 则驱动位线至 $BL = 0, \overline{BL} = 1$ ，若写入 1 则使得 $BL = 1, \overline{BL} = 0$ 。为确保正确写入，应使得 $V_Q < 0.4V$ ，即使得 M_1 关闭， M_2 导通，从而抬升 V_Q ，翻

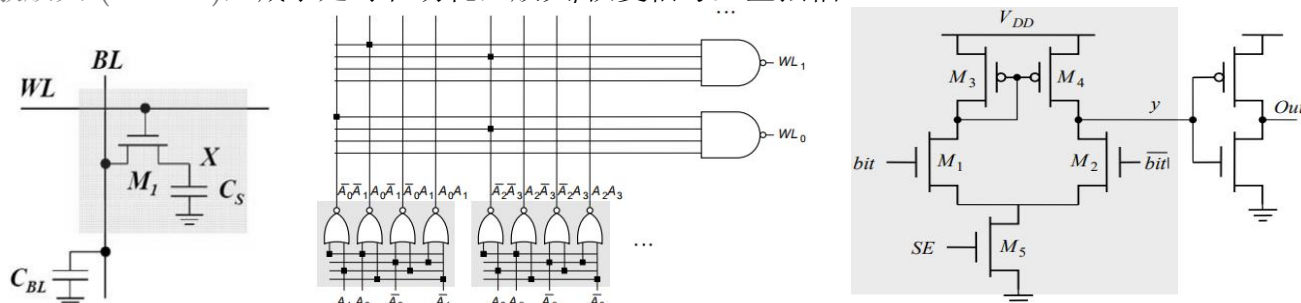
转数据，计算得 PR (单元上拉比) $\frac{W_4/L_4}{W_6/L_6}$ 应小于 1.8。综合考虑，尺寸比应满足 $W_{1,3} > W_{5,6} > W_{2,4}$ 。



8.4*动态随机存取寄存器 (DRAM)——三管/3T 动态存储单元，单管/1T 动态存储单元（单位线，配有灵敏放大器，读出有破坏性，读后需刷新，写1时有阈值损失）

8.5 地址译码器 (Decoder)——行译码器（静态译码器/动态译码器，减小面积和延时）、列译码器和块译码器（传输管译码器，树形译码器）

8.6 灵敏放大器 (Sense Amplifier)——差分电压灵敏放大器(SRAM)（共模抑制，减小失配）、单端灵敏放大*(DRAM)，减小延时和功耗，放大/恢复信号至全摆幅



8.7*存储器成品率 (Yield)——冗余，纠错

第九章 数字 IC 的实现策略 (Design Methodologies)

9.1 引言——数据通路，控制模块，储存模块，互连网络

9.2 从定制到半定制以及结构化阵列的设计方法

9.3 定制电路设计

9.4 以单元为基础的设计方法

9.4.1 标准单元

9.4.2 编译单元

9.4.3 宏单元、巨单元和专利(IP)模块

9.4.4 半定制设计流程

9.5*以阵列为基础的实现方法

9.6*未来的实现平台