

## 数字 IC 第 8 次课堂总结

主要内容：基于传输门逻辑的二输入同或、异或门和全加器；时序逻辑电路。

### 一、基于传输门逻辑的加法器

#### (1) 10T CMOS TG XOR/XNOR 门

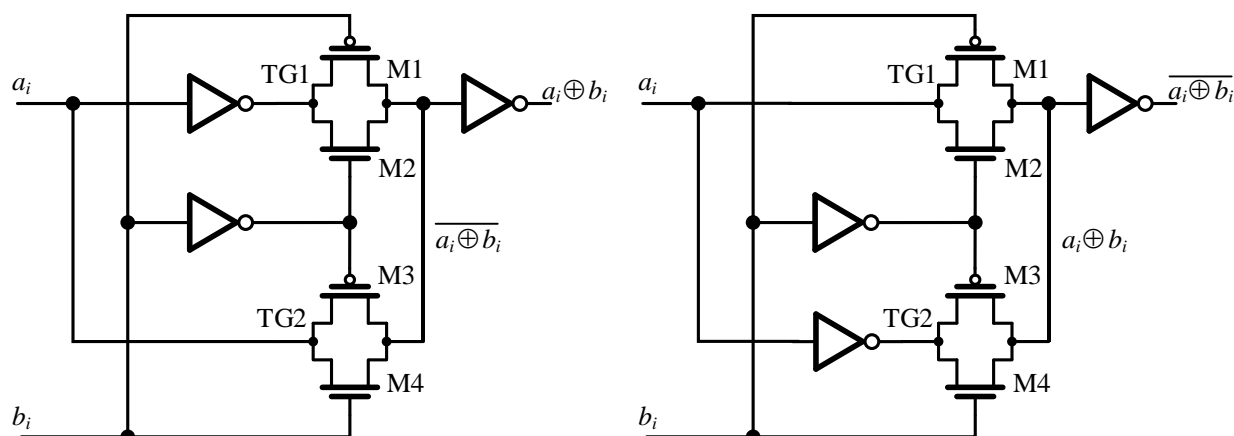


图 1 10T CMOS TG XOR/XNOR 门

加法器的关键在于 XOR 门，因此要利用传输门实现加法器，首先就要利用传输门搭建出 XOR 门或 XNOR 门。图 1 中的电路是基于传输门逻辑的二输入同或门、异或门。其中，TG1、TG2 各自包含 2 个 MOS 管，这两个 MOS 管同时通断。而 TG1 与 TG2 则交替通断，从而构成了二选一多路选择器，即 MUX 2-1。该电路中  $a_i$  是输入信号， $b_i$  是控制信号，区别十分明显。传输门结构不仅可方便地实现互补逻辑输出，而且得到 XOR/XNOR 门只需要 10T，数量与基于 CMOS 的 XOR/XNOR 门相同。如果将传输门变成 NMOS 或 PMOS 传输门，晶体管的数量还可以继续减少。例如图 1 中可以省去 M2 和 M3，或者可以省去 M1 和 M4。

#### (2) 4T TG XOR/XNOR 门

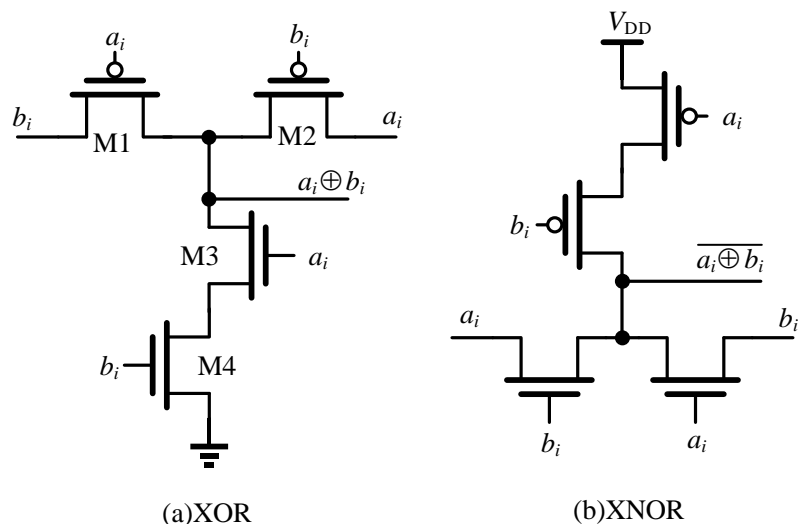


图 2 4T TG XOR/XNOR 门

如果用 PMOS 或 NMOS 传输门代替 TG 门，并取消反相器，那么就能得到 4T TG XOR/XNOR 门，如图 2 所示。在图 2(a)中，如果仅存在 M1 和 M2，电路的大部分功能也能被实现，但是当  $A = B = 1$  时电路却会输出高阻态，因此需要 M3 和 M4 消除高阻态。各个晶体管的逻辑功能如表 1 和表 2 所示。可见 M1 和 M2 实现了电路中 3/4 的逻辑功能，剩下 1/4 的逻辑功能只能由 M3 和 M4 完成。

表 1 M1、M2 的功能

$a_i$	$b_i$	F
0	0	0
0	1	1
1	0	1
1	1	高阻态

表 2 M3、M4 的功能

$a_i$	$b_i$	F
0	0	高阻态
0	1	高阻态
1	0	高阻态
1	1	0

### (3) 20T CMOS 传输门结构

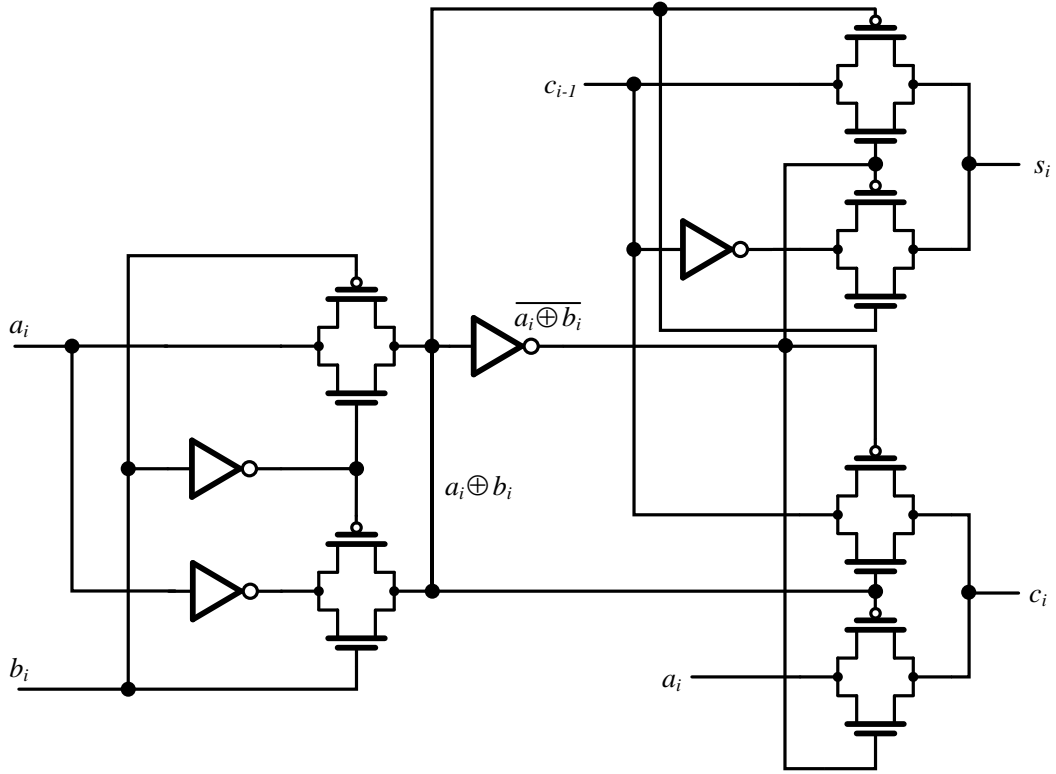


图 3 20T CMOS 传输门结构

如图 3 所示，是 20T CMOS 传输门结构。该电路中 XOR 和 XNOR 均采用 CMOS 传输门实现，该电路可以划分为 3 个部分，如下图所示。

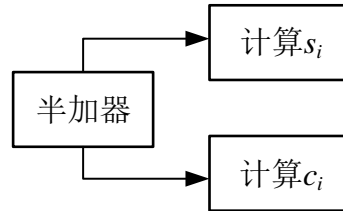


图 4 图 3 的结构框图

在 20T CMOS 传输门结构中  $s_i$  和  $c_i$  的表达式如下所示。其中为了实现  $c_i = c_{i-1}(a_i \oplus b_i) + a_i b_i$ ，用  $a_i(\overline{a_i \oplus b_i})$  代替了  $a_i b_i$ ，这样做的好处是能够直接从之前的电路中得出  $a_i b_i$ ，而不必另外添加与门。

$$\begin{cases} s_i = c_{i-1}(\overline{a_i \oplus b_i}) + c_{i-1}(a_i \oplus b_i) \\ c_i = c_{i-1}(a_i \oplus b_i) + a_i(\overline{a_i \oplus b_i}) \end{cases}$$

这个电路一共有 20 个晶体管，而且可以继续化简到 16T、14T 甚至 10T。

### (4) 10T 传输门逻辑全加器 (10T PTL FA)

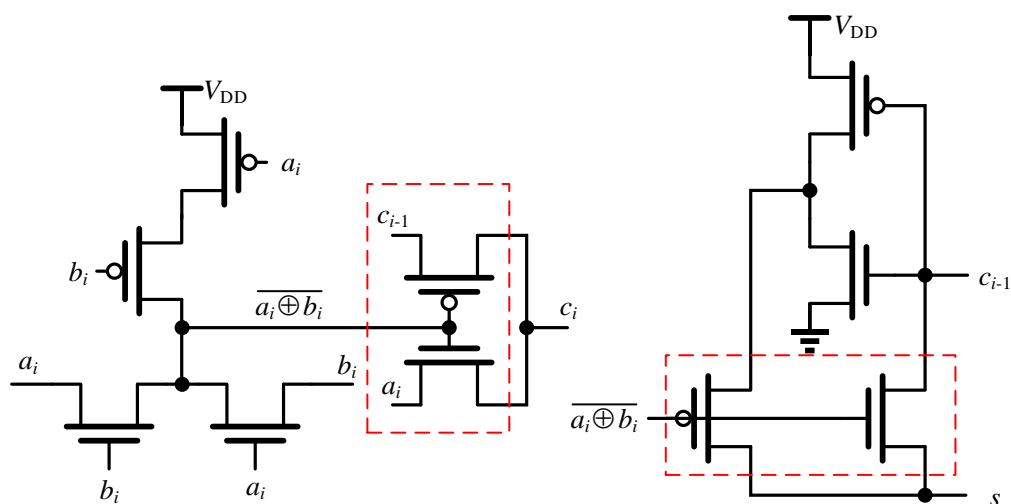


图 5 10T PTL FA

图 4 中，红框圈出的部分各是一个简单的二选一开关（2-1 MUX）。这两个 MOS 管每一时刻必有一通一断，因此不会出现输出高阻态。以上各种基于传输门的全加器的电路结构，最大的优势就是电路中晶体管的数量比较少，有效地降低了系统的面积、功耗成本。

## 二、N 位加法器

之前介绍了 CMOS 逻辑和传输门逻辑构成的加法器，本节将介绍由这些一位加法器构成的 N 位加法器。

### (1) 进位传播加法器（Carry Propagation Adder, CPA; Carry Ripple Adder, CRA）

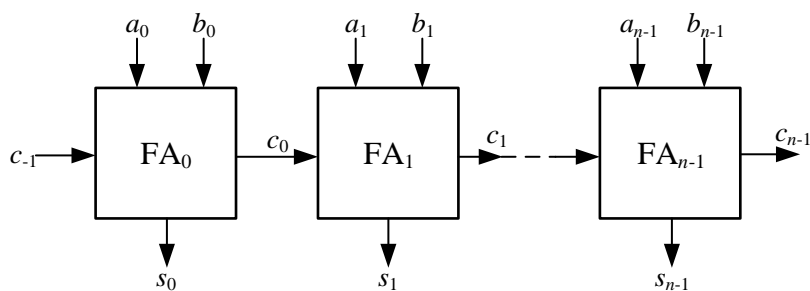


图 6 CPA/CRA

CPA 也被称为 CRA，这种加法器的系统结构如图 5 所示。N 个 1bit 全加器采用串联的方式级连，最终构成了 N-bit 全加器。该电路的结构规则、简单，但是工作速度慢，只有最后一位全加器完成运算时才出最终结果。它的工作过程类似于多米诺骨牌，只有前一级全加器算完后，后一级全加器才能获得进位输入信号并开始计算。

### (2) 超前进位加法器（Carry Lookahead Adder, CLA）

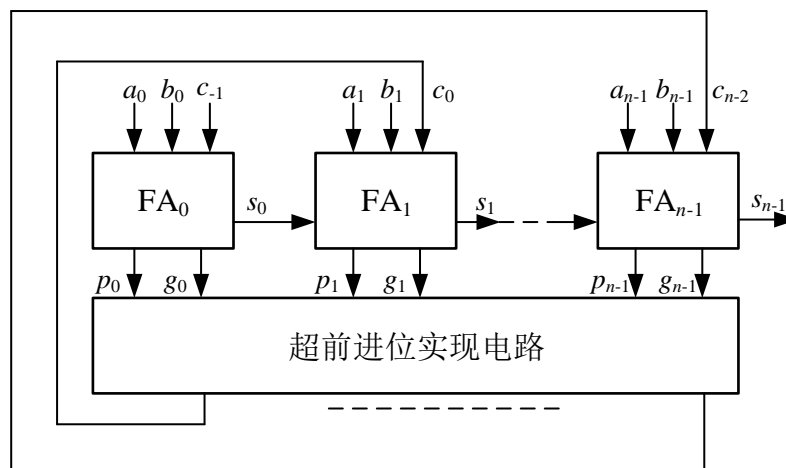


图 7 CLA

由 CPA 的缺陷可知，提高速度的关键在于使后面的全加器更早获取进位输入。CLA 通过辅助的电路结构实现了该功能，CLA 中本级全加器的进位输入与所有前级的输入有关，而不是前一级的进位输出，因此后面的全加器能够更早地获取进位输入。但由于高位进位输出的计算需要用到全部的低位信号输出，所以电路的规模和结构的复杂度提高了，而且延迟也增加了，这些缺陷限制了 CLA 在较多级数的加法器中的应用，CLA 通常是 4bit 加法器，每个 CLA 单元间采用串联的方式连接。

除了 CLA 外，还有许多加快加法器运算的方法，如采用进位完成加法器（CCA）、条件加法器（Conditional Sum Adder）、进位选择加法器（Carry Select Adder）等等。

### (3) 进位完成加法器（Carry Completion Adder, CCA）

进位完成加法器与普通加法器的不同之处，在于它将全加器的求和运算与进位运算分开了，先完成进位运算，当某一级全加器有进位产生时，就直接生成进位项并驱动下一级。最差的情况就是没有任何一级有进位产生，因而也就没有加速。所以进位完成加法器的速度与输入信号的具体分布有关，当很多级全加器有进位产生且分布均匀时，在最后一阶段的进位传输延迟将减小，速度提高。

### (4) 条件加法器（或条件和加法器）（Conditional Sum Adder）

条件加法器用面积和电路的复杂度作为代价，取得了更快的计算速度。简单地讲，在条件加法器中，高位的全加器会先计算出在不同  $c_{i-1}$  下的结果，然后在  $c_{i-1}$  到来时，根据实际的  $c_{i-1}$  选择结果。这种加法器的电路速度的提高以电路规模的指数增长为代价，而且多路选择器 MUX 的输入和控制信号布线连接困难，因此只能在小于 4bit 的加法器中采用。

#### (5) 进位选择加法器 (Carry Select Adder)

前一种条件加法器对每一位的结果根据条件进行选择, 占用过多的 MUX 资源, 而且 MUX 的连接关系十分复杂, 为克服其缺点, 可以在更高的层次上采用这种进位选择方法。例如在每个 4bit 加法器之间, 采用进位选择结构, 根据前级的实际进位输出信号, 选择本级的有效输出, 直至得出最终结果。

至此组合逻辑章节结束, 期间我们主要学习了静态组合逻辑、动态组合逻辑和加法器等知识, 之后将开始学习更重要、也更有难度的时序逻辑章节。