

数字 IC 第 12 次课堂总结

一、同步计数器

同步计数器和异步计数器的电路结构不一样。异步计数器每一级的触发信号是不同的，如第一级的输出端 Q_b 接第二级的输入端 D 。同步计数器的触发信号则是同一个信号，即时钟信号 CLK 。此外，异步计数器的基本单元是 TFF，同步计数器的基本单元是 DFF。例如，下图中的 16 进制加法计数器的 DFF 并没有像异步计数器一样全部采用 TFF 接法。

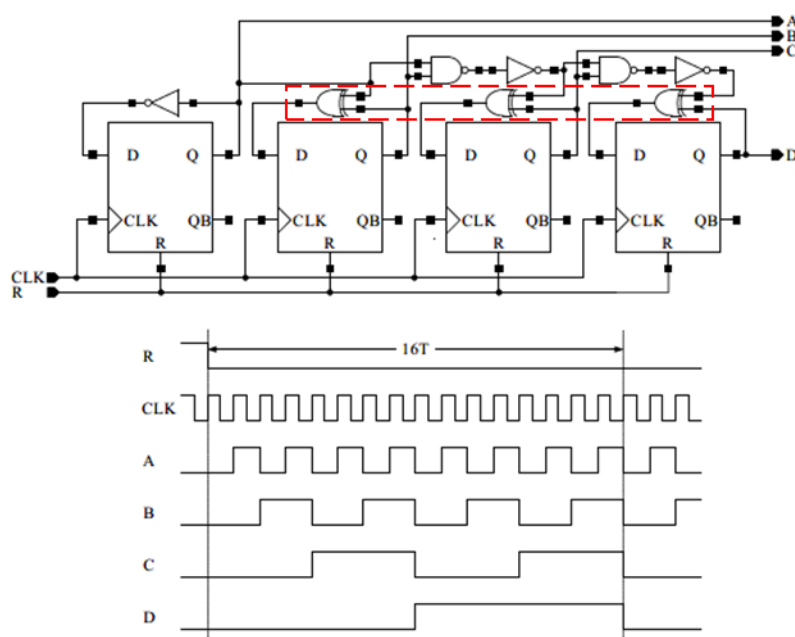


图 1 16 进制同步加法计数器及输出波形

在同步计数器中，第一级 DFF 的输入端 D 接 Q_b ，因此构成了 TFF。在图 3 中，第二级 DFF 只有在 $Q_1=1$ 时才能在时钟上升沿时翻转；第三级 DFF 只有在 $Q_1=Q_2=1$ 时才能在时钟上升沿时翻转……图 3 中组合逻辑电路正是为了实现该功能而设计的。其中，决定 D 端输入信号 Q 还是信号 Q_b 是由图 3 红框中的异或门决定的。采用这种方式构成的计数器是加法计数器，如果要构成减法计数器，就需要前级的 Q 均为 0 时才能被 CLK 信号触发并翻转，如图 4 所示。

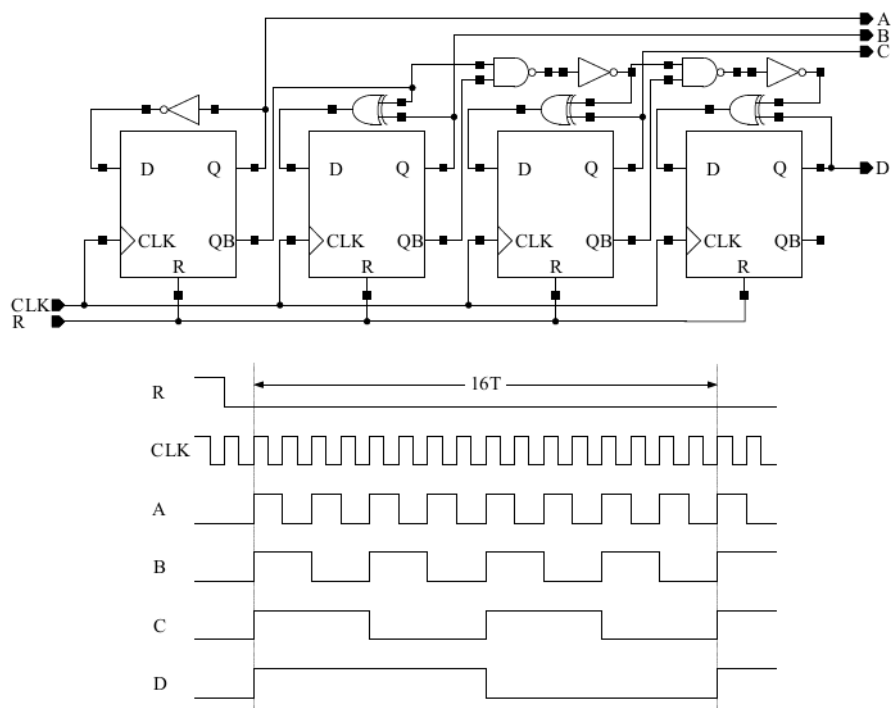


图 2 16 进制同步减法计数器

采用异或门选择 Q 或 Qb 驱动下级 DFF，即可得到加减功能可配置的同步计数器，如下图所示。当 CTRL=0 时，Q 为驱动下级的控制信号，计数器沿加法方向计数；当 CTRL=1，选择 Qb 为下级驱动控制信号，计数器沿减法方向计数。

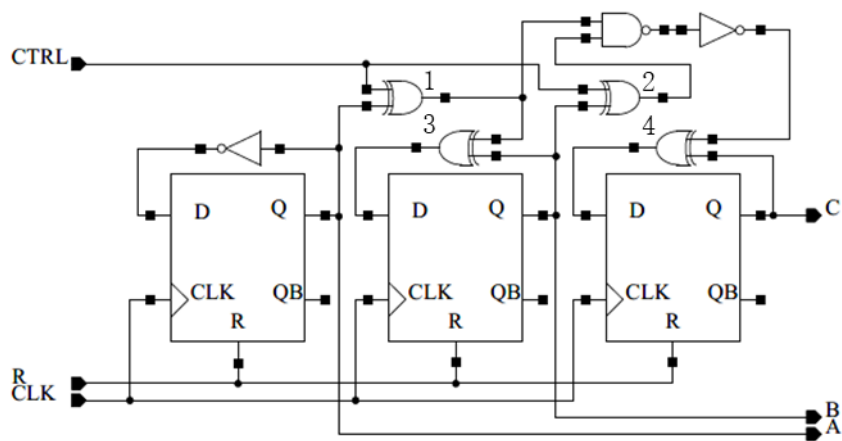


图 3 8 进制双向加减可配置同步计数器

图 5 中，异或门 1、2 用来选择是加法计数还是减法计数，异或门 3、4 用来选择输入 D 端的是信号 Q 还是信号 Qb。

根据以上对同步计数器的分析，可以得出如下结论：和异步计数器相比，同步计数器电路结构比较复杂，但是延时情况有所改善，同步计数器中的输出端延时来自于组合逻辑电路中的与门。由于后一级还要检测前一级的输出信号 Q 是 0 还是 1，所以后一级要比前一级多

等待一个与运算的时长，假设一个与门造成的延时为 t ，则后一级的输出信号要比前一级的输出信号晚 t 。由于延时积累，所以位数越高、延时越大。同步计数器中，也应该满足最大延时小于 $1/2$ 时钟周期的条件。

此外，同步复位方式和异步复位方式也有比较大的区别：同步复位是时钟沿到来时复位信号才起作用，而且复位信号的持续时间应该超过一个时钟周期，这样才能保证系统复位；异步复位是复位信号一旦出现，系统就马上复位，因此异步复位抗干扰能力差，计数器中还需要利用锁存器保持一段时间的复位信号。同步复位与异步复位的区别主要看是否有时钟信号参与。异步复位不需要时钟参与，同步信号需要时钟参与。

下图是基于系统复位控制的 6 进制同步计数器，红框圈出的是状态检测和复位电路，电路处于加法计数模式下，计数到 $CBA = 101_2$ 时，系统强制各级复位，即所有 DFF 的输入 D 均为 0。此后在时钟触发下进行下一轮计数。和异步复位相比，这种复位方式节省了一个锁存器，因为复位完成前复位信号不会被破坏。

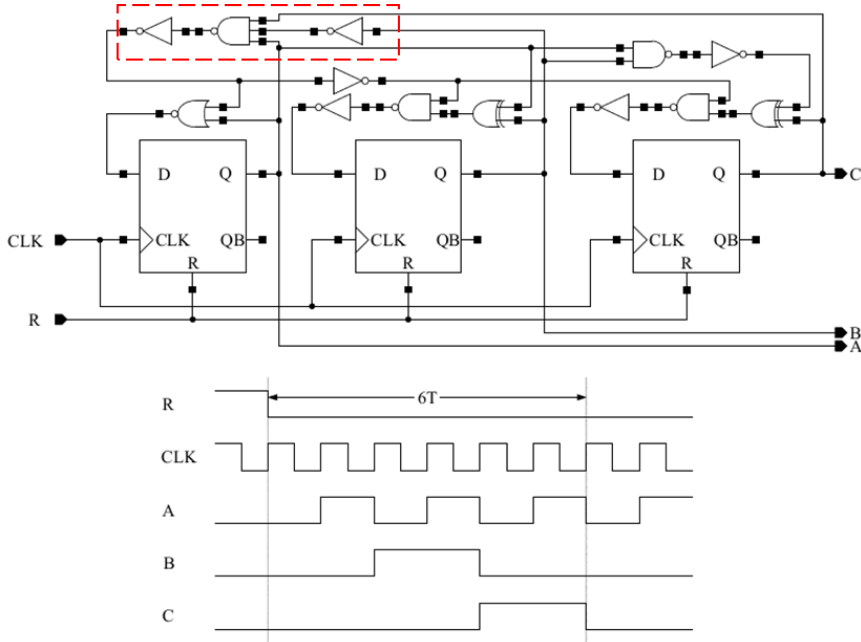


图 4 基于系统复位控制的 6 进制同步计数器及其输出波形

二、特殊分频器

除了上述的分频器外，还有一些比较特别的分频器，如双 DFF 级联双沿交替触发 $1/2$ 分频器。该分频器中各级 Q 的频率相同，但相位相差了 90° 。该电路中，输入信号的上升沿和下降沿均能使 DFF 的输出信号翻转，但是触发对象由 Q1、Q2 轮流充当。

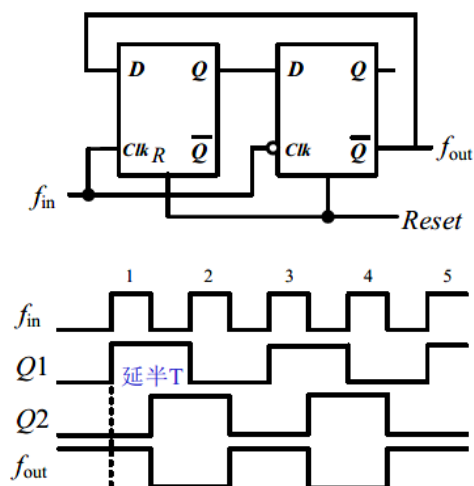


图 5 双 DFF 级联双沿交替触发 1/2 分频器及输出波形

下图是四级 DFF 级联 1/3 分频器，该分频器同样是同步分频器，而且工作原理和双 DFF 级联双沿交替触发 1/2 分频器相同。

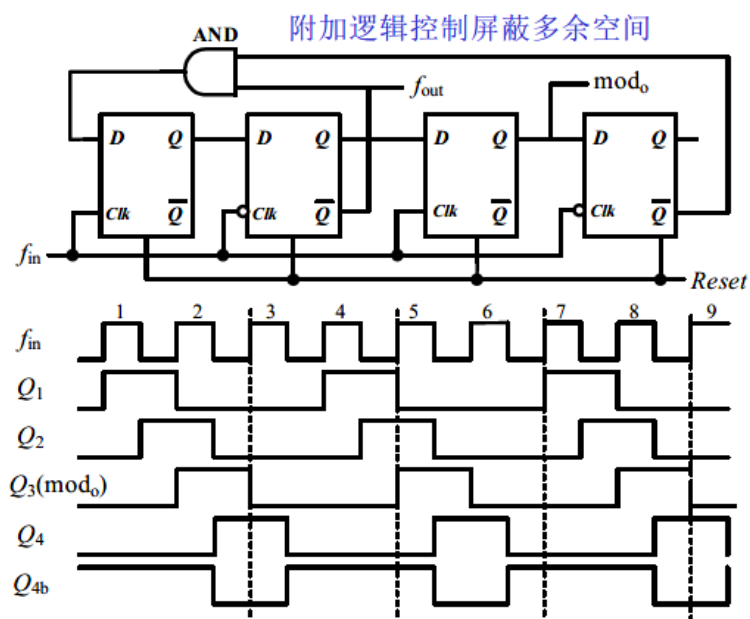


图 6 四级 DFF 级联 1/3 分频器

图 9 是线性反馈移位寄存器（Linear Feedback Shift Register, LFSR），即同步型伪随机数计数器，可以用于生成伪随机数，但 Q_1 、 Q_2 、 \dots 、 Q_n 不可能全为 1。而且级数越大、量程空间越大，随机性越好。

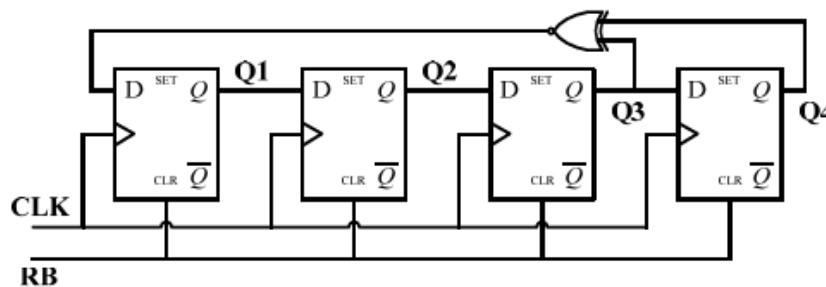


图 7 4-bit LFSR 计数器

三、三态门的实现方式

接口电路是联系芯片内部与外部信号的桥梁。通常，电路输出可直接接入同一类型负载电路的输入，无需接口。但是对于不同类型的电路，由于信号电平范围和驱动能力等方面存在明显差异，因此无法直接连接，需要一个接口电路完成电平匹配。

三态门是实现数据总线传输的一种重要的功能电路。所谓三态，就是在 0 和 1 两种逻辑状态输出的基础上，增加一个高阻态，即输出结点对电源和地的通路被同时阻断，输出端悬空。高阻输出的一个重要特点是其输出状态对并联的其它结点电压没有任何影响。

通常，传输门是实现三态逻辑的基本结构，如图 10(a)所示。当传输门导通时，输入逻辑传递到输出；传输门截止时，输出与输入断开，呈现高阻态。在 CMOS 逻辑中，三态逻辑通常采用串联的三态门和倒相器实现。在三态门有效时，仅增加一级倒相缓冲；而当三态门无效时，提供高阻输出。图 10(b)为钟控倒相器结构，时钟信号作为使能控制，实现三态输出。图 10(c)通过“与非”和“或非”两个门电路选通输入信号，EN=1 时同相输出，EN=0 时两管均截止，输出高阻态。

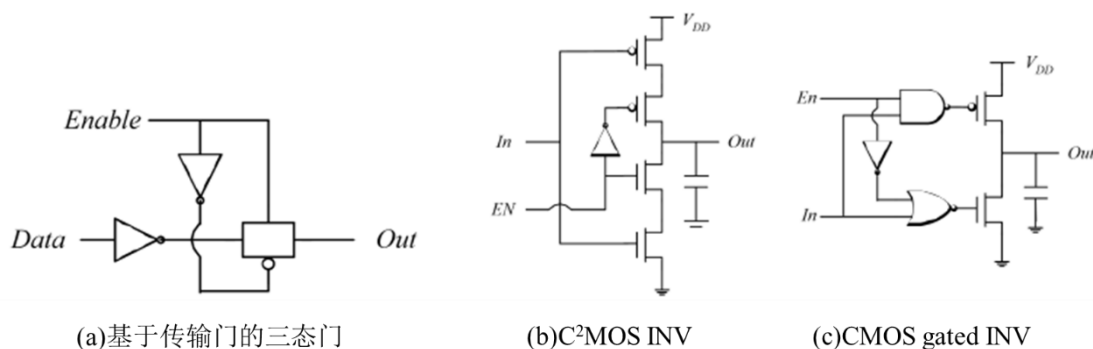


图 8 三态门的实现方式

四、移位寄存器：

移位寄存器主要应用于串行转并行输入和并行转串行输出的数据传递和处理应用。下图

为实现右移的一种电路结构。我们可以看到，整个移位寄存器由四级单元组成，每级的 Latch 单元由一个传输 MOS 开关和一个反相器构成，通过两相正交时钟的控制来实现级间交替传输，其中 Ck_1 和 Ck_3 同步， Ck_2 和 Ck_4 同步。

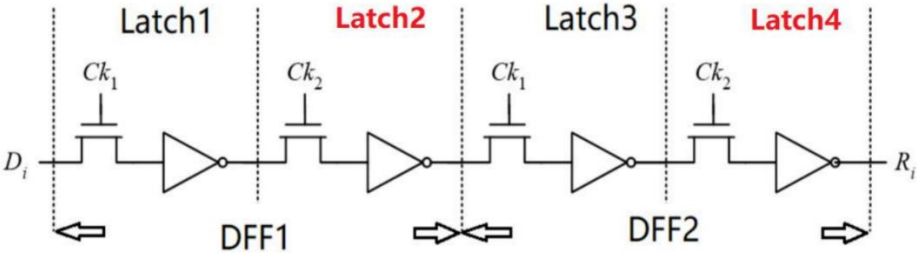


图 19 动态移位寄存器

上述移位电路的缺点是只能右移，如下图所示，这是一种可控制移位方向的移位寄存器。通过选通对应的使能信号，来控制对应位左移还是右移。比如说右移信号选通，此时 A_{i+1} 信号传给 B_i 位， A_i 信号传给 B_{i-1} 位，实现了整个二进制数据的右移。左移和不移动的分析类似。

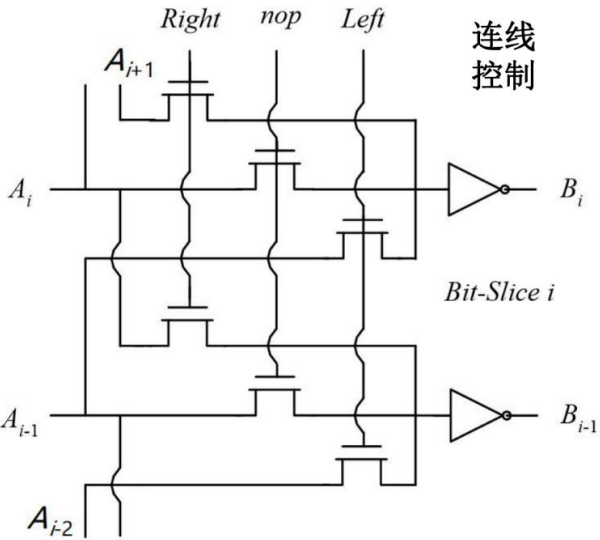


图 110 可控制移位方向的移位寄存器

上述电路主要由传输管或 MUX 来进行信号选择，下面介绍一种利用 DFF 来实现双向移位的电路结构，如下图所示。

以看到图 5 中的电路分为两级，首先通过移位寄存器将输出数据串行移位输出，每个时钟周期移位一次。每次移位操作后，等到输出稳定再通过第二级的 Latch 进行并行输出。当然第二级也可以用 DFF 输出，但是这样会增加电路的复杂度和功耗。

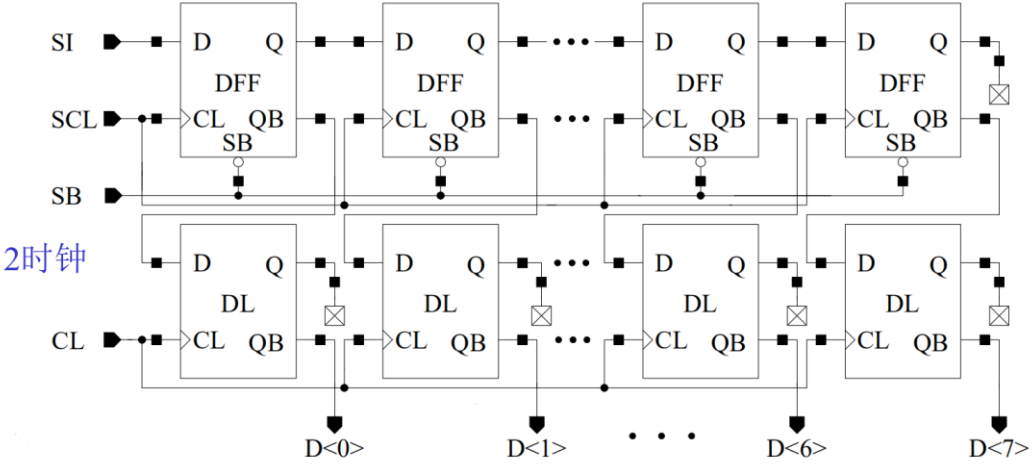


图 113 串-并转换电路

下图为实现并行-串行数据转换功能（Parallel to Series Data Conversion）的电路。与串-并转换电路相比，该电路多了一级，复杂度略微增加。电路中，数据首先经总线并行输入到第 1 级 D Latch 并被锁存，等到第 2 级的时钟 CLK2 选通时，MUX-2 再将输入信号传输到下一级 DFF 的输入端。而第 3 级的 DFF 则构成了一个串行移位输出的寄存器。因此在 CLK3 的引导下，数据实现了每周期移位一次的串行输出。

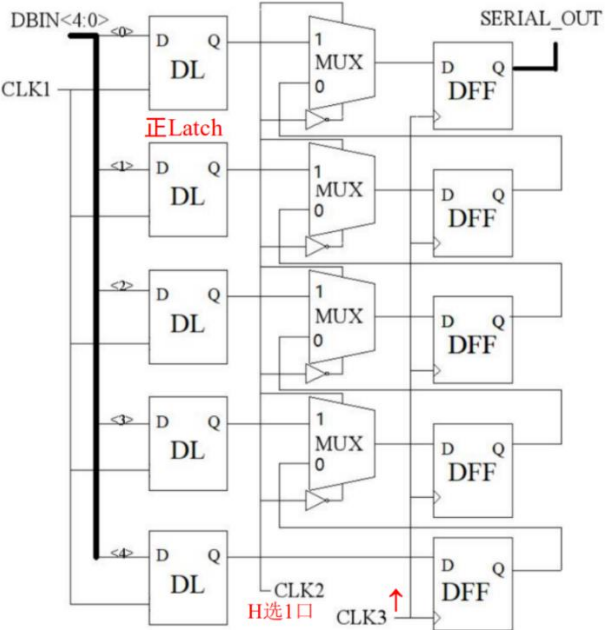


图 114 并-串转换电路

五、编码和译码：

编码和译码电路实现的是 n bit 对应容量为 2^n 的状态空间，其中状态空间指的是最小项的集合。比如说 2 bit 有 4 个最小项，3 bit 对应 8 个最小项，它们的集合就是状态空间。下图为一个简单的 2-4 译码电路。通过与操作输出两个有效信号的最小项。可见译码的本质就是求出最小项。

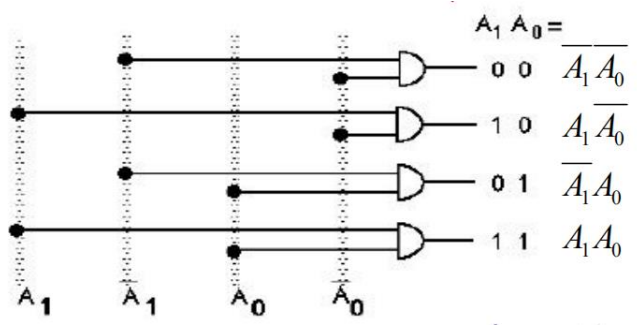


图 115 2-4 译码器

下图是两种等价的 3-8 译码电路，它们分别用与非门和或非门实现。

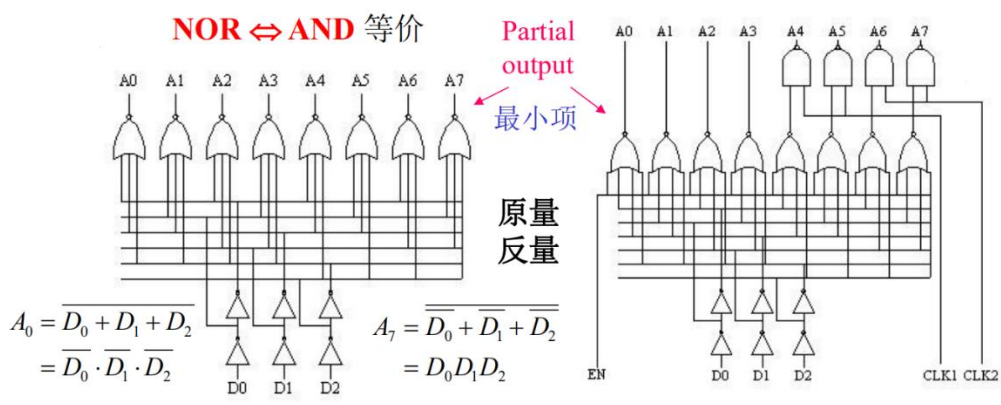


图 116 3-8 译码器

译码器可以应用于多路开关和 Memory 寻址中。图 19 是 3-8 译码器实现的 8 选 1 电路和传统方法实现的 8 选 1 电路。图 19(a)为 3-8 译码器应用的电路结构，其开关选择操作都是并联方式；图 19(b)为传统的串联 3 级二选一的方法实现的多路选择器。可以看到，通过译码器可以减小级数过多导致的传输延时。

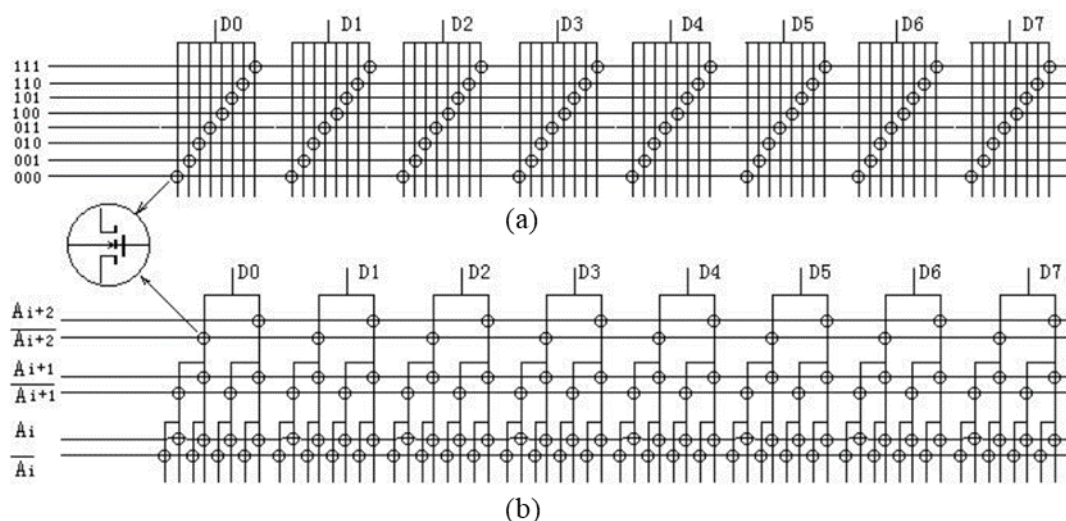


图 117 (a)3-8 译码器实现的 8 选 1 电路 (b)传统方法实现的 8 选 1 电路

下面我们介绍多位译码电路的速度优化思路。对于 6-64 译码器，如果直接一级译码，需要 6 个输入和 64 个与门。每个与门的扇入数为 6，但实际上我们不可能做出扇入数如此大的与门。因此，我们可以利用分级思想，将 6 个输入首先分为 3 组，每组总共有四个最小项，即第一级需要三个 2-4 译码器，第二级则有 64 个三输入与门，从而将第一级产生的所有最小项进行组合选取，最终实现 6-64 译码输出。此外，我们也可以将 6 个输入分为两组，每组 3 个输入端，即第一级需要两个 3-8 译码器，第二级需要 64 个二输入与门，这同样能给出我们所需要的输出结果。

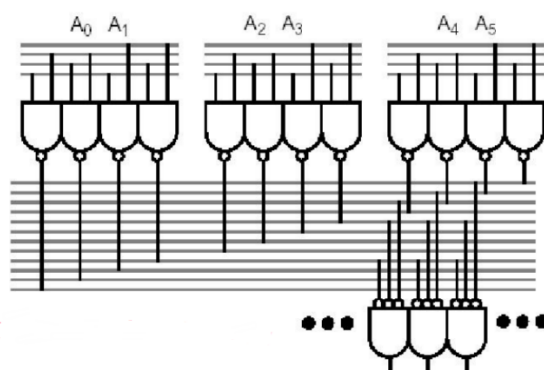


图 18 两级结构的 6-64 译码器

译码的类型除了我们前面介绍的一对一 (one-one) 之外，还有多对一 (multi-one)。“多对一”就是某几个最小项对应同一个控制信号。一对一、多对一的两种译码类型的电路结构如下图所示。可以看到，多对一结构是短接了若干个一对一结构的输出端后构成的。

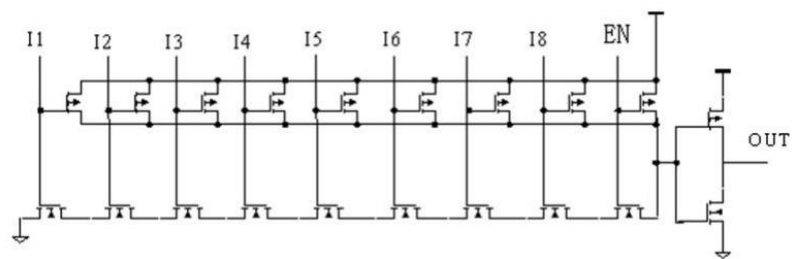


图 19 一对一式与或逻辑译码结构

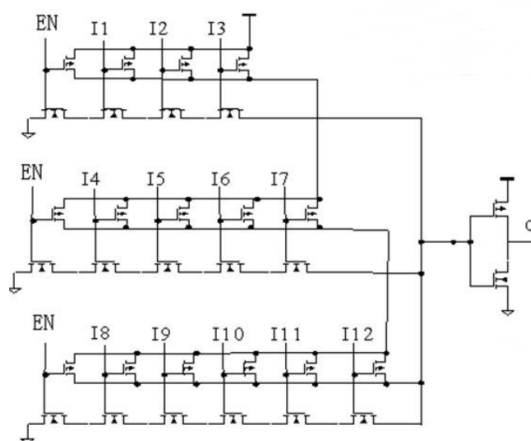


图 20 多对一式与或逻辑译码结构