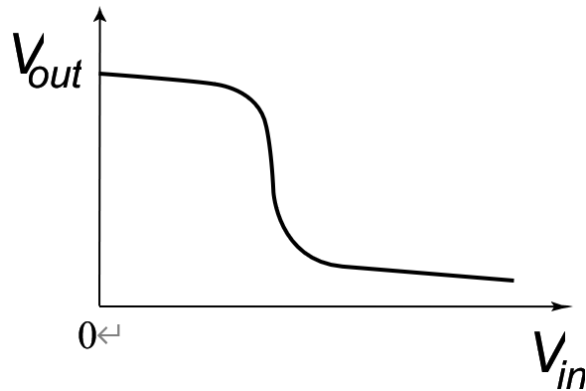


2022 年《VLSI 设计基础》综合练习题

姓名：孙寒石 学号：06219109

一、在下图的反相器传输特性曲线中，在横坐标上，标出 V_{IL} 、 V_{IH} 、 V_{OL} 和 V_{OH} ，并注明高、低电平噪声容限（可在下图上标线画出）。



Solution:

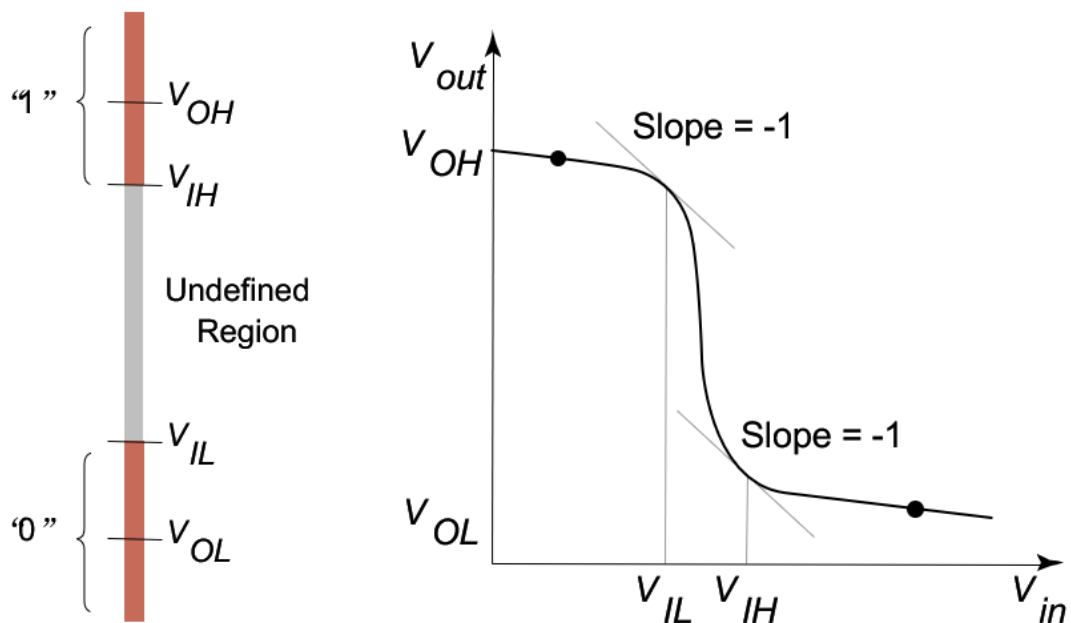
如下图（摘自课程 PPT），

- 首先，找到斜率为 -1 的地方， V_{IL} 为输入低电平最高点， V_{IH} 为输入高电平最低点
- V_{OH} 为输出高电平最高点， V_{OL} 为输出高电平最低点
- 高电平噪声容限 = 最小输出高电平电压 - 最小输入高电平电压

$$V_{NH} = V_{OH} - V_{IH}$$

- 低电平噪声容限 = 最大输入低电平电压 - 最大输出低电平电压

$$V_{NL} = V_{IL} - V_{OL}$$



二、MOS 管栅输入电容大小是如何影响其阈值电压的？请解释其物理机制。

Solution:

栅氧化层厚度 t_{OX} 决定了单位面积栅电容的大小。单位面积栅电容越大，**电荷数量变化对 V_{GS} 的变化越敏感**，器件的阈值电压则越小。**栅氧化层的厚度越薄，单位面积栅电容越大，相应的阈值电压数值越低**。但因为栅氧化层越薄，氧化层中的场强越大，因此，栅氧化层的厚度受到氧化层击穿电压的限制。

三、MOS 晶体管的统一模型中，说明 V_{min} 的三种不同的取值，分别代表了晶体管处于什么工作状态（分别考虑长、短沟道器件两种情形）。

$$\begin{aligned} I_D &= 0 \text{ for } V_{GT} \leq 0 \\ I_D &= k' \frac{W}{L} \left(V_{GT} V_{min} - \frac{V_{min}^2}{2} \right) (1 + \lambda V_{DS}) \text{ for } V_{GT} \geq 0 \\ &\text{with } V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT}) \\ V_{GT} &= V_{GS} - V_T \\ \text{and } V_T &= V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right) \end{aligned}$$

Solution:

长沟道：

- $V_{min} = V_{GT}$ 时，表示的是晶体管处于饱和区；
- $V_{min} = V_{DS}$ 时，表示的是晶体管处于线性电阻区。

短沟道：

- $V_{min} = V_{GT}$ 时，表示的是晶体管处于饱和区；
- $V_{min} = V_{DS}$ 时，表示的是晶体管处于线性电阻区；
- $V_{min} = V_{DSAT}$ 时，表示的是晶体管处于速度饱和区。

四、提升反相器性能的方法有哪些？同时需要注意什么问题？

Solution:

负载电容 C_L ：要求漏扩散区的面积越小越好，减小 C_L 。

MOS 管相对尺寸：CMOS 电路中晶体管尺寸决定上升/下降延迟时间的大小，W/L 的设计极其重要。PMOS 的 k'_p 工艺因子为 NMOS k'_n 的 1/2~1/3 (迁移率影响)，故一般条件下 PMOS 的 W/L 比响应的 NMOS 大 2~3 倍。如果我们让 PMOS 尺寸和 NMOS 尺寸保持合适的比例，那么就可以减少降低反相器的传播延迟。

扇入扇出：Fan out 即输出连接的 Gate 数增加，即负载电容增加， t_p 增加。Fan in 增加即 PDN 或 PUN 中串联的 Switch 数目增加，导通电阻 R_{on} 增加，内部结点电容增加，延迟增加。为了解决驱动能力和延迟的矛盾，增加 buffer 可提高驱动能力。

增加晶体管 W/L：适当增加晶体管的 W/L 可以有效降低传播延时。增加晶体管尺寸也会增加扩散电容，因而增加 C_L ，当扩散电容开始超过外部负载，增加门的尺寸便对性能不再有提升，但是会增大电路面积，会带来自载效应。此外，较宽的晶体管具有较大的栅电容，增加了驱动门的扇出系数，从而影响它的速度。

工作电压：提高 V_{DD} ，即对 RC 电路的充电速度变快，降低传播延时；但是电压超过一定程度时，改善就会非常有限了，而且一些可靠性方面的考虑迫使电源电压需要有严格的上限。

五、CMOS电路的功耗分哪三类？说明其形成机理。

Solution:

CMOS 功耗由以下三部分组成：

- **由充放电电容引起的动态功耗。**每当电容 C_L 通过 PMOS 管充电时，它的电压由 0 升至 V_{DD} ，此时从电源吸收了一定数量的能量。该能量的一部分消耗在 PMOS 器件中，而其余则存放在负载电容上，在由高至低的翻转期间，这一电容被放电，于是存放的能量消耗在 NOMS 管中。

$$P_{dyn} = C_L V_{DD}^2 P_{0 \rightarrow 1} f$$

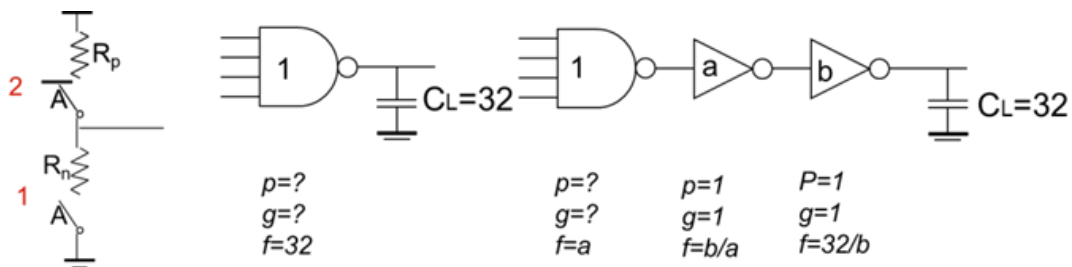
- **直流通路电流引起的功耗。**输入信号不为无穷大的斜率造成了开关过程中 V_{DD} 和 GND 之间在短期内出现一条直流通路，此时 NMOS 和 PMOS 管同时导通。

$$P_{dp} = C_{sc} V_{DD}^2 f$$

- **静态功耗。**有泄露电流流过位于晶体管源（或漏）与衬底之间的反相偏置的二极管结。

$$P_{stat} = V_{DD} I_{leak}$$

六、一个标准单元的四输入端与非门（单输入端器件尺寸为 1）驱动一个负载为 32 的电容 C_L （中图），以一个标准单元反相器（输入输出电容相等，即 $r = 1$ ）PMOS 和 NMOS 尺寸 2:1 优化基准（左图），则该与非门的信号延时（归一化到 $0.69t_{p0}$ ）中，本征延时 p 和负载延时 $h = gf$ 分别是多少？现在插入两级反相器以优化延时，请计算右图中两个反相器的尺寸 a 和 b ，以及从输入到输出的归一化延时。



Solution:

对于与非门而言：本征延时 $p = 4$ ；负载延时 $h = gf = (6/3) * (32) = 64$ ；

对于插入反相器链的与非门而言：

$$\begin{aligned} F &= 32 \\ G &= 2 \times 1 \times 1 = 2 \\ H &= GF = 32 \times 2 = 64 \\ h &= 64^{\frac{1}{3}} = 4 \end{aligned}$$

所以我们可以计算出：

$$a = 2, \quad b = 8$$

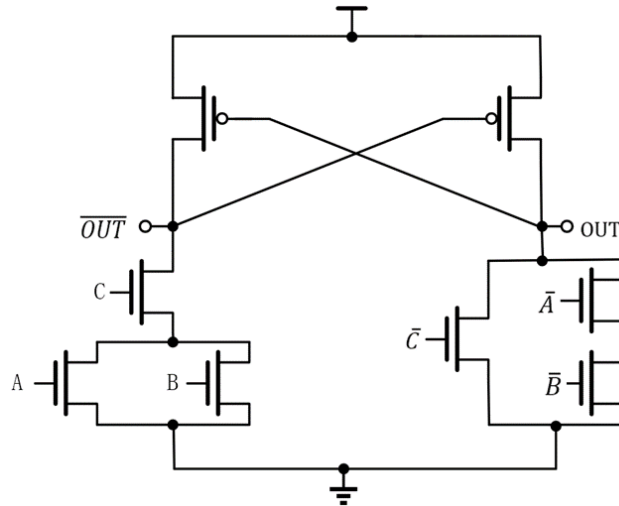
最后可以得到归一化延迟为：

$$t = t_{p0}(4 + 4) + t_{p0}(1 + 4) + t_{p0}(1 + 4) = 18t_{p0}$$

七、用差分串联电压开关逻辑（DCVSL），画出逻辑表达式 $X = C \cdot (A + B)$ 的器件级电路（用 PMOS 负载、NMOS 网络），并说明该类电路的特点。

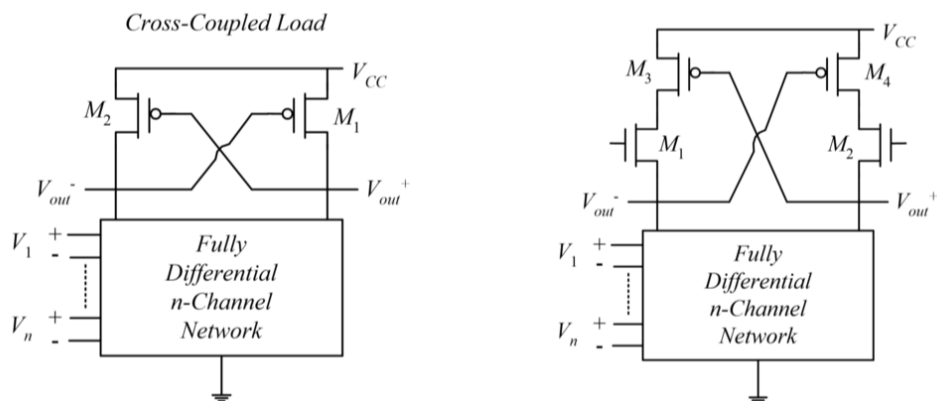
Solution:

DSL 全差分电位分离逻辑 (Full Differential Split-level logic)。目的在于兼顾连续型负载与 Cross Pair 交叉耦合负载的特点。限制逻辑电平的大小，提高转化速度。如下图：



特点：

全差分逻辑采用双端输出及连电压开关逻辑结构 Dual Cascode Voltage Switch Logic (DCVSL)，从改进 Psedo-NMOS 的负载特性，降低静态电流的要求变化而来，原始信号采用差分输入。并且差分结构以**近似 1 倍的硬件规模增加**为代价，实现了互补逻辑的同时输出，且相互延迟时间完全匹配。目的在于兼顾连续型负载与 Cross Pair 交叉耦合负载的特点。限制逻辑电平的大小，提高转化速度。



- 该结构与静态 CMOS 结构具有相同的输出，摆幅都是 VDD - GND
- 输出同时得到正逻辑和负逻辑