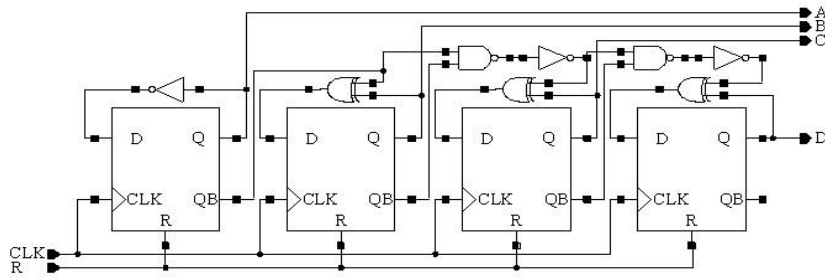


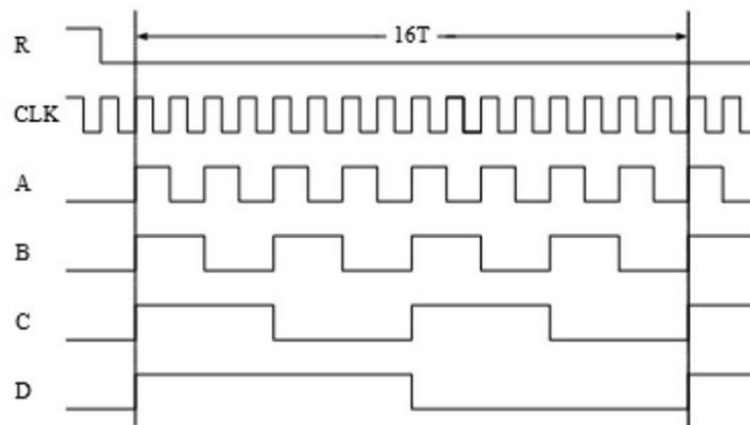
数字 IC 第四次作业

- 1、图中模块为上升沿触发的 D 触发器，R 为高电平有效的输出清零信号，CLK 为时钟信号。简要分析电路的工作原理，并画出电路工作时 A、B、C、D 与 CLK 及 R 的关系，根据输出波形关系说明该电路逻辑功能。



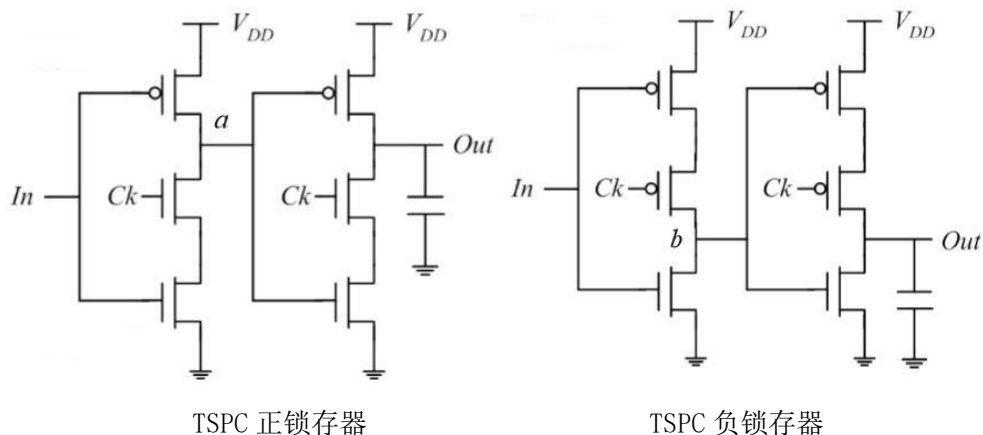
答：逻辑功能为模 16 减法计数器（或分频器）

本电路是同步时序电路，存在一个共用的时钟，当 $R=1$ 时，所有输出置位，即全为 0。当 $R=0$ 时，在时钟上升沿读取 D 的值并锁存，后面的触发器根据前面的状态进行翻转，Q1 在 Q0 为低电平时，下一个时钟上升沿翻转，Q2 在 Q0、Q1 均为低电平时，下一个时钟上升沿翻转，Q3 同理类推，而 Q0 随着时钟上升沿 不停翻转。A,B,C, D 四个输出分别为 Q0,Q1,Q2,Q3。

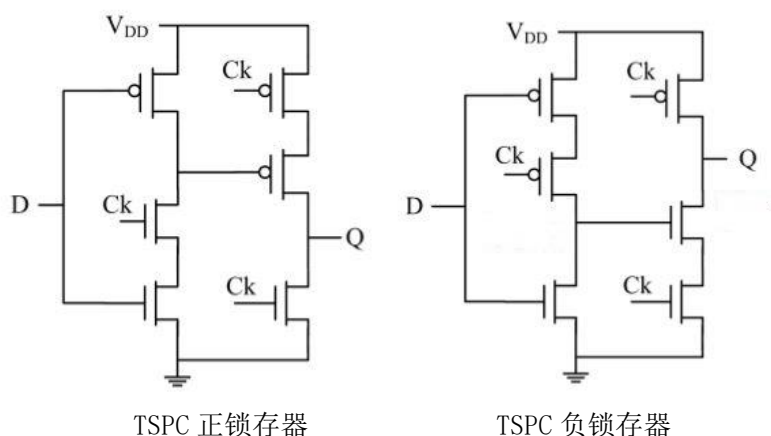


- 2、请简述 DFF 和 D 锁存器的区别，分别画出基于 TSPC 的正、负 D-Latch 的电路结构图，说明主从 DFF 的工作原理。

答：DFF 为边沿敏感型电路（上升沿或下降沿触发），数据存储一个周期。
D Latch 为电平敏感型电路，数据存储半个周期；正锁存器——高电平时传输数据，低电平时维持；负锁存器——低电平传输，高电平维持。



或：



主从 DFF 的工作原理：

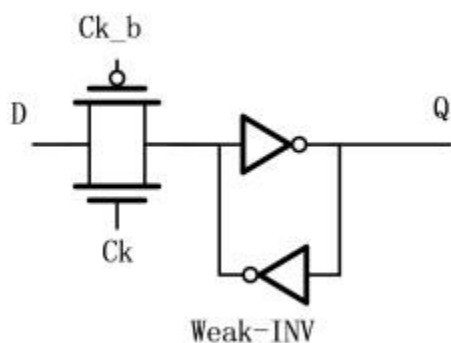
当时钟信号 Ck 为 '0' 时，输入信号 in 传输到主触发器的输出端 x ，这时由于从触发器的传输门截止，传进主触发器的 $x=in$ 信号并不能送入从触发器的 out ，从触发器处于保持状态，输出保持为原来的输出不变。

当时钟信号 Ck 为 '1' 时，主触发器的传输门截止，外部信号 in 无法通过主触发器到 x 端， x 保持关断（0 到 1 上升沿）瞬间的值不变，而从触发器导通，输出 out 等于此时保持不变的输入 x 。

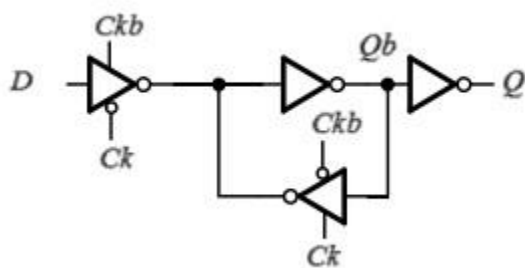
故在整个时钟周期表现为上升沿采样输入数据，后在一个周期内保持该数据，直到下一个上升沿到来。

3、分别画出反馈回路为反相器和三态门的半静态锁存器的电路结构，并说明二者在设计时应该注意的问题。如何用半静态锁存器设计一个带有置位和复位功能的 D 触发器。

答：反馈回路为反相器的半静态锁存器：



反馈回路为三态门的半静态锁存器：

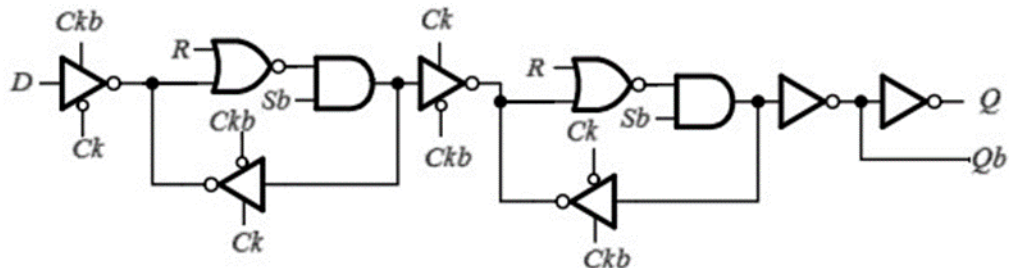


设计注意事项:

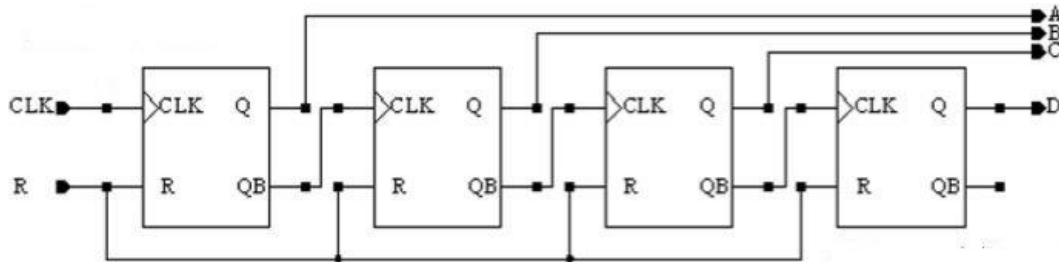
反相器半静态锁存器: 会存在数据无法写入的情况, 因此反馈回路中应有一个弱倒相器, 方便数据写入。

三态门半静态锁存器: 需要注意两个三态门的钟控信号正交。

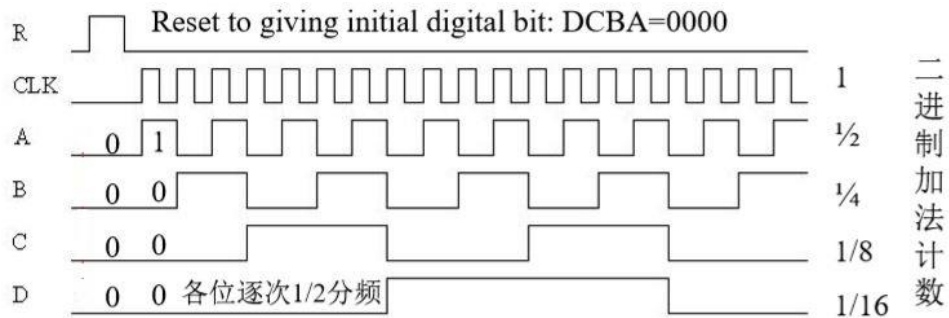
半静态锁存器设计一个带有置位和复位功能的 D 触发器:



- 4、图中模块为上升沿触发的 TFF, R 为高电平有效的输出复位 (清零) 信号, CLK 为时钟信号。画出电路工作时 A、B、C、D 与 CLK 及 R 的关系, 并根据输出波形关系说明该电路逻辑功能。



答: 逻辑功能为模 16 二进制异步加法计数器 (逐次 1/2、1/4、1/8、1/16 分频器)



- 5、请设计一个 1/24 分频器, 高电平: 低电平占空比为 9: 15。

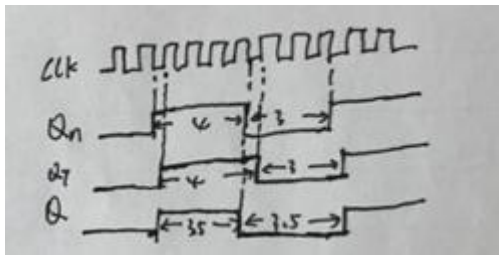
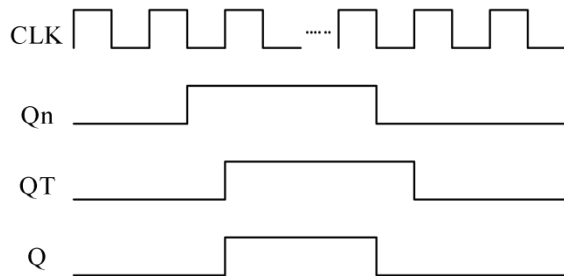
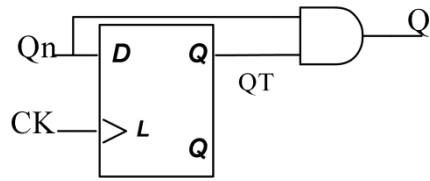
答: 参考 ppt 上电路, 合理即可

- 6、请按下列步骤设计一个占空比为 50% 的 1/7 分频器。

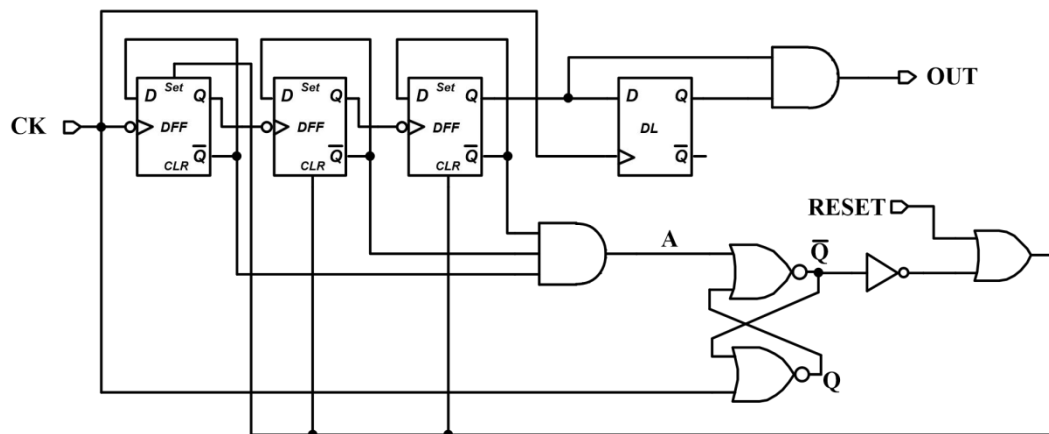
- (1) 画出状态转移图;
- (2) 画出移动半个周期的移相电路图和波形图;
- (3) 画出占空比为 50% 的 1/7 分频器的整体电路图

答: (1)“掐头法”: 001→010→011→100→101→110→111→001 (检测状态设置为 111) 或“去尾法”: 000→001→010→011→100→101→110→000 (检测状态设置为 110)

- (2) 半个时钟周期移相电路

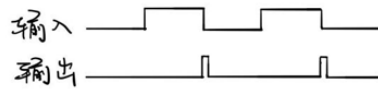
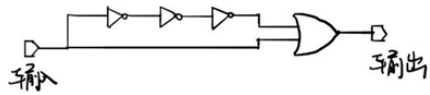


(3)



7、请设计一个只对输入信号下降沿敏感的、产生复位信号 $R=1$ 有效的窄脉冲信号产生电路并画出其输入输出波形图。

答：



参见 PPT，合理即可。

答：注：本次作业请各位同学于 2020 年 12 月 26 日（本周六）晚 8:00 前，将作业的 word 版发至邮箱：2499732090@qq.com，word 文件命名为“学号-姓名”，作业成绩计将入平时分。