

## 数字 IC 第 4 次课堂总结

### 一、数字集成电路中的功耗——反相器为例：

静态时，反相器输入保持不变（0 或 1）。理想条件下，总有一个开关保持关闭状态，静态功耗  $P_s=0$ 。这是数字集成电流规模能放大的根本原因。实际情况下由于开关的漏电，会产生一个很小的功耗消耗： $P_s = V_{DD}I_{leak}$ 。

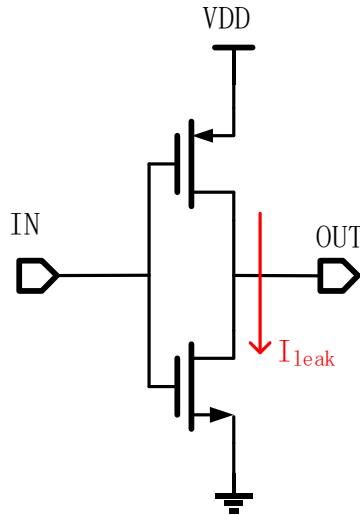


图 1 反相器静态功耗

对于动态时，如图 2，主要有两种动态功耗。其一为充放电功耗，每个工作周期，随着输入的改变，输出端负载电容也在充放电，这是动态的主要消耗，消耗的能量来自于电源。功耗与开关动作的次数有关，其公式为：

$$P_{dyn} = \frac{E}{T} = \frac{QV}{T_{clk}} = C_L V_{DD}^2 f_{clk}$$

其二为短路功耗，在反相器实际翻转（有跳变延时）的瞬态过程中，存在两管同时导通的瞬间，此时 VDD—GND 形成通路消耗能量。其公式为：

$$P_{short} = \frac{E}{T} = d_{sc} I_{peak} V_{DD}$$

其中  $d_{sc}$  为短路时间在整个周期的占空比。

总共功耗为：

$$P_{total} = P_{short} + P_{dyn} + P_s = \alpha (C_L V_{DD}^2 + I_{peak} V_{DD} t_{sc}) f_{clk} + V_{DD} I_{leak}$$

$\alpha$  为活动因子，代表整个系统工作模块的水平

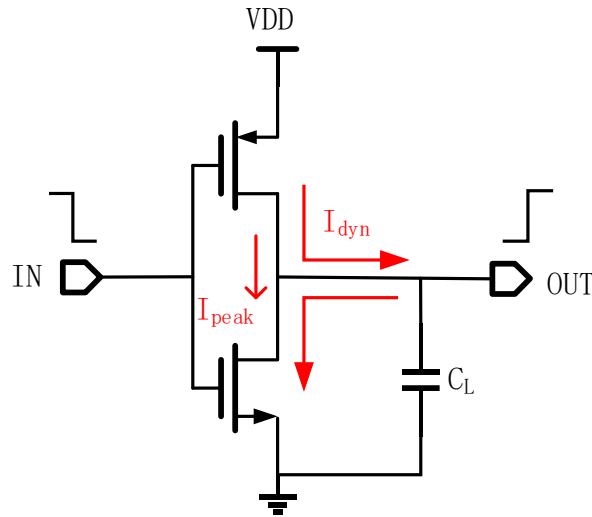


图 2 反相器动态功耗

## 二、多输入逻辑结构：

CMOS 逻辑门可以看作上拉网络（Pull-up Network）和下拉网络（Pull-down Network）两部分电路网络结构的相互作用。类似于 CMOS 反相器，CMOS 逻辑门的上拉网络由 PMOS 电路构成，上拉网络将输出信号上拉到电源电压  $V_{DD}$ ，而下拉网络则由 NMOS 电路构成，将输出信号下拉到 GND。CMOS 逻辑门中 NMOS 管和 PMOS 管的数量一致。

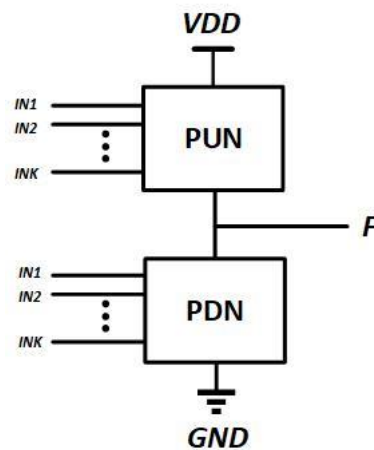


图 3 上拉网络与下拉网络示意图

值得注意的是，PUN 和 PDN 总是互补的两个电路网络，交替导通。其输出逻辑表达式为

$$F = PUN \cdot 1 + PDN \cdot 0$$

上述公式两部分都有其物理意义，对于 PUN 导通的情况，输出通过上拉网络接到电源电压  $V_{DD}$ ；而对于 PDN 导通的情况，输出通过下拉网络接到 GND。仅从数学角度看，第二项似乎可以忽略，但是从物理角度看，第二项不能忽略：当 PUN 断开的时候，如果没有下

拉网络，输出就会是高阻态，这与我们原先设定的电路功能不符。CMOS 逻辑门一般只有 0、1 两种状态（三态门除外），因此上拉网络 PUN 和下拉网络 PDN 中必定一个导通、一个断开，同时将输出拉到  $V_{DD}$  或 GND。因此可知如下的关系式成立：

$$\begin{cases} F = PUN, \bar{F} = PDN \\ F = \overline{PDN} \end{cases}$$

另外介绍 Morgen 定理：

$$\begin{cases} \overline{x \cdot y} = \bar{x} + \bar{y} \\ \overline{x + y} = \bar{x} \cdot \bar{y} \end{cases}$$

以及用 NMOS 管构建“与”、“或”等逻辑关系的方法，即“串与并或”：

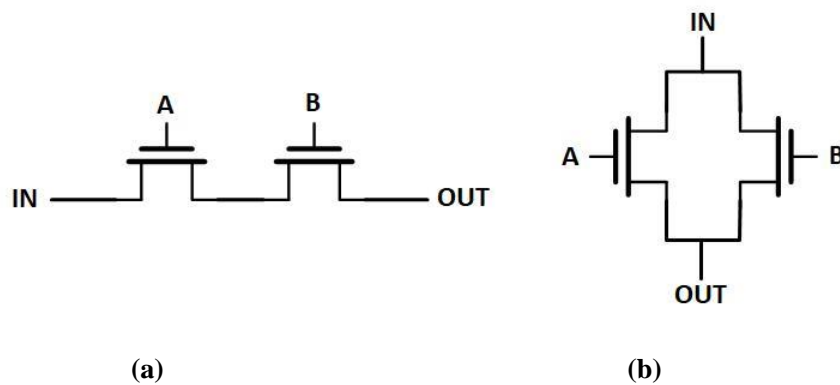


图 4 NMOS 管串与并或逻辑

当输入控制信号 A、B 都为高电平，图 4(a)中的 IN 端传输到 OUT 端，此时等效为  $OUT = IN \cdot AB$ 。当输入控制信号 A、B 中有一个为高电平，图 4(b)中的 IN 能够传输到 OUT 端，此时等效为  $OUT = IN \cdot (A+B)$ 。

同理我们可以推出如何用 PMOS 管构建“与”、“或”等逻辑关系，即“串或并与”。

对于 PDN 和 PUN 电路网络的构建，我们通常遵循如下步骤进行：

1.考虑到 NMOS 逻辑与我们直观感受的一致性，通常我们先构建 PDN 电路下拉网络，根据  $F = \overline{PDN}$ ，我们可以得到输出是下拉网络的非。由于下拉网络传输 GND 信号，因此下拉网络可以根据 F 的表达式、按照 NMOS 管“串与并或”的逻辑来构建电路，其电路结构和 F 的表达式具有一致性。

2.要构建 PUN 电路上拉网络，可以利用对偶关系：N 并 P 串，N 串 P 并。这样就能按照 PDN 中的 NMOS 电路网络构建 PUN 电路上拉网络。下面以二输入与非门为例，分析 PUN、PDN 两种电路网络的构建。

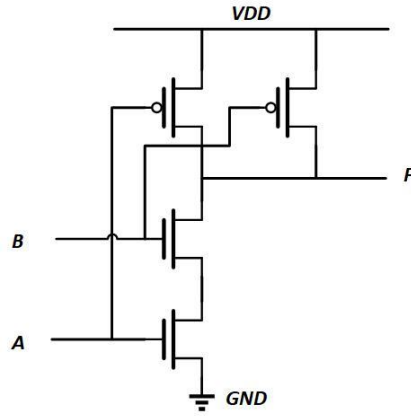


图5 二输入与非门

对于一个二输入与非门，其  $PDN = \overline{F} = AB$ ，在物理拓扑层面表现为两个 NMOS 管的串联，根据对偶关系，PUN 网络的 PMOS 管表现为两个管子的并联。

对于更复杂的 CMOS 组合逻辑电路，同样可以利用上述步骤得到 PDN 和 PUN 的构建：对于  $F = \overline{A(B+C)}$ ，可以绘制出如下的电路图。

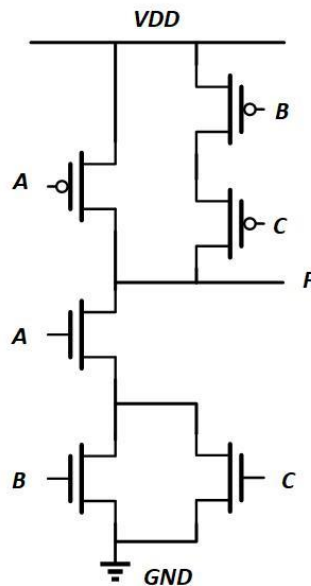


图6 更复杂的 CMOS 组合逻辑电路

$$\begin{cases} \overline{F} = PDN \\ PDN = A(B+C) \end{cases}$$

### 三、多输入等效化简反相器：

多输入逻辑结构相比于反相器，静态性能没有差别。动态性能方面，延迟和功耗皆高于反相器。

等效原则：串联处宽长比倍增，才能保证  $R_0$  倍增，串联后  $R_0$  与反相器相等；并联处不变，考虑最坏情况下只有并联支路一路导通，此时也要与反相器等效，故并联不变化宽长比。

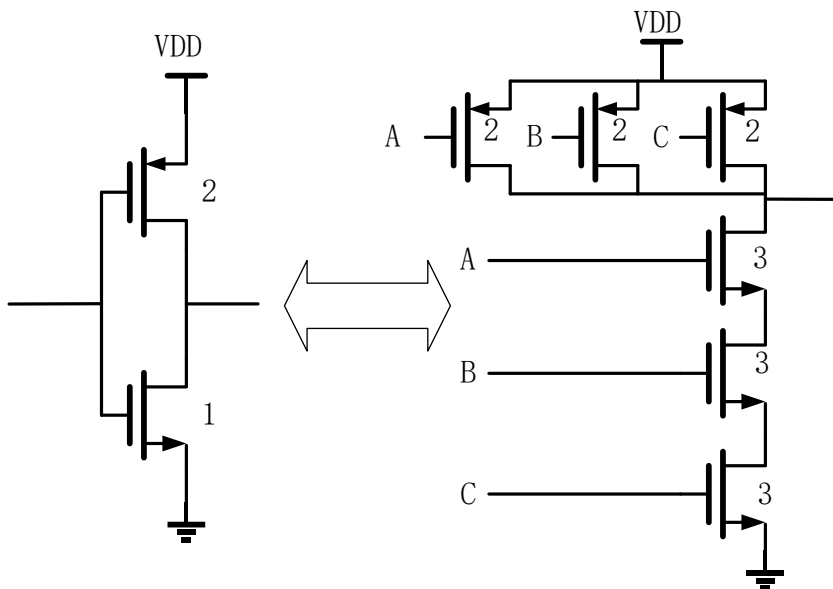


图 7 多输入结构等效反相器

多输入逻辑结构延时分析：

对于多输入的逻辑门，其延时可表示为

$$t_p = t_{p0} \left( p + g \frac{f}{\gamma} \right)$$

其中  $t_{p0} = 0.69R\gamma C_{in} = 0.69RC_{out}$ ，仍然代表反相器的本征延时。 $g$  代表电路的逻辑努

力，定义为一个门与一个反相器提供相同的输出电流所表现出来的输入电容放大系数。 $f$  代表等效扇出，即输出负载电容与输入电容的比值。根据上述公式可知， $t_{p0}$  与电路自身输出寄生电容有关，随着输入端增多，其本征延时也随之近似线性增大。同时，更大的输入电容使得负载电容也会相应增大，其延时也会同步增大。下图示出了一个反相器与一个三输入与非门的延时曲线。

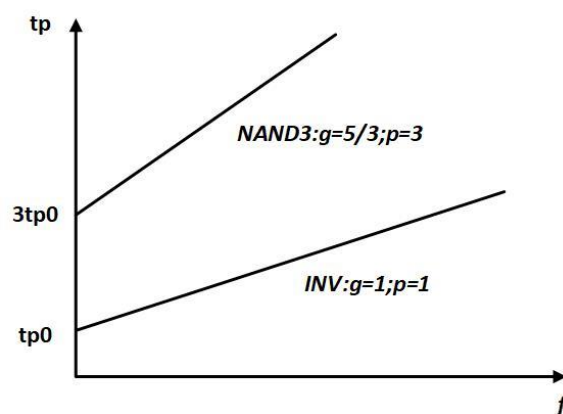


图 8 延时的变化

那么根据上述内容，如何实现  $N \geq 8$  输入且延时较小的 NAND 或者 NOR 呢？方法就是利用 Morgen 定理，将输入端数量过大的门电路拆分成若干个输入端数量适中的门电路。

$$F = \overline{A_1 A_2 \cdots A_8} = \overline{A_1 A_2 \cdots A_4} + \overline{A_5 A_6 \cdots A_8}$$

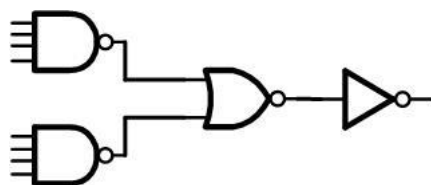


图 9 多输入与非门的拆分方法

#### 四、伪 NMOS 和传输门逻辑：

前面所介绍的 CMOS 组合逻辑电路属于无比逻辑，但是它也有缺点：晶体管数目较大。 $N$  个输入端的门电路至少需要  $2N$  个互补的 MOS 管。而属于有比逻辑的伪 NMOS 电路只需要  $N+1$  个 MOS 管个 MOS 管（当上拉器件是电阻时为  $N$  个），大大节省了面积。不过，这样也引入了静态功耗的问题。其电路图如下所示。

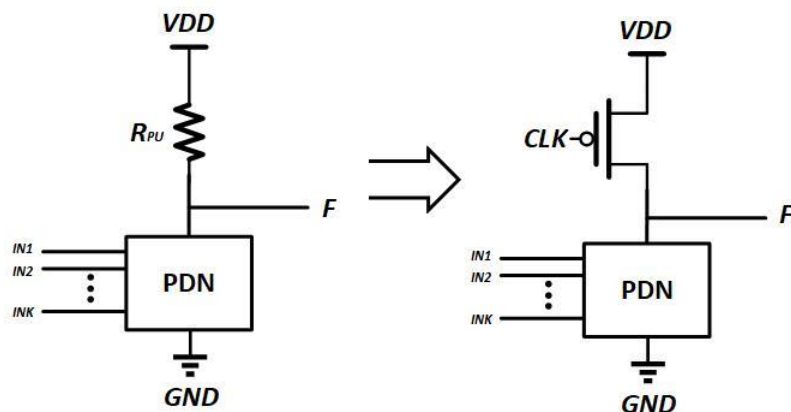


图 2 伪 NMOS 逻辑电路

有比逻辑电路的缺点是输出低电平时，电阻上有压降，进而导致输出不是理想的 GND，同时整个电路有较大的静态功耗。上图右侧为改进后的电路，将电阻替换为受时钟控制的 PMOS 管，整个电路的工作过程分为预充电过程和求值过程，取消了电阻的同时也消除了静态功耗。

传输门逻辑(PTL)是另一种被普遍使用的电路。它与 CMOS 互补逻辑有较大不同。PTL 中减小晶体管数目的手段是用输入信号驱动栅极和源漏极。例如，AND/NAND 的电路如下所示。

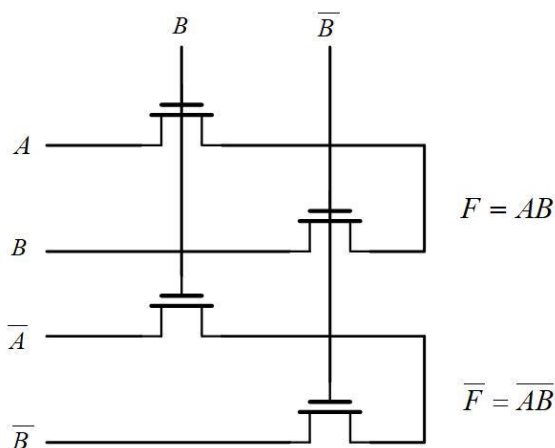


图 3 传输门逻辑 (PTL) 电路

传输门逻辑与 CMOS 互补逻辑最大的区别在于 CMOS 互补逻辑是单向开关，只能将固定的  $V_{DD}$  或者 GND 电位传输到输出端。而传输门是双向开关，其输入端不再是固定的  $V_{DD}$  或者 GND 电位，而是可以变化的。这样就大大减少了 MOS 管的数量，同样实现一个与门，CMOS 互补逻辑需要 6 个晶体管，而传输管只需要 2 个（将 B 互补信号控制的管子替换为 PMOS 管）。

当然，传输门逻辑也有它固有的缺点：由于传输管为 NMOS 管，因此它传输高电平时会有一个阈值损失。所谓阈值损耗，由于 MOS 管的导通条件是  $|V_{GS}| - |V_{TH}| > 0$ ，因此没有采用方法消除阈值损耗时，PTL 的输出端无法达到  $V_{DD}$ ，如图 11 所示。但是即使经过多个 MOS 管输出也只损耗一个  $V_{TH}$ ，并不会累加。

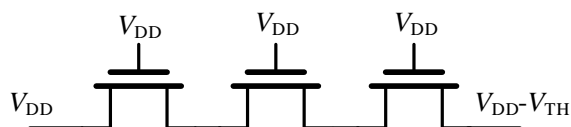


图 11 阈值损耗

传输门结构的第二个缺点是高阻态问题。对于单个传输管， $AB$  端可能会存在高阻态。在实际电路设计中一般采用添加一条互补支路的方法，其控制信号同样是  $B$ ，以保证两条支路总有一条导通，如[错误!未找到引用源。](#)所示。

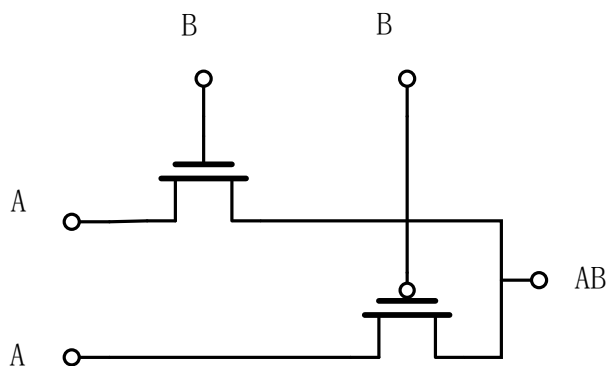


图 12 PTL 与门

下面介绍消除阈值电压损耗的方法。

一种消除阈值损耗的方法是输出整形，即在输出端增加反相器，如下图所示。由于 CMOS 电路不存在阈值损耗，所以经过整形的输出信号也不会出现阈值损耗的问题了。

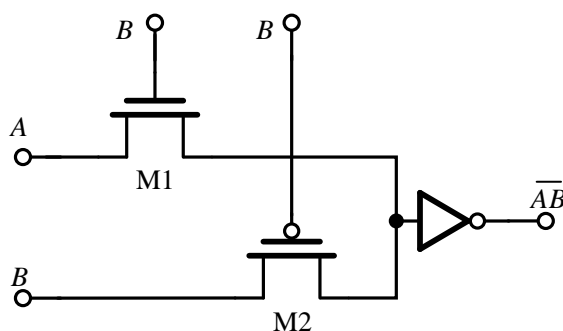


图 13 经过输出整形的 PTL 与门

但是这种方法也有缺陷，那就是电路内部仍然存在阈值损耗，进而导致反相器存在静态功耗和噪声容限降低的问题。如果要消除内部的阈值损耗，可以利用 MOS 管去构建正反馈网络，这种方法也被称为电平恢复。下面对图中的  $M1$  和反相器单独讨论，如图 14 所示。

$M1$  是 NMOS 管，当  $A = B = 1$  且不存在  $M3$  时存在传输损耗，节点  $C$  只能到达  $V_{DD} - V_{TH}$ ， $F$  此时为 GND。但是电路中加上  $M3$  后，因为  $F = 0$ ，所以  $M3$  导通并将节点  $C$  上拉至  $V_{DD}$ 。这样就消除了反相器的静态功耗。该电路的最大优点是所有节点的电位只可能在  $V_{DD}$  或 GND 上，因此没有任何静态功耗。图中反相器和  $M3$  也可被称为半锁存器 (Semi-latch)。



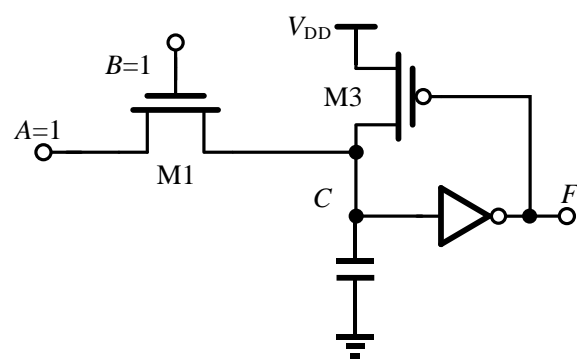


图 14 用 PMOS 管构成电平恢复电路