

数字 IC 第 11 次课堂总结

一、 $1/2^n$ 分频

分频器和计数器的电路结构相同，任一输出位可作为 $1/2^n$ 分频器使用，而将各输出位组合在一起则构成 2^n 计数器。实现 $1/2^n$ 分频需要 n 个 DFF，实现加法计数有如下两种情况：DFF 上升沿触发时， Q_b 驱动下级时钟；或者 DFF 下降沿触发时， Q 驱动下级时钟。同理，实现减法计数同样有如下两种情况：DFF 上升沿触发时， Q 驱动下级时钟；或者 DFF 下降沿触发时， Q_b 驱动下级时钟。

二、非 $1/2^n$ 分频

$1/2^n$ 分频的设计思想可以与非 2^n 的计数器的设计思想类似，即在 $1/2^n$ 分频的基础上通过增加适当的复位、置位控制电路。设计指导思想是“掐头去尾”。例如，在前述 $1/24$ 分频电路中，由于 $2^4 < 24 < 2^5$ ，所以需要 5 个 DFF，然后利用半个周期内掐头去尾可以得到特定占空比的分频电路。下面进一步介绍几种特殊的分频电路。

(1) 7 分频电路

如果我们要实现一个 50% 占空比的 7 分频电路，由于 $2^2 < 7 < 2^3$ ，所以我们需要 3 个 DFF。然后，我们按照“掐头去尾”的思想可以得到如下两种情况：

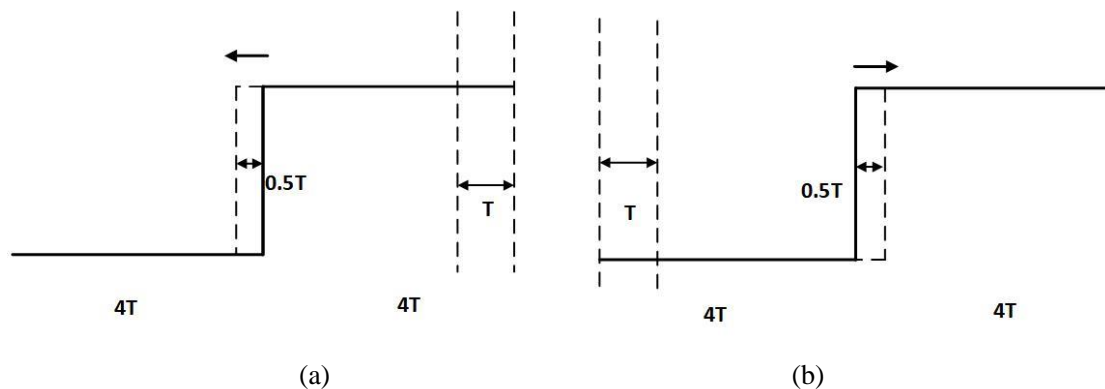


图 1 (a) “掐头” (b) “去尾”

图 1 (a) 中通过“掐头”去掉了 111 状态，同时利用置位、复位电路将状态迅速转换为 000，实现 7 分频。为了实现 50% 的占空比，上升沿需要前移 $0.5T$ （这里的 T 是指时钟信号 CLK 的周期），然而这种前移违反了因果律，所以这种情况无法实现。再考虑图 1 (b)，通过“去尾”去掉了 000 状态，同时利用置位和复位电路将状态迅速转换为 111，实现 7 分频。为了实现 50% 的占空比，上升沿需要向后移 $0.5T$ ，这种移动可以通过延时电路来得到，因此可

以实现。

那么如何后移半个周期呢？可以利用 D latch 实现，它具有在半个周期内“透明”、在半个周期内锁存数据的特点。具体电路及具体时序如下所示：

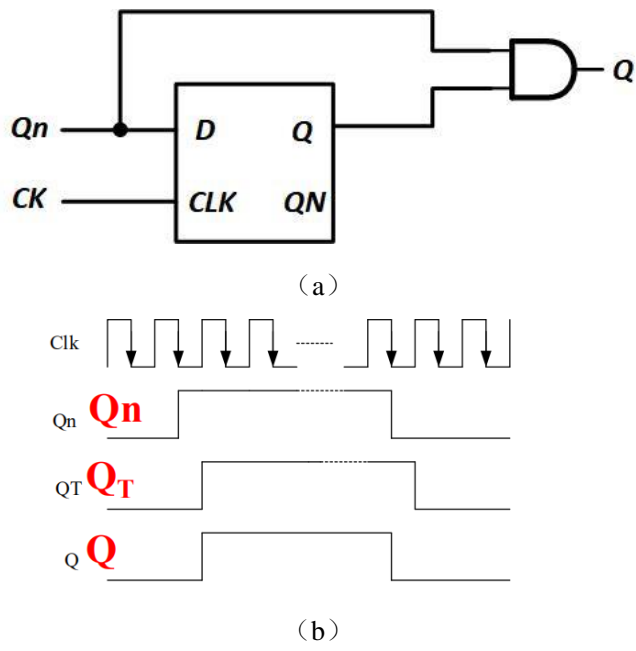
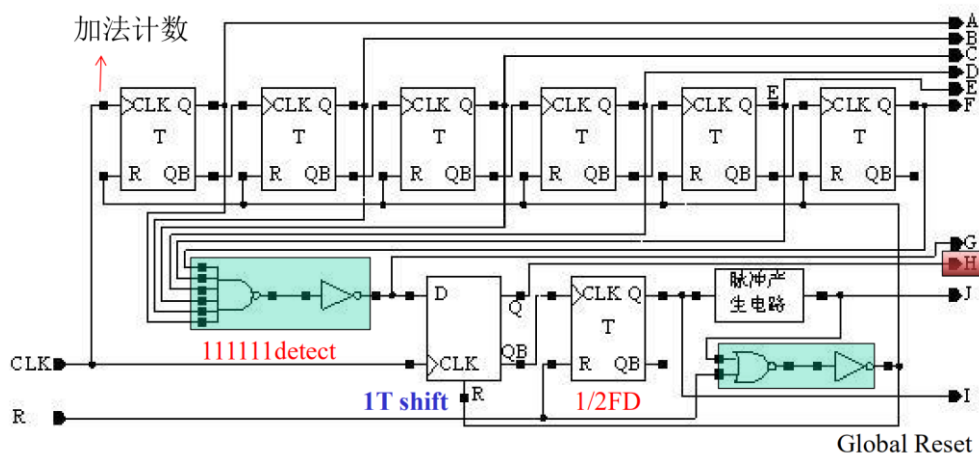


图 2 （a）延时 1/2T 电路结构（b）电路功能时序

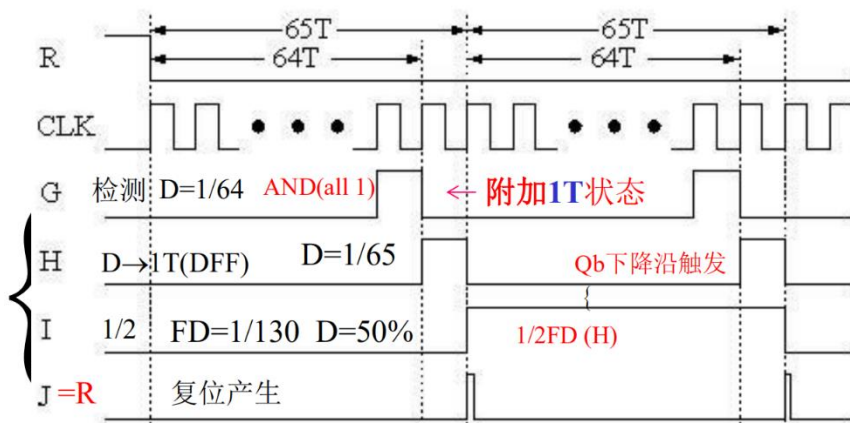
由图 2 可知，当 CLK 刚开始下降时，如果 Q_n 正好出现上升沿，那么根据锁存器的特点，需要等半个周期才能使数据透明，然后通过与门操作得到最终的输出结果 Q 。由图我们可以看出， Q 的上升沿比 Q_n 晚半个周期，但下降沿的出现时间与 Q_n 相同，因此实现了延时 1/2T 的功能。

(2) 65 分频电路

该电路的状态数 $2^6 < 65 < 2^7$ ，但直接用 7 位 DFF 构成 65T 的分频器不佳，所以我们采用 64T + 1T 的实现方式。当计数器记满 64 个时钟周期之后，利用 1 个 DFF 将控制信号延长一个时钟周期 T，得到第 65 个时钟周期。在外部 R 信号将电路整体置 0 之后利用产生的窄脉冲将第二轮计数中的状态 000001 复位到状态 000000，即状态 000000 出现了两次。具体的电路结构图和功能时序图如下所示。



(a)



(b)

图3 (a) 65分频电路结构 (b) 电路功能时序

其中 H 是 G 延时一个 T 产生的信号，这里需要注意的是，由于整体电路为异步计数，6 位输出信号的与操作需要等待 6 位 DFF 的延时，才能发生改变，G 信号的上升沿略微滞后于 CLK 信号的上升沿，这就是当 G 的上升沿到来的时候为什么 H 没有跳变到高电平的原因，同理 G 的下降沿也滞后于 CLK 信号的下一个上升沿，此时 DFF 检测到 G 的高电平从而使 H 发生跳变。I 是 H 的二分频信号（130 分频），利用 I 信号通过窄脉冲产生电路产生一个窄脉冲复位信号 J。从而实现二次复位控制，使 000000 状态出现 2 次。如图 4 所示，窄脉冲的宽度恰好为 INV 延时链的延时 t_d 。

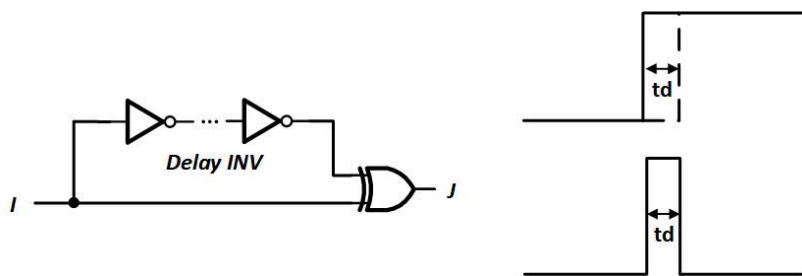


图 4 窄脉冲产生电路

三、单稳态触发器

下面我们介绍窄脉冲产生电路——**单稳态触发器**。根据触发方式的不同，可以将触发器分为单沿或双沿触发。我们上面所用的触发器为双沿触发，即在输入信号的上升沿和下降沿都会触发。

改变反相器链的数目和求值门的类型，可以构成不同功能的触发器。例如，利用**异或门**和**同或门**我们可以构成双沿触发。此时，如果要想实现**正脉冲**，就要使用偶数个 INV 构成的延时链和异或门，或者奇数个 INV 构成的延时链和同或门。如果要想实现**负脉冲**，我们可以利用奇数个 INV 构成的延时链和异或门，或者偶数个 INV 构成的延时链和同或门。我们还可以通过与门（与非门）和或门（或非门）来实现单沿触发。对于上升沿触发形成的正脉冲，我们可以通过奇数个 INV 构成的延时链和与门来实现。对于下降沿触发形成的负脉冲，我们可以通过奇数个 INV 构成的延时链和或门来实现。

四、加减计数器

前面我们所叙述的都是加法或者减法计数器，现在开始介绍加减计数器。通过选择是 Q 还是 QN 信号连接下一级 CLK，我们可以决定是加法计数还是减法计数。具体的实现方法可以是 2-1 MUX，如图 5 中左图所示。

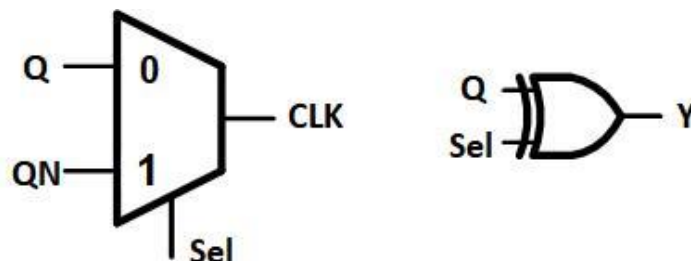


图 5 加减计数器控制电路

除了 2-1 MUX 外，我们也可以利用异或门调整 Q 信号，进而决定是加法计数还是减法计

数，如图 5 中右图所示。根据

$$Y = Sel \oplus Q = \overline{Sel} \cdot Q + Sel \cdot \overline{Q}$$

可以得出：当 Sel 信号为 0 时，Y=Q；当 Sel 信号为 1 时，Y=QN。也就是说，当采用异或门且 Sel 信号为 0 时，可以依据原本的判断方法确定是加法计数还是减法计数；当采用异或门且 Sel 信号为 1 时，计数方向将改变。

五、N 进制异步计数器

图 6 是 6 进制异步计数器。由于 TFF 是时钟上升沿触发，且上一级的输出信号 Qb 接下一级的输入端 CLK，因此这是加法计数器。由于该计数器每 6 个时钟周期就要复位一次，且需要复位到 $CBA = 000_b$ ，所以状态 $CBA = 110_b$ 和状态 $CBA = 111_b$ 均要跳过。因此状态检测电路中只需检测最高的两位输出 C 和 B，省去了对低位输出 A 的检测。

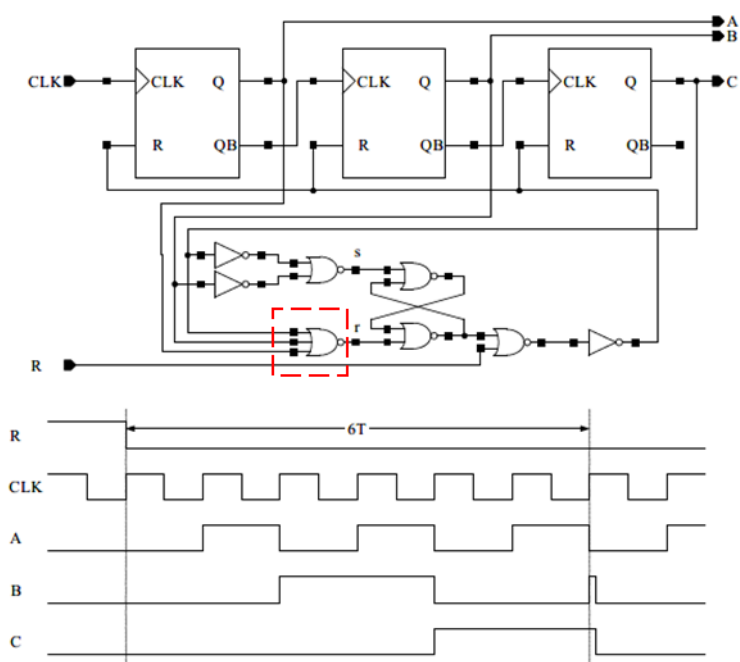


图 6 6 进制异步加法计数器及其输出波形

图 1 的复位电路中还有一个锁存器，这个锁存器的作用是锁存复位信号，确保复位完成前复位信号不被消除。复位原理和图 2 中的 1/7 分频器一致。

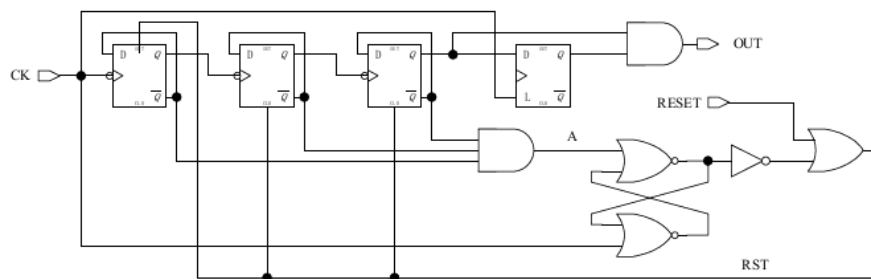


图 7 1/7 分频器

但是图 6 和图 7 的复位电路还是有所不同。图 7 中锁存器的另一输入端直接连接了时钟信号，当时钟信号的频率很高时，锁存器的锁存时间就会很短，因此复位信号的存在时间与时钟频率有关。图 6 中，锁存器的输入端增加了一个三输入或非门（红框圈出），或非门仅在 $CBA = 000_b$ 时会输出 1，否则 $r = 0$ 。也就是说，只有电路被完全复位到 $CBA = 000_b$ 时，锁存器中的复位信号才会被消除，复位信号的保持时长与时钟信号的频率无关。

异步计数器的优点是结构简单，仅状态检测电路和复位电路比较复杂。它的缺点是各输出信号之间存在比较明显的延时，因此时钟频率不能太高、级数也不能太大。与理想状态下的输出波形不同，实际中的输出信号会有大小不一的延时，且级数越靠后（位数越高），延时越严重。6 进制异步加法计数器中，输出端 A 和时钟信号 CLK 间有 1 个 TFF，输出端 A 的延时正由这个 TFF 引起；输出端 B 和时钟信号 CLK 间有 2 个 TFF，输出端 B 的延时由这 2 个 TFF 引起……延时会这样逐级积累下去。当级数很大、最高位输出端的延时超过时钟周期的 $1/2$ 时，电路不能正常完成计数功能。所以时钟频率不能太高、级数也不能太大。