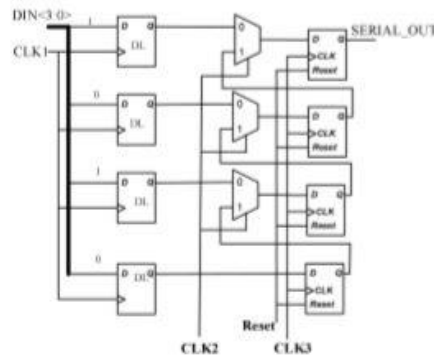


## 数字 IC 第五次作业

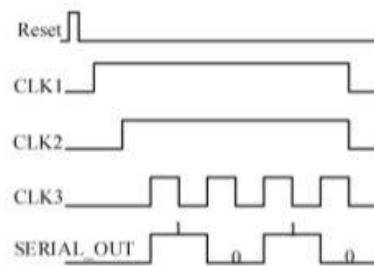
1、现有 4bit 并行数据 0101(右边为最低位)需要串行输出(低位在前), 请画出具体的实现电路, 并给出合适的工作时序图, 串行输出数据需在时序图中给出。

注: 所画电路 D-latch 和 DFF 应做明确区分, 假设 D 触发器均为上升沿触发, 初态通过复位控制, 高电平有效。

答:



2 选 1 Mux 需要标明 0,1 分别代表时钟低电平导通和高电平导通。  
触发器需要注明 DFF 和有效采样时钟沿, >代表正沿触发, <代表下降沿触发。  
锁存器需要表明 Latch 等 以示区别。



2、试分别写出下图 1 中伪 NMOS 与非门阵列译码电路输出  $R_0 \sim R_7$  的逻辑表达式, 并写出其接非门后分别对应图 2 中伪 NMOS 或非门阵列译码电路中的哪个输出(例: 图 1 中  $R_i =$  , 接非门后对应图 2 中  $R_j$ )

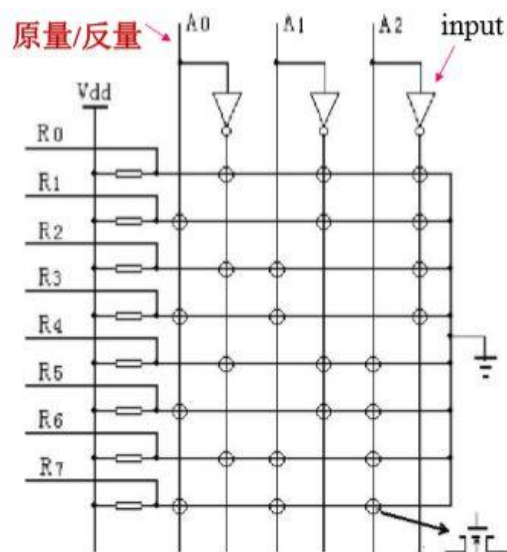


图 1 伪 NMOS 与非门阵列译码电路

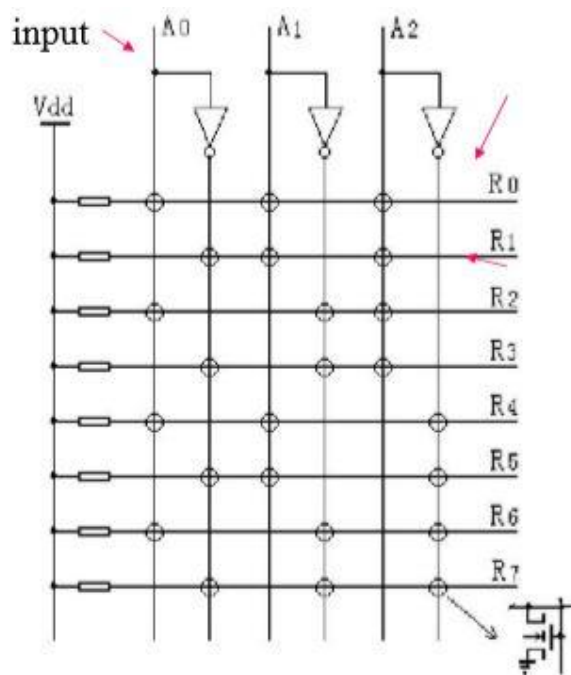


图 2 伪 NMOS 或非门阵列译码电路

答：图 1 中  $R_0 = \overline{A_0 A_1 A_2}$ ,  $R_1 = \overline{A_0 A_1 A_2}$ ,  $R_2 = \overline{A_0 A_1 A_2}$ ,  $R_3 = \overline{A_0 A_1 A_2}$ ,  $R_4 = \overline{A_0 A_1 A_2}$ ,  $R_5 = \overline{A_0 A_1 A_2}$ ,  $R_6 = \overline{A_0 A_1 A_2}$ ,  $R_7 = \overline{A_0 A_1 A_2}$ 。

图 1 中的  $R_0 \sim R_7$  接非门后分别依次对应图 2 中  $R_0 \sim R_7$ 。

3、对存储器 Word 单元寻址后才能针对该 Word 进行读写操作，若存储器的地址总位数为 12bit，请问可寻址的最大空间容量是多大？为尽可能降低寻址时间，请给出一种你较满意寻址方案，说明理由，对于用到的几种译码电路说明实现方法？(无需画图)

答：可寻址的最大空间容量为  $2^{12} = 4k \text{ word}$ ；

为提高寻址效率，降低延迟和功耗，通常采用分层分级的译码结构，可选取三级译码，顶层为 2bit，做个 2-4 MUX 进行块选，选中 4 块中的一块，每块 1k word，每块结构相同，为 10bit，可设计 2 维行列译码，考虑到 1word 含有多个 bit（一般 8bit 以上），因此行地址数位至少比列地址数位大 3，为此行地址译码选 7bit，列地址为 3bit。3bit 列选译码直接可采用 3-8 译码器结构，7bit 行地址译码可以选择 2 级结构实现。

4、请说明数字逻辑最小项的概念及其主要性质，请说明利用最小项构成任意组合逻辑功能有哪些不同的方法？

答：n 个数据对应  $2^n$  个最小项，最小项的特点如下：

①任意两个最小项互斥；

②所有最小项之和为 1；

任意组合逻辑运算表达式都可看成为若干个最小项之和组成（最小项对应关系“与”、求和对应关系“或”）；因此，与+或的逻辑阵列即可构成任意组合逻辑输出。通过改变与阵列（每个乘积项所含变量个数）、或阵列（输出函数的乘积项数）即可构成任意组合逻辑。与阵列固定，或阵列可编程即为 PROM；与阵列可编程，或阵列固定即为 PAL；与阵列、

或阵列均可编程即为 PLA。

5、CPLD和FPGA的中文含义是什么？两者在系统架构上都包含哪些模块？在实现可编程功能方面，请说明两者在电路实现结构上的不同，以及各自适用的应用领域。

答：CPLD 全称为复杂的可编程逻辑元件；FPGA 全称为现场可编程门阵列。

CPLD 主要包含逻辑阵列模块（宏单元）、I/O 单元及相关的连线资源；FPGA 主要包含可编程逻辑模块、可编程输入模块及可编程内部连线。

在实现可编程功能方面，CPLD 利用若干个最小项之和可构成任意组合逻辑的原理，通过“与+或”逻辑阵列实现；FPGA 通过查找表（LUT）实现，输入信号为地址信号，对应的存储单元保存真值表状态值。

**CPLD 主要应用于控制逻辑；FPGA 主要用来完成比较复杂的算法。**

6、构成一个存储阵列通常需要哪些模块？简述存储器的几种分类方式，比较不同存储器之间的特点。

答：（1）一个存储阵列包括若干个存储 1bit 二值数据的存储单元和外围电路构成，其中外围电路又包含灵敏放大器（加速读数据过程），地址译码器（多维译码，提高寻址效率，减小存储器面积和功耗），驱动缓冲器，时序产生器，I/O 接口和控制电路等。

（2）①按照存储器的功能分：存储器可以分为只读存储器（ROM，存储一些不能修改的系统数据）和读写存储器（RWM，RWM 的优点是具有读写功能且存取时间相当，是最具灵活的存储器）。

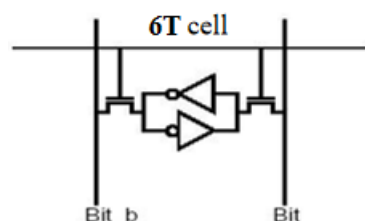
②按照掉电后能否保持数据分：掉电后丢失数据的为易失性（volatile）存储器，如电脑内存。掉电不丢失数据的为非易失性（non-volatile）存储器，如电脑硬盘。

③根据数据存取的顺序分，存储器可以分为随机读写存储器（RAM random-access memory SRAM 缓存，面积大，贵）和顺序读写存储器（如 FIFO, LIFO, 按内容寻址 CAM）。

7、6T SARM 存储单元中设置 BL 和 BLb 两条位线有什么作用？简述 6T SRAM 存储单元的读数据过程，并说明读数据过程中位线 BL 和 BLb 的电压变化情况？（假设读数据时靠近位线 BL 那端锁存的数据为 0，靠近位线 BLb 那端锁存的数据为 1）。

答：

6T SRAM 存储单元如下所示：



（1）6T SRAM 存储单元中设置 BL 和 BLb 两条位线有什么作用？

通过字线信号控制的两个读写开关传输门通断，然后 Bit\_b 两根位线实现数据的传输功能，同时可以将数据写入 SRAM。改变 SRAM 锁存的数据，使用互补信号位线是因为锁存器由两个反相器首尾相接而成，两根位线可以同时写入和读出，保证信号的逻辑正确。

（2）简述 6T SRAM 存储单元的读数据过程，并说明读数据过程中位线 BL 和 BLb 的电压变化情况？

读数据过程读取锁存的数据，比如锁存的信号为 0 1（靠近 bit\_b 为 1）两根位线预充值，字

线选通为高电平使得晶体管通路，然后锁存器所存储的值可以通过 MOS 管传递给 bit 和 bit\_b。

仍然假设靠近 bit 位线的锁存为高电平，读信号之前由于预充电，bit bit\_b 信号为高电平。信号读取时传递锁存信号逻辑 1 或 0，位线电平和锁存信号一致，此时 bit\_b 为低电平，bit 为高电平。选通信号断开停止信号读取，将读取到的信号输出。