

数字 IC 第 7 次课堂总结

一、加法器结构的优化

(1) XOR 门的实现与优化

根据全加器真值表推导公式可得：加法器逻辑公式为：

$$s_i = (a_i \oplus b_i) \bar{c}_{i-1} + \overline{(a_i \oplus b_i)} c_{i-1}$$

$$c_i = a_i b_i + c_{i-1} (a_i \oplus b_i)$$

加法器的关键在于 XOR 门，因此要实现加法器，首先要搭建出 XOR 门或 XNOR 门。异或门逻辑表达式为：

$$a \oplus b = a\bar{b} + \bar{a}b = \overline{(\bar{a} + b)}(a + \bar{b}) = \overline{ab + \bar{a}\bar{b}} = \overline{ab + (\bar{a} + \bar{b})}$$

图 1 中的电路是基于 CMOS 逻辑表达式所设计的二输入同或门、异或门。其中，两个或非门各自包含 4 个 MOS 管。一个与门理论上需要 6 个 MOS 管。

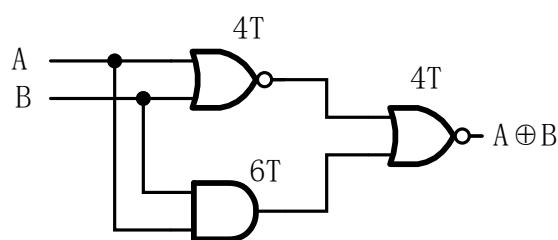


图 1 XOR 门电路图

其中“与门”由与非门和反相器构成，结构太过冗余。将该结构优化成与项和后一级或非门合并，结果如图 2 所示。仅需 10 个 MOS 管就能实现同样功能。

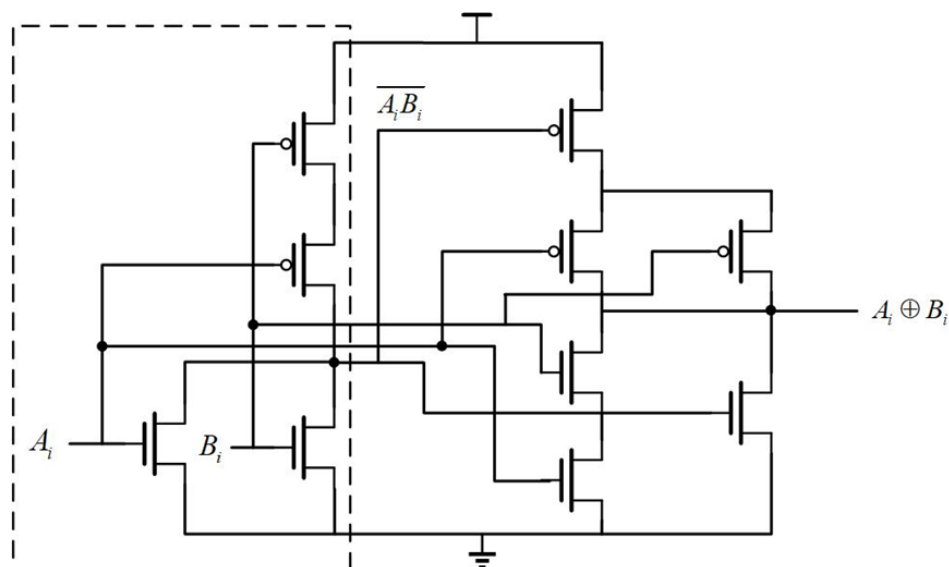


图 1 4T TG XOR/XNOR 门

(2) CMOS 全加器的实现与优化

基于加法器逻辑表达式得图 3 为传统结构的全加器行为级电路图。在异或门优化后的情况下，合计 44 个 MOS 管。

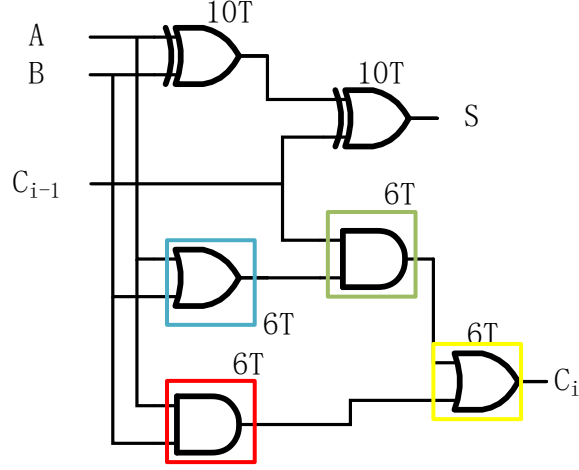


图 2 44T CMOS 全加器结构

和优化 XOR 门是一样，将图 3 下半所示两个与门两个或门进行优化，利用与项代替与门利用或项代替或门，组成一个 CMOS 逻辑。如下图 4 所示。总共需要 12 个 MOS 管，减少 12 个 MOS 管。此时总共需要 32 个 MOS 管。

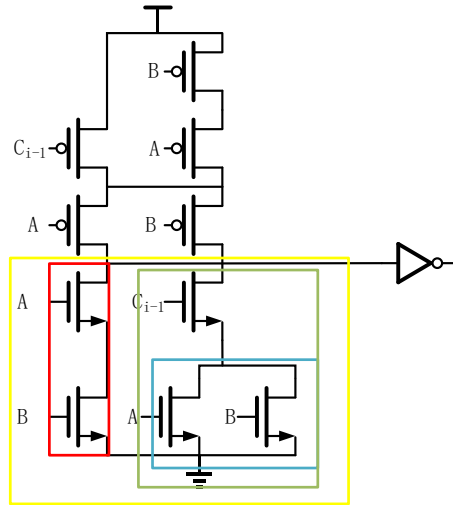


图 3 优化后电路

仔细观察逻辑表达式，还有优化空间。 C_i 与上 a_i 和 b_i 的异或，该变量可以从 S_i 生成电路中获得，则最终电路如图 5 所示，共消耗 30 个 MOS 管。

$$\begin{cases} s_i = c_{i-1}(\overline{a_i \oplus b_i}) + c_{i-1}(a_i \oplus b_i) \\ c_i = c_{i-1}(a_i \oplus b_i) + a_i b_i \end{cases}$$

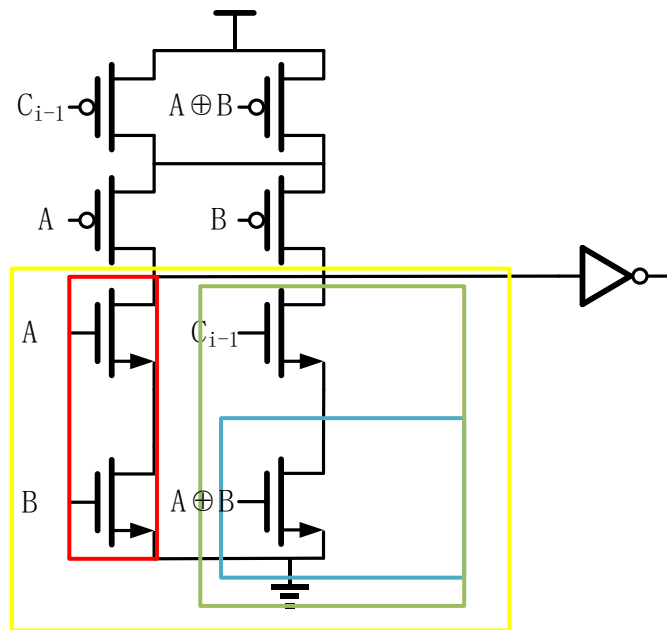


图 5 30T 加法器电路优化

(3) 28T 对称全加器

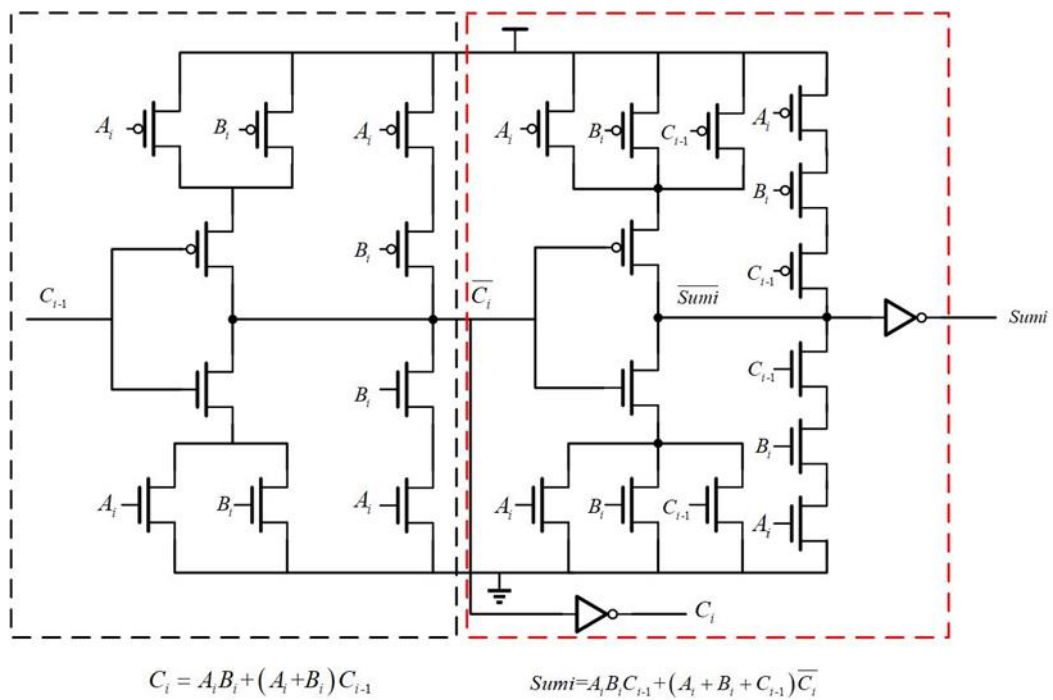


图 6 28T FA

对称条件是表达式中有与象 AB ，同时有或项 $A+B$ 。