

数字 IC 第 5 次课堂总结

主要内容：传输门开关逻辑、差分逻辑和动态逻辑。

一、传输门开关逻辑：

首先介绍一下分析传输门逻辑（PTL）电路功能的方法。如图 1 所示，假定 MOS 管的左端是输入信号，右端是输出信号，那么 NMOS 管就是对左端和栅极进行“与”运算。PMOS 管可以先转化为 NMOS 管，然后再进行“与”运算，如图 1(b)所示。

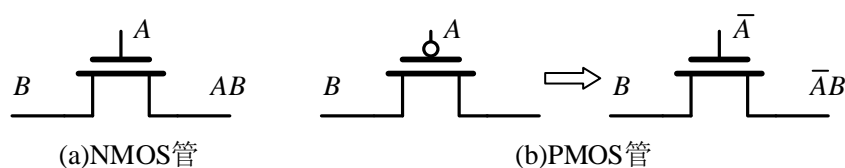


图 1 分析传输门逻辑电路功能的方法

另外再介绍一下阈值损耗，由于 MOS 管的导通条件是 $|V_{GS}| - |V_{TH}| > 0$ ，因此没有采用方法消除阈值损耗时，PTL 的输出端无法达到 V_{DD} ，如图 2 所示。但是即使经过多个 MOS 管输出也只损耗一个 V_{TH} ，并不会累加。

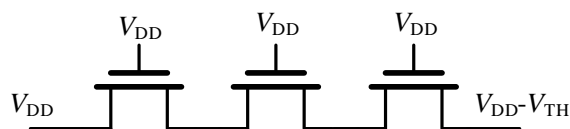


图 2 阈值损耗

用 CMOS 做与门需要 6 个 MOSFET（6T），而采用传输门逻辑可以仅用 2 个 MOSFET（2T），如图 3 所示。之所以 PTL 可以用更少的晶体管构成相同逻辑功能的门电路，是因为 CMOS 中的 MOS 管是单向开关，电流方向不会改变且源和漏不会互换，而在 PTL 中电流方向会发生变化，MOS 管的源和漏也可能互换。

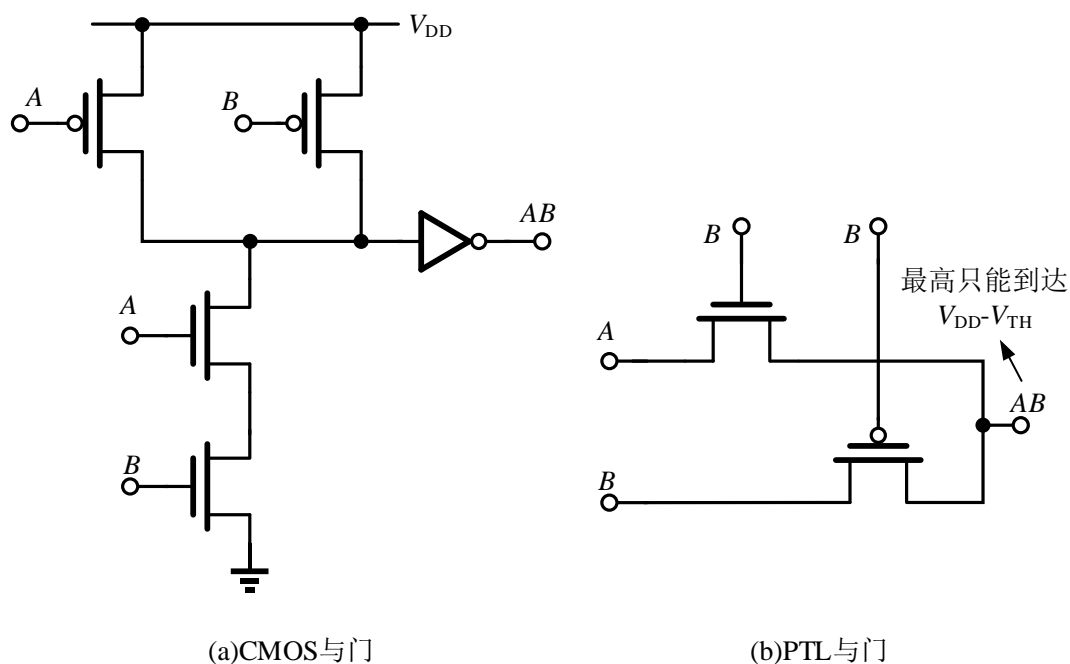


图 3 分别由 CMOS 和 PTL 构成的与门

但是，图 3(b)中的 PTL 与门也存在一些缺陷，这些问题在 CMOS 电路中是不会出现的，比如传输损耗、高阻态。 AB 处的电位最高只能到达 $V_{DD} - V_{TH}$ ，存在阈值损耗。当 $A = 0, B = 1$ 或 $B = 0$ 时 AB 端为高阻态。因此，要实际应用 PTL 设计电路，还需要消除阈值损耗和高阻态。

一种消除阈值损耗的方法是输出整形，即在输出端增加反相器，如下图所示。由于 CMOS 电路不存在阈值损耗，所以经过整形的输出信号也不会出现阈值损耗的问题了。

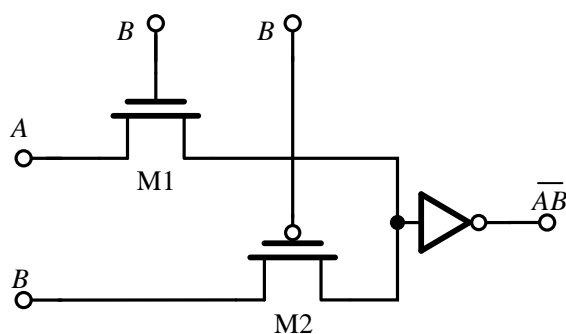


图 4 经过输出整形的 PTL 与门

但是这种方法也有缺陷，那就是电路内部仍然存在阈值损耗，进而导致反相器存在静态功耗和噪声容限降低的问题。如果要消除内部的阈值损耗，可以利用 MOS 管去构建正反馈网络，这种方法也被称为电平恢复。下面对图 4 中的 M1 和反相器单独讨论，如图 5 所示。

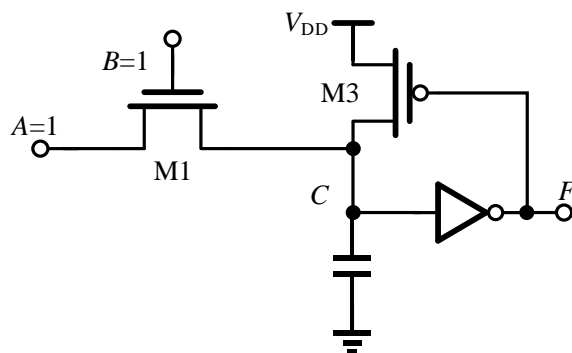


图 5 用 PMOS 管构成电平恢复电路

M1 是 NMOS 管, 当 $A = B = 1$ 且不存在 M3 时存在传输损耗, 节点 C 只能到达 $V_{DD} - V_{TH}$, F 此时为 GND。但是电路中加上 M3 后, 因为 $F = 0$, 所以 M3 导通并将节点 C 上拉至 V_{DD} 。这样就消除了反相器的静态功耗。该电路的最大优点是所有节点的电位只可能在 V_{DD} 或 GND 上, 因此没有任何静态功耗。图 5 中反相器和 M3 也可被称为半锁存器 (Semi-latch)。

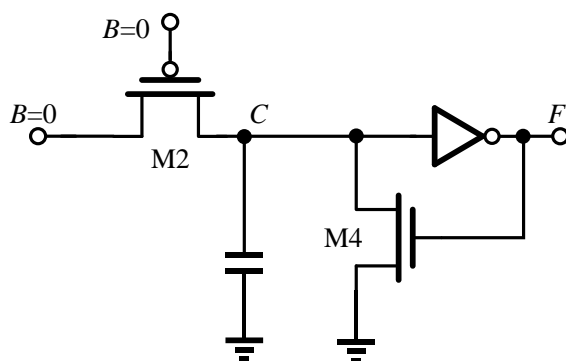


图 6 用 NMOS 管构成电平恢复电路

同理 PMOS 管 M2 传输低电平时也存在阈值损耗, 可以用 NMOS 管构成电平恢复电路来消除。将 PMOS 管和 NMOS 管的电平恢复电路合并, 可以发现这种消除阈值损耗的方法就是在 PTL 的输出端增加一个锁存器 (Latch), 如下图所示。

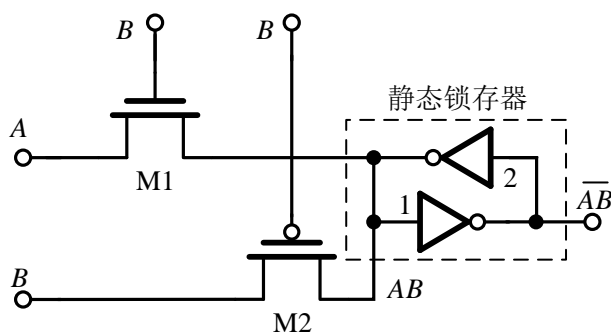


图 7 合并后的电路

下面对图 7 所示的电路进行分析, 图 8 中绘制了两个反相器的输入-输出特性曲线。

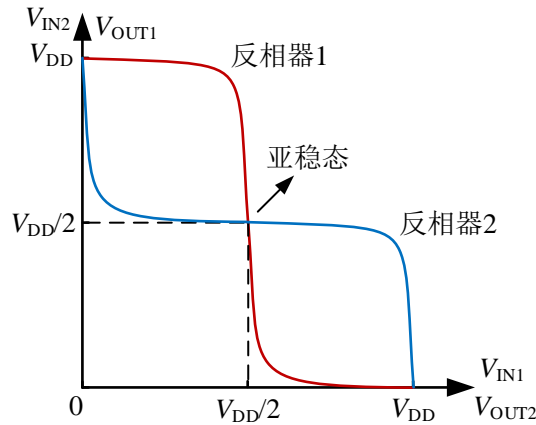


图 8 2 个反相器的输入-输出特性曲线

由于反相器 1 的输出端是反相器 2 的输入端，反相器 1 的输入端是反相器 2 的输出端，所以 2 个反相器的输入-输出曲线对称，组合后如图 8 所示。图中一共有 3 个交点，其中中间交点处的状态被称为亚稳态，这是因为该状态下反相器的电压增益很大，轻微的扰动就能让锁存器脱离该状态。

最后介绍一下 Multiplex Logic (MUX)，多路开关的实现可以采用 CMOS 逻辑，但是结构会很复杂，采用 NMOS 逻辑可以简化设计。2-1 多路开关的还可以用作时钟锁存器，它是构成锁存器 Latch 的重要基本单元。图 9 是 MUX 4-1 多路选择器，分析该电路的功能需要利用最小项的概念，C1、C0 是控制信号，一共有 4 种状态，每种状态会选择一个输入信号 D_i 输出。图 9 中的逻辑功能如下，可见该电路并不会输出高阻态。

$$Z = D_0 \bar{C}_1 \bar{C}_0 + D_1 \bar{C}_1 C_0 + D_2 C_1 \bar{C}_0 + D_3 C_1 C_0$$

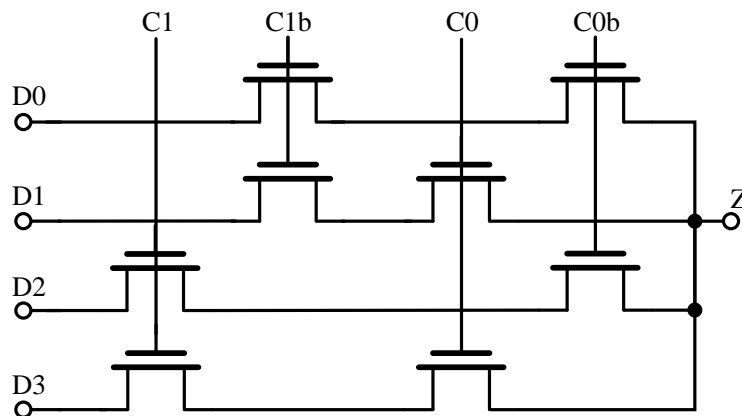


图 9 MUX4-1

二、差分逻辑：

PTL 和 CMOS 都可以构成差分输出电路。PTL 构成的全对称的差分输出也被称为互补传

输管逻辑（Complementary Pass Transistor Logic, CPL），这种电路没有延时。CMOS 要构成的差分输出则需要额外的反相器，因此 CMOS 差分输出电路存在延时。CPL 门还具有以下的特点：数据输入与输出总是互补的；CPL 属于静态门，因为各个输出节点的电压不是 V_{DD} 就是 GND；CPL 的门单元库非常简单，因此有利于模块化设计。

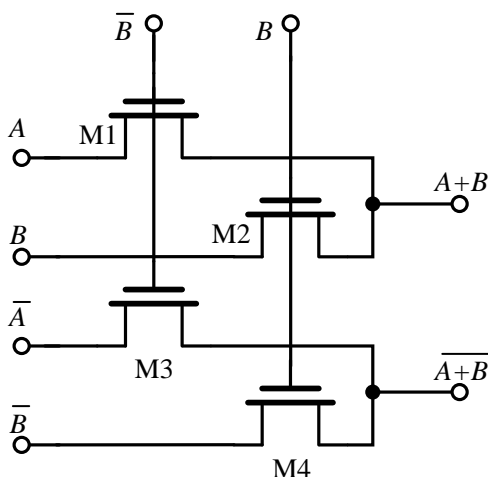


图 10 互补传输管逻辑（CPL）电路

问题在于，CPL 也存在静态功耗与噪声容限降低的问题，不过和前文一样，采用电平恢复方法可以消除输出端的阈值损耗，进而解决这些问题。采用电平恢复方法的 CPL 电路如下图所示，其中 M5 和 M6 构成了交叉耦合对。

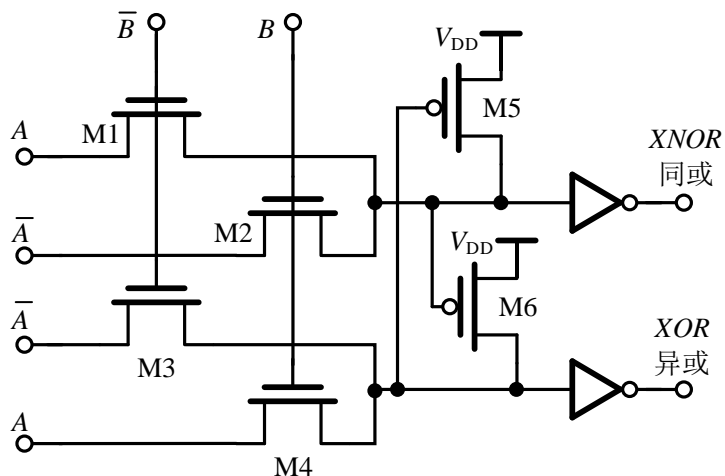


图 11 采用了电平恢复方法的 CPL 电路

以 CMOS 为基础也能构建全差分逻辑电路，这样的逻辑被称为差分串联电压开关逻辑（Differential Cascode Voltage Switch Logic, DCVSL），如下图所示。

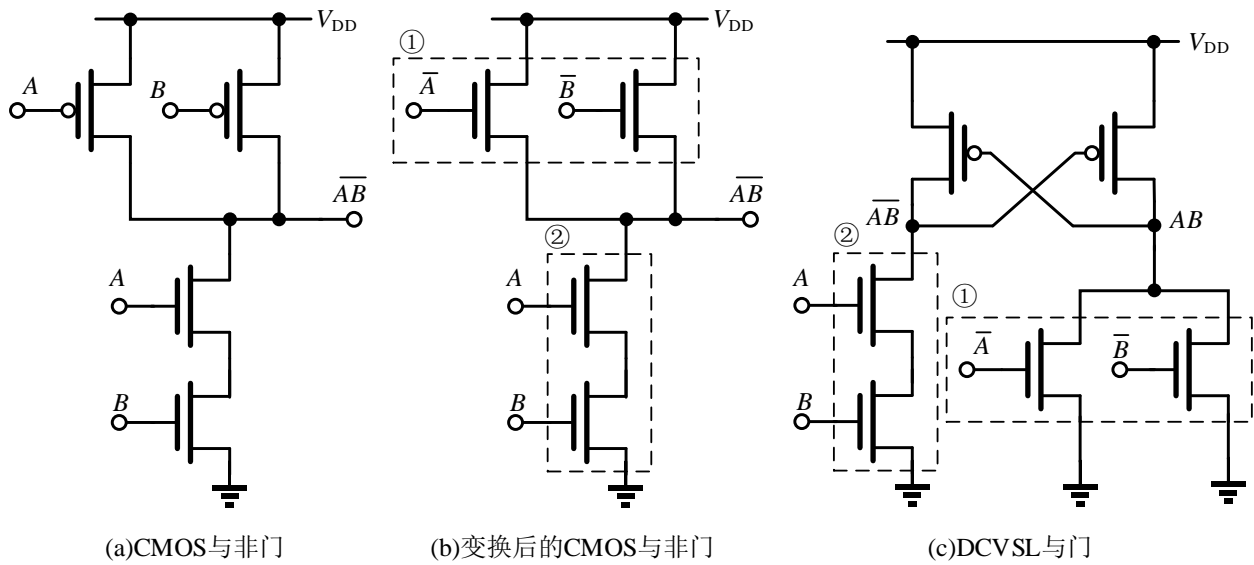


图 12 将 CMOS 电路转换为 DCVSL 电路

图 12(c)中的门电路有两组下拉网络，显然其结构分别与图 12(b)中的上拉网络和下拉网络相同这两个下拉网络是互斥的，即下拉网络①导通时下拉网络②关断、下拉网络②导通时下拉网络①关断。这样就同时给出了一组差分输出信号。但是这一对差分输出信号并不是完全同步的。PMOS 管导通的条件是栅极为低电平，也就是对侧的下拉网络导通，下拉网络导通之后 PMOS 管才会导通，让本侧的差分信号变成高电平。因此这一对差分输出信号在跳变时存在延时。相比之下，采用了电平恢复方法的 CPL 电路就没有延时。

DPL (Dual Pass Transistor Logic) 采用数量相等的两种类型开关管，实现互补逻辑输出。与 CPL 开关逻辑相比，DPL 中构成了互补开关，因此晶体管数量增加了一倍。但 DPL 消除了阈值损耗，也消除了高阻态。

三、动态组合逻辑

伪 NMOS 逻辑只需要 $N+1$ 个晶体管就能实现一个 N 输入的逻辑门，十分节省面积。可惜的是它具有静态功耗。而动态逻辑在伪 NMOS 逻辑的基础上增加了一个时钟输入，从而消除了静态功耗，同时也十分节省芯片面积。动态逻辑门的电路结构如下图所示。

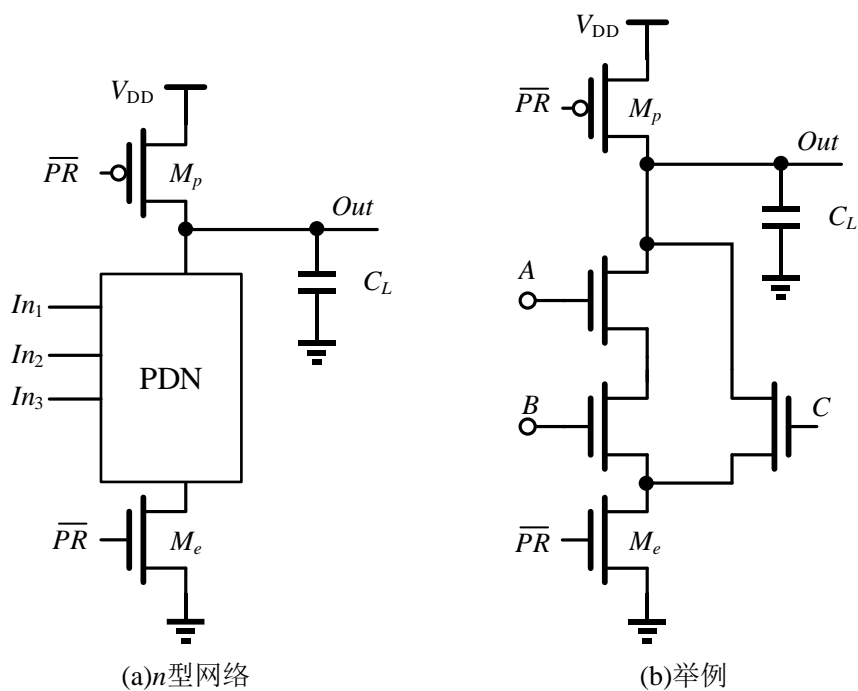


图 13 动态逻辑原理

动态逻辑工作时有两个重要过程：预充电和求值。预充电状态， $PR=1$ 时，上部的 PMOS 管导通，电路输出上拉到 V_{DD} ，即输出预充电到逻辑 1，此时 NMOS 逻辑网络应为截止状态，电路无静态损耗。求值状态， $PR=0$ ，PMOS 管截止。电路状态有效，输出值由 NMOS 管构成的下拉网络决定。动态逻辑中，输出在时钟信号为低电平时会被预充电为高电平，如果求值结果为高电平，那么输出不变；如果求值结果是低电平，那么输出就会翻转。当然，也存在预充电至 0（低电平）的动态逻辑，如下图所示。

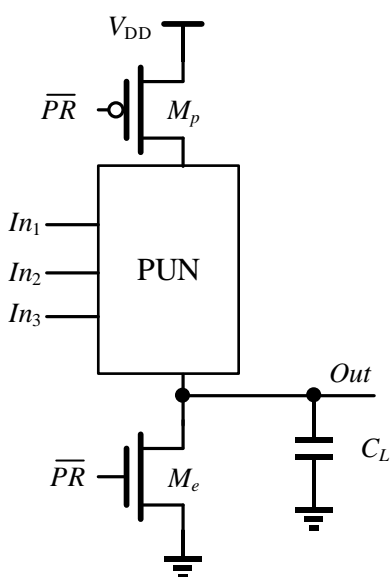
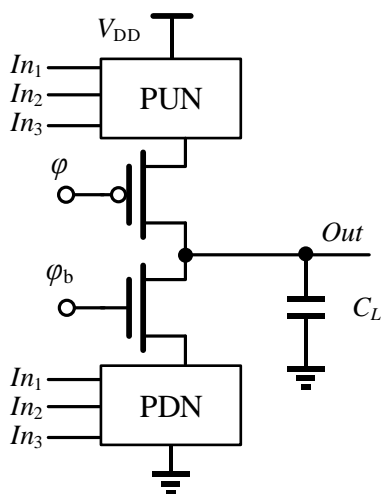


图 14 预充电至 0 的动态逻辑

类似的还有一种钟控逻辑 (C²MOS)，它也会受时钟信号的控制，但是钟控逻辑中既有上拉网络又有下拉网络，如图 16。其中 $\varphi = \bar{\varphi}_b$ ，因此受时钟控制的 NMOS 管和 PMOS 管实际上是同时导通。**一般变化更快的信号放到中间**，例如图 16 中的时钟差分信号，这样输出的上升时间、下降时间更短，延时更小一些。



8