

## 数字 IC 第一次作业

1、简述组合逻辑与时序逻辑的区别，并列举典型的组合逻辑电路与时序逻辑电路。

**答：**区别：组合逻辑的输出只与当前的输入有关。时序逻辑的输出不仅取决于当前的输入，还与之前的输入有关。一般有时钟配合工作。

典型电路：组合逻辑电路：常见的门电路：与非门、或非门、异或门等。 时序逻辑电路：锁存器、触发器。

2、简述动态逻辑电路与静态逻辑电路的主要区别。

**答：**①静态逻辑电路中逻辑电平来源于电路中的电源(GND、VDD)。

其是靠稳定的输入信号使 MOS 晶体管保持导通或截止状态，从而维持稳定的输出状态。输入信号存在，对应的输出状态存在；只要不断电，输出信息可以长久保持。

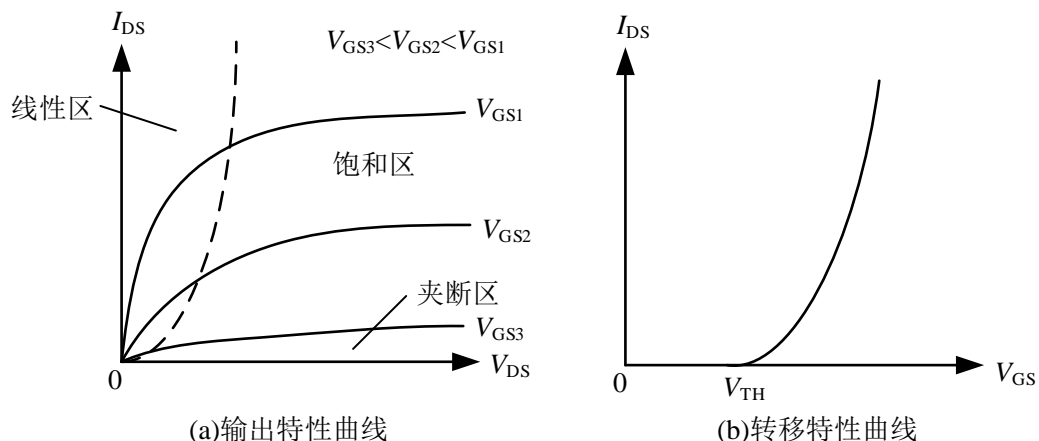
②动态逻辑电路中的逻辑电平取决于电容上存储的电荷。

其利用电容的存储效应来保存信息，即使输入信号不存在，输出状态也可以保持，但由于泄漏电流的存在，信息不能长期保持。

主要区别：逻辑电平的来源不同。

3、结合 NMOS 管的 I-V 输出特性曲线，简述其各种工作区域及 I-V 输出特性曲线的表达式。

**答：**NMOS 管的特性曲线如图所示：



输出特性曲线各区域：

截止区：当满足  $V_{gs} < V_{gs(th)}$ ，MOS 管进入截止区。截止区在输出特性最下面靠近横标的部分，表示 MOS 管不能导电，处在截止状态。截止区也叫夹断区，在该区时沟道全部夹断，电流  $I_d$  为 0，管子不工作。

恒流区：当满足  $V_{gs} \geq V_{gs(th)}$ ，且  $V_{ds} \geq V_{gs} - V_{gs(th)}$ ，MOS 管进入恒流区。恒流区在输出特性曲线中间的位置，电流  $I_d$  基本不随  $V_{ds}$  变化， $I_d$  的大小主要决定于电压  $V_{gs}$ ，所以叫做恒流区，也叫饱和区，当 MOS 用来做放大电路时就是工作在恒流区（饱和区）。

可变电阻区：当满足  $V_{gs} > V_{gs(th)}$ ，且  $V_{ds} < V_{gs} - V_{gs(th)}$ ，MOS 管进入可变电阻区。可变电阻区在输出特性的最左边， $I_d$  随着  $V_{ds}$  的增加而上升，两者基本上是线性关系，所以可以看作是一个线性电阻，当  $V_{gs}$  不同电阻的阻值就会不同，所以在该区 MOS 管相当就是一个由  $V_{gs}$  控制的可变电阻。

击穿区在输出特性左边区域，随着  $V_{ds}$  增大，PN 结承受太大的反向电压而被击穿，工作时应该避免让管子工作在该区域。

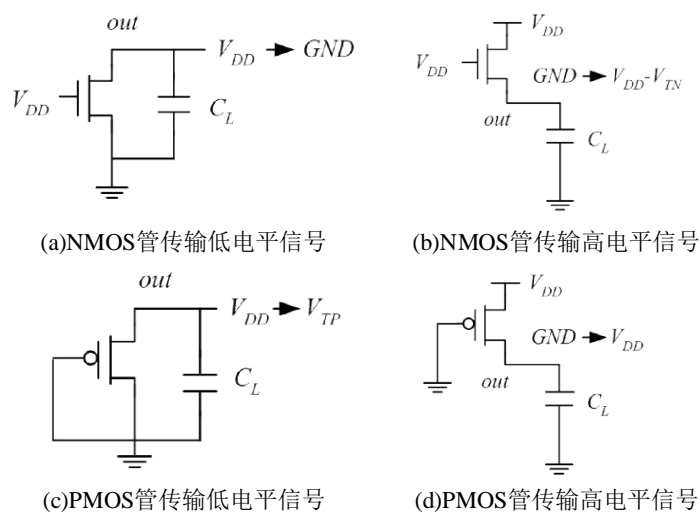
在非饱和区：
$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS}$$

在饱和区： $I_D = \mu_n C_{OX} \frac{W}{2L} (V_{GS} - V_{TH})^2$ 。

4、简述 PMOS 管与 NMOS 管的传输特性的区别。

**答：**在电路中 NMOS 管的源端接 GND，PMOS 管的源端接 VDD。如图所示，NMOS 管传输低电平信号时正常，传输高电平信号会出现问题：VOUT 最高只能到  $V_{DD} - V_{TN}$ ，无法到达  $V_{DD}$ 。

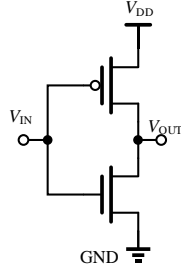
PMOS 管相反，它传输高电平信号时正常，传输低电平信号会出现问题：VOUT 最低只能到  $V_{TP}$ ，无法到达 **GND**。因此，NMOS 管适合传输低电平（强 0 弱 1），PMOS 管适合传输高电平（强 1 弱 0）。



5、简述有比逻辑无比逻辑的区别，并举例典型的有比逻辑电路与无比逻辑电路。

**答：**有比逻辑，上拉等效电阻  $R_{PU}$  路径采用 PMOS 开关管控制其在“通”状态下，表现为小的电阻（导通电阻  $R_{ON}$  不为零），而输入信号单独控制 NMOS 管；无比逻辑指的是采用互补开关结构。互补的 NMOS 管和 PMOS 管接相同的输入信号，总有一个开关为断开状态，阻抗无穷大，另一个开关则为闭合态，电阻趋于 0，因此电阻分压比总为 0 或 1。直观一点看，改变器件的相对参数（如宽长比  $\frac{W}{L}$ ），进而使器件的导通电阻  $R_{ON}$  发生变化，如果输出的电平高低发生了变化，就是有比逻辑，如果不发生变化，就是无比逻辑。典型的实际电路即：CMOS 反相器在静态时是无比逻辑，在动态时是有比逻辑。

6、推导如下图反相器的临界输入转折电平  $V_m^*$  及其变化范围。说明 PMOS 管宽长比增大时， $V_m^*$  如何变化，高、低电平噪声容限如何变化。



答：一般临界输入转折电平  $V_{in}^*$  位于中间电平，且  $V_{IN}=V_{in}^*$  时输出应位于  $V_{DD}/2$ 。根据  $V_{IN}=V_{OUT}$ ,  $I_N=I_P$ , 上下两管均工作在饱和区，可以求出  $V_{in}^*$

$$\frac{1}{2}\beta_p(V_{DD}-V_{in}^*-V_{TP})^2 = \frac{1}{2}\beta_n(V_{in}^*-V_{TN})^2$$

设  $\alpha = \sqrt{\frac{\beta_n}{\beta_p}}$ ,  $\beta_i = \mu_i C_{OX} \left( \frac{W}{L} \right)_i$ , 可得

$$V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha}$$

由上式可知，要使  $V_{in}^*$  位于中间，就需要让  $\alpha = 1$ （即  $\beta_p = \beta_n$ ）且  $V_{TN} = |V_{TP}|$ 。

$$\begin{cases} \lim_{\alpha \rightarrow \infty} V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha} = V_{TN} \\ \lim_{\alpha \rightarrow 0} V_{in}^* = \frac{V_{DD} - V_{TP} + \alpha V_{TN}}{1 + \alpha} = V_{DD} - V_{TP} \end{cases}$$

可知， $V_{in}^*$  的变化范围是  $(V_{TN}, V_{DD} - V_{TP})$

当 PNOS 宽长比增大时， $\alpha$  减小， $V_{in}^*$  变大。临界输入转折点右移，低电平噪声容限变大，高电平噪声容限变小。

7、简述降低静态 CMOS 反相器功耗的方法。

答：①降低电源电压，最为有效的方法；

②减少电路翻转，优化设计架构和电路结构；

③减少物理电容，包括寄生电容和负载电容。

④正常工作时采用低阈值电压，减少 CMOS 电路的延迟时间；不工作时采用高阈值电压，减少 CMOS 电路的泄漏电流。

注：本次作业请各位同学于 2020 年 10 月 31 日（下周六）晚 8:00 前，将作业的 word 版发至邮箱：[2499732090@qq.com](mailto:2499732090@qq.com)。作业成绩计入平时分。