

数字 IC 第 10 次课堂总结

一、D Latch:

D 锁存器可以抽象成一个受时钟信号控制的采样开关，在时钟信号有效的范围内导通，信号可以传输到输出端，此时锁存器透明；而在时钟信号无效的范围，开关断开，输出端保持不变，仍为时钟信号跳变时的数据。

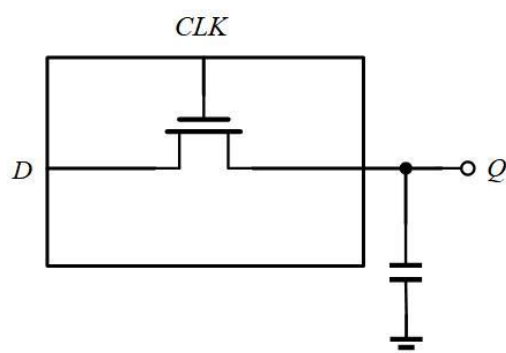


图 1 动态 D Latch 的一种电路结构

由此可见，动态 D 锁存器的最简单结构就是一个 MOS 传输开关，开关断开后 D 锁存器输出保持不变，输出的电位就是电容的电位，因此该电路存在高阻态。而传输门逻辑在结构上虽然与之相同，但是不允许存在高阻态，这也是两者的重要区别。

建立时间(Setup time): 建立时间是指在数据被锁存之前输入信号必须保持不变的时间。如果输入信号在这个时间段内有变化，可能会使输出信号出错。

保持时间 (Hold time): 保持时间是指在数据锁存之后输入信号必须保持不变的时间。如果输入信号在这个时间段内发生改变，可能会使输出信号产生改变。

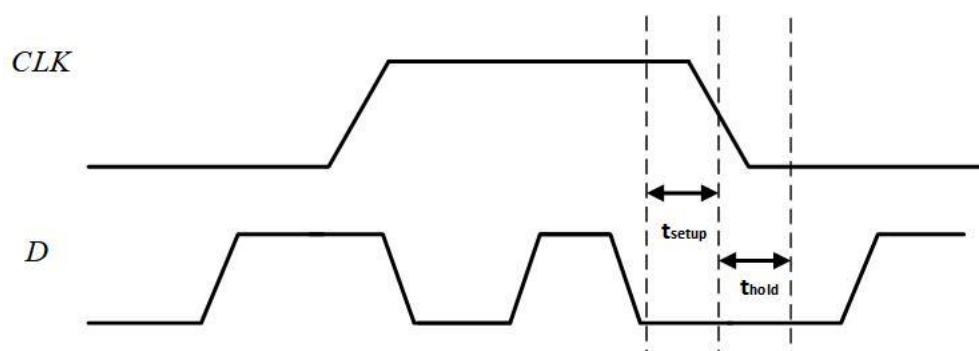


图 2 建立时间与保持时间

虽然基于单个传输门的 D Latch 结构简单，但是也会带来阈值电压损耗等性能退化问题，需要在结构上进一步改进，因此这里要利用我们之前所介绍的半 latch 结构。半 Latch 结构的特点是针对低电平动态锁存，对于高电平静态锁存。要注意的是，M1 的下拉能力必须大于 M_p

管才能正确锁存低电平。若构成对称结构，则对于高低电平都是静态锁存，如图 8 所示。

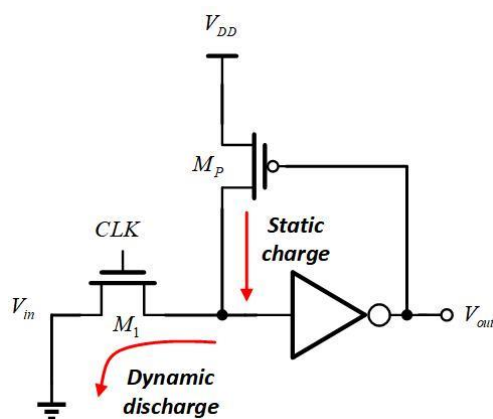


图 3 半 Latch 结构

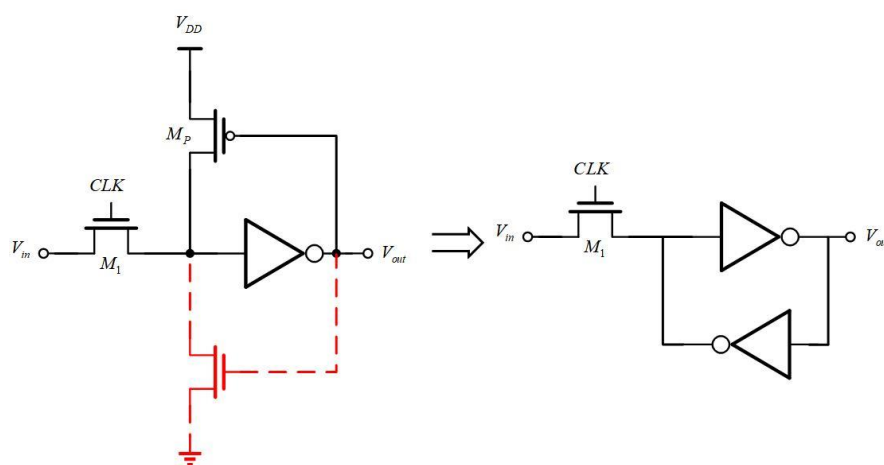


图 4 全对称静态锁存电路

全对称静态锁存电路由两个反相器首尾相接构成，也就是我们之前所提到的锁存器原型结构。其缺点是钟控开关管的上拉或者下拉能力必须大于反相器的上拉或下拉能力，才能正确锁存电平。传输管也可以用 CMOS 互补传输门代替，以消除阈值电压损耗。

下面我们进一步介绍一种基于钟控 INV 的动态锁存器。两级钟控 INV 级联即可构成锁存器，时钟控制信号断开后即可得到高阻保持态。钟控管可以省掉一半，只保留 PMOS 或者 NMOS。这种只包含单相时钟控制的 D Latch 电路称为真单相时钟（TSPC）D Latch。其中保留由 CLK_N 控制的 PMOS 管的 Latch 为负 Latch，即上升沿锁存数据。保留由 CLK 控制的 NMOS 管的 Latch 为正 Latch，即下降沿锁存数据。

该电路在高阻态时，电容漏电会将存储的高电平数据丢失，因此需要不断进行数据刷新，适用于高频工作电路。

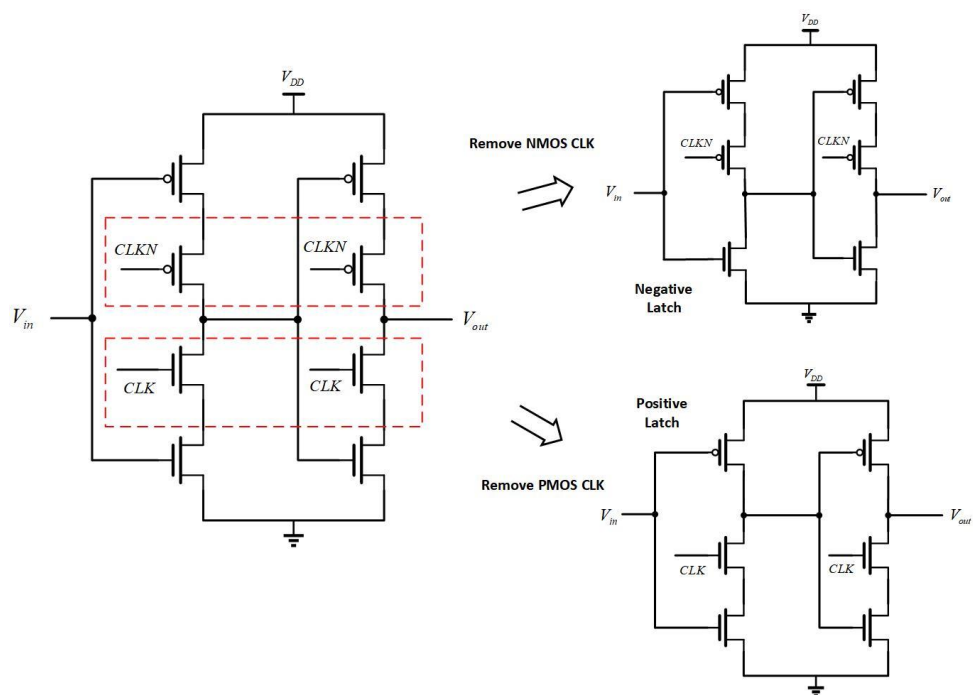


图 5 TSPC D Latch

分析上述两种 Latch 的建立和保持时间，我们不难得到建立时间为两级反相器的传输延时，而保持时间近似为 0。利用钟控+动态 INV 结构，可以得到混合模式的 TSPC Latch 如下图所示。

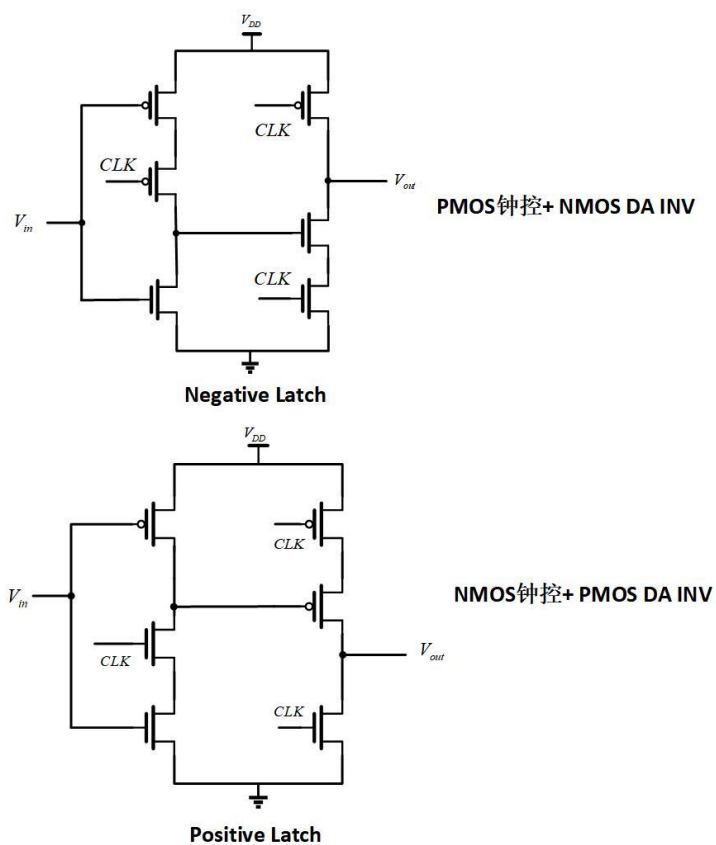


图 7 混合模式的 TSPC Latch

上述所叙述的静态 D 锁存器的缺点是对传输管的要求较高，数据写入需要克服反相器上拉或下拉的阻力。为此提出了准静态 D 锁存器。准静态 D 锁存器在 CLK 数据写入阶段为动态传输，一般为传输门结构，在锁存阶段为静态锁存。

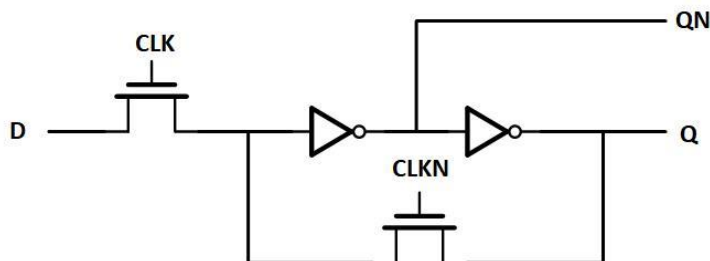


图 8 基于 NMOS 管的准静态 D 锁存器

上图所用的互补信号控制的 NMOS 传输管可以用 CMOS 传输门替代，以消除阈值电压损耗带来的性能退化。基于环路选择的思想，在数据写入阶段时从输入到输出的支路导通，而在锁存阶段时静态锁存所在支路导通。因此我们可以用二选一多路选择器来进行环路选择，从而实现两种工作模式的切换。准静态 D Latch 广泛应用于记忆单元以及寄存器等电路中。

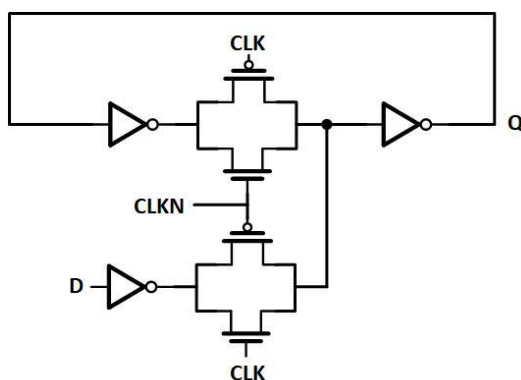


图 9 基于传输门的准静态 D 锁存器

二、DFF（Delay Flip-Flop, D 触发器）

触发器和锁存器都是重要的时序逻辑单元，两者既有联系，又有区别。锁存器由电平触发，而触发器由边沿触发，包括上升沿触发和下降沿触发。锁存器处于透明阶段时，输出随输入变化，仅在保持阶段维持半个周期的输出数据；触发器在上升沿或下降沿到来时采样，之后输出数据会保持一个周期。

构成一个 DFF 的最普通方法是采用主从结构，如图 10 所示。该触发器由一个负锁存器（主级）串联一个正锁存器（从级）构成。其中正锁存器指的是时钟为高电平时 D-Latch 透

明，低电平时 D-Latch 保持；负锁存器恰好相反。在时钟的低电平阶段，主级透明、从级保持不变。在时钟的上升沿期间，主级停止对输入 *in* 采样，而从级开始采样。在时钟的高电平阶段，从级对主级的输出端采样，主级保持不变。在时钟的下降沿期间，主级开始采样，从级停止采样并保持不变。由此可见，只有在时钟上升沿时输出端 *out* 可能翻转。要构成下降沿触发的 DFF，只要交换正、负锁存器的位置就行了，即主级用正锁存器，从级用负锁存器。

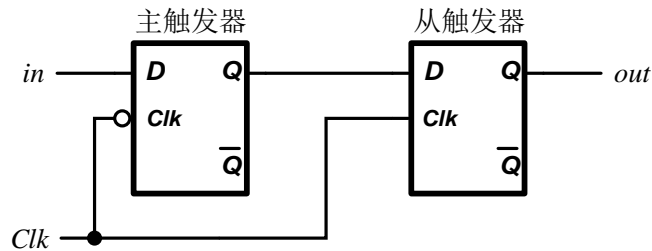


图 10 主从结构的 D 触发器

根据上文介绍的原理，可以利用不同的电路结构构造出 DFF，如下图是基于传输门的 D 触发器（TGFF）。TG1、TG2 和一个反相器构成了主级 D 锁存器，TG3、TG4 和一个反相器构成了从级 D 锁存器。在 D 锁存器单元中，为确保数据能顺利写入，要在写入阶段断开静态锁存器，也就是 TG1 和 TG3 导通时 TG2 和 TG4 应输出高阻态。因此 TG1 和 TG2、TG3 和 TG4 的控制信号分别反相。图 2 中 TG1 与 TG3 的控制信号也反相，这是因为 2 个 D 锁存器应当一正（锁存器）一负（锁存器），这样才能实现边沿触发。

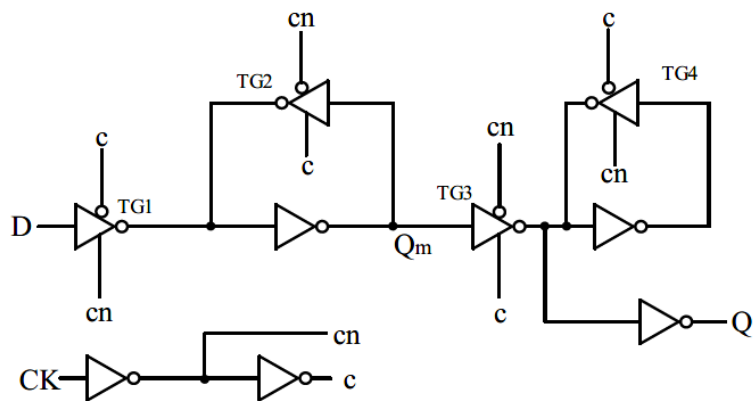


图 11 TGFF

如果要在电路中加入置位（Set）和复位（Reset）信号，可以把图 11 中的 2 个反相器改成 2 个二输入与非门或二输入或非门，如图 12 和图 13 所示。与非门的任一个输入为低电平时，输出端恒为高电平，因此输入端为低电平时置位信号有效。或非门的任一个输入为高电平时，输出端恒为低电平，因此串上一个反相器后，输入端为低电平时复位信号有效。如果要使控制信号高电平有效，可以在控制信号输入端加减反相器。

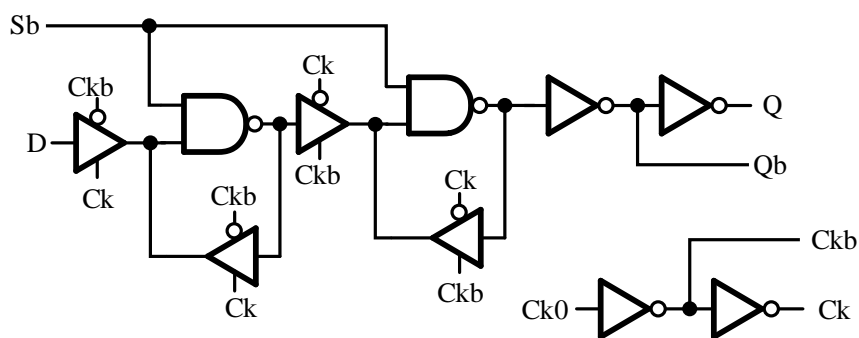


图 12 带置位的 DFF

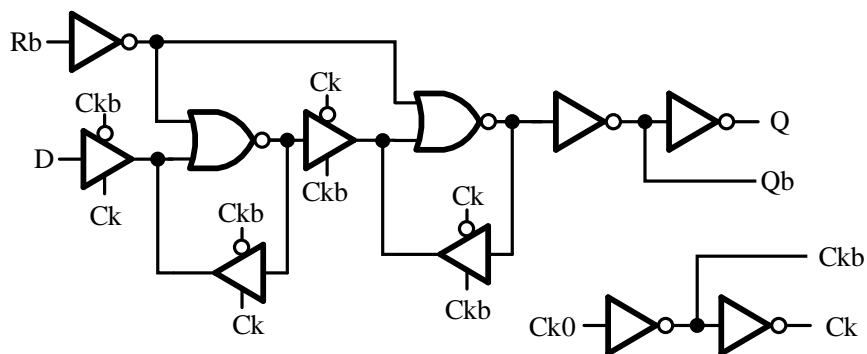


图 13 带复位的 DFF

图 14 中的电路被称为 Conditional-clocking flip-flop (CCFF)。该电路的结构、功能与图 3 一致，可以用相同的方法进行分析。

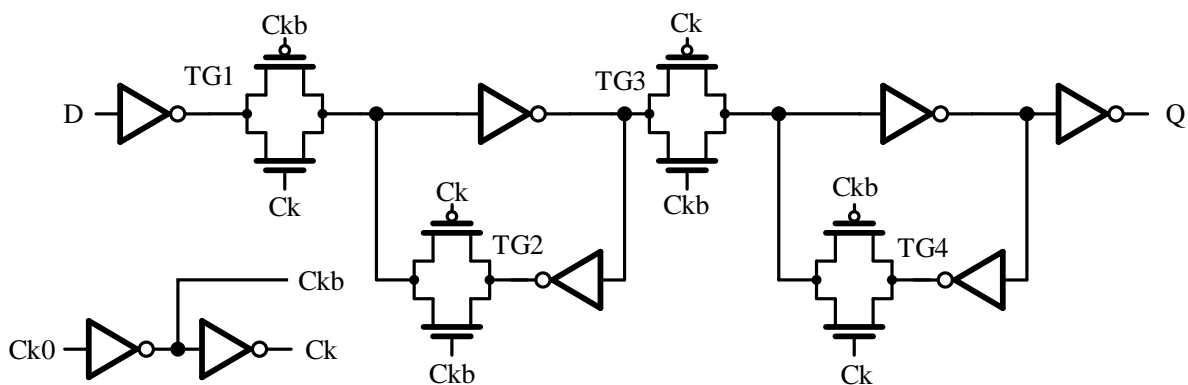


图 14 Conditional-clocking flip-flop (CCFF)