

- (1) 评估数字集成电路的主要参考指标有哪些？相互之间有什么关系？

答：主要参考指标有：①成本；②上市时间；③可靠性；④性能；⑤功耗（见 PPT-VLSI Basics-P11）。成本包括经常性的花费如硅处理、封装、测试等，和非经常性的花费如设计时间和精力、掩模版生成等；一般来说，成本越高，集成电路的可靠性、性能就越好，而相应的上市时间就会变长；功耗则随着发展的时间而逐渐增加。

- (2) 静态 CMOS 电路的优点有哪些？

答：①可靠性高；②设计周期短；③抗噪声能力强；④功耗小；⑤低输出阻抗；⑥极高的输入电阻。

- (3) 时钟偏差和抖动对电路性能有什么样的影响？

答：①时钟歪斜（偏移）：在时间相同时，时钟边沿的空间变异；确定性+随机性， t_{SK} ；②时钟抖动：在时间连续变化时，时钟边沿的变化；调制+随机噪声；周期-周期（短期） t_{JS} ；长期 t_{JL} ；③时钟歪斜和时钟抖动都影响了有效的（循环时间）周期，但是只有时钟歪斜影响 race margin（不懂意思？）；④时钟歪斜分为正歪斜和负歪斜，正歪斜使得发射边沿先于接受边沿到达，负歪斜使得接受边沿先于发射边沿到达；⑤两者都是描述时钟电路的缺点，但两者描述的是不同时钟边沿处看到的偏差或抖动；它们都会降低电路的性能，例如会引起竞争和冒险现象，从而导致电路的逻辑错误、混乱等。（简写）

- (4) CMOS 组合电路中，为什么扇入一般都控制在 4 以内？

答：（参照 combinational logic-P16）在扇入为 4 时，电路的高->低最大延时为： $tp_{HL} = 0.69 R_{eqn}(C1+2C2+3C3+4CL)$ ；当扇入过大时，延时与扇入数目呈 2 次方关系；参照 P17 图，可以看到，随扇入的数目增加，晶体管总的寄生电容增大，会导致电路的延时变得很大，因而要控制扇入在 4 以内。

- (5) 为什么加大电压可以提高电路性能？

答：①加大电压，输入输出的噪声容限会提高，所以可以提高电路的可靠性。

②增加可靠性和速度的主要方式还是电流，大电流减少信号传输的阻抗，易于获得高抗干扰的电路性能。（参照百度，此题应该不考）

CMOS 电路设计

(a) 以静态 CMOS 逻辑画出 $F = \sim[(a | b) \& c \& d]$ 的晶体管级原理图；

答：（combinational logic-P5~P7）尤其注意 P5，NMOS 对应的函数逻辑为原来的非。

题目变形：①画出异或逻辑的传输门（Pass-Transistor）电路（combinational logic-P37）；
②给出一个传输门电路，分析它的函数表达式，然后再画出其对应的静态 CMOS 电路（特例：给出全加器的传输门，画出其静态 CMOS 电路（一般只画出进位 C 的电路，SUM 的电路过于复杂））。

(b) 以 PMOS/NMOS 尺寸分别为 2 和 1 的 CMOS 倒相器为参考，使用等效倒相器的方法，设计晶体管尺寸，使该电路的成性能不低于参考倒相器；

答：（combinational logic-P15）按照笔记本上的解释，宗旨是保持上下 NMOS、PMOS 组合电路的最大延时相同，以及上下电路中各自分别的并联电路延时相同。尺寸（SIZE）与电阻成反比，延时与电阻成正比，因而算出个电路部分的等效电阻，令其相等即可。

(c) 输入端口 c 的信号比端口 a、b、d 信号慢，如何优化电路性能，画出电路图；

答：将最慢的信号放在离输出最近的地方。（combinational logic-P21）

完整画出大小为 4×4 的 NAND 结构的 ROM 晶体管电路，并说明其工作原理；ROM 中存储的数据从地址 0 到地址 3 分别为：1011， 0110， 1010， 0000；（10 分）

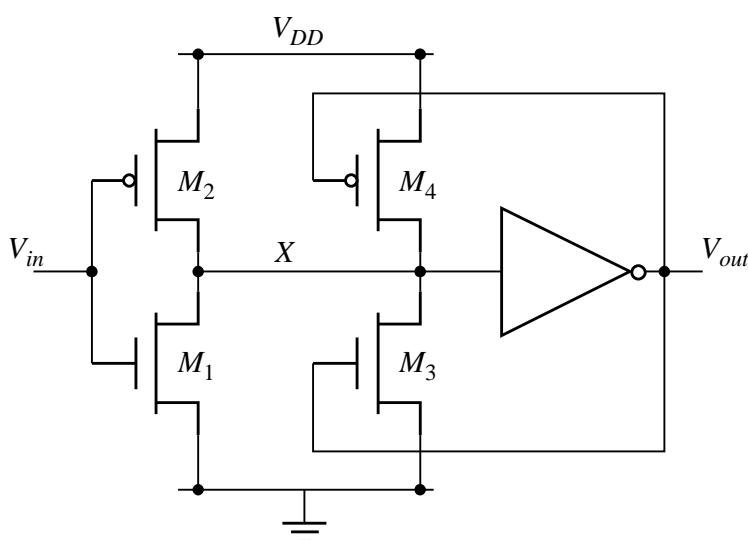
答：题目变形：可能会让画出 OR、NOR、NAND 其中的一个 ROM 晶体管电路，

(Arithmetic logicP35)，说明工原理。

请给出集成电路的生产步骤，并简要阐述。

答：生产主要包括晶棒制造和晶片（芯片）制造两大步骤。其中晶棒制造包括以下工序：晶棒成长——晶棒裁切与检测——外径研磨——切片——圆边——表层研磨——蚀刻——去疵——抛光——清洗——检验——包装；芯片的制造过程可概分为：晶圆处理工序（在晶圆上制作电路及电子元件，如晶体管、电容、逻辑开关等）、晶圆针测工序（检验每颗单独晶粒的电气特性）、构装工序（将单个晶粒固定在芯片基座上）、测试工序（分为一般测试和特殊测试）等几个步骤。

下图为施密特触发器原理图，请画出其 VTC 曲线，并阐述曲线形成的原理。



答：原理图（Sequential Logic-P25）,VTC 曲线（Sequential Logic-P26）。

阐述原理待补充。

根据结构不同，加法器有很多种类，适用于不同的场合。

(1) 请画出 16 位平方根进位加法器的结构图；

答：（Sequential Logic-P23）线性进位加法器；（Sequential Logic-P24）平方根进位加法器。注意最后一位是 Bit14-15(因为总共只有 16 位)。

(2) 假设数据建立、求和、进位、Mux 等基本单元的延时都为 1，计算该加法器的最大延时；

答：根据两张 PPT 中的公式进行计算。

线性进位: $t_{add} = t_{setup} + \left(\frac{N}{M}\right) t_{carry} + M \cdot t_{mux} + t_{sum}$ (N 为 16 位, M 为 4)

平方根进位: $t_{add} = t_{setup} + P \cdot t_{carry} + (\sqrt{2N}) \cdot t_{mux} + t_{sum}$ (P 为进位次数)

补充:

1. (PPT-timing-P6) 时钟的非理想特性

①时钟歪斜 (偏移): 在时间相同时, 时钟边沿的空间变异; 确定性+随机性, t_{SK}

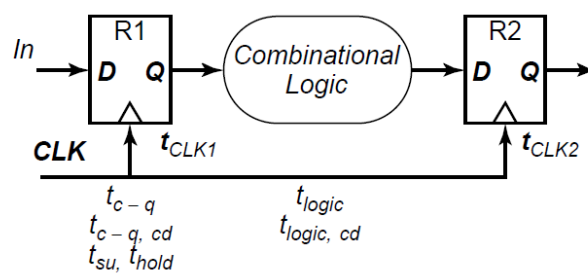
②时钟抖动: 在时间连续变化时, 时钟边沿的变化; 调制+随机噪声; 周期-周期 (短期) t_{JS} ; 长期 t_{JL}

2. 时钟歪斜和时钟抖动都影响了有效的周期, 但是只有时钟歪斜影响 race margin; 时钟歪斜分为正歪斜和负歪斜; 正歪斜使得发射边沿先于接受边沿到达; 负歪斜使得接受边沿先于发射边沿到达。

3. 时序约束

约束 1

Timing Constraints



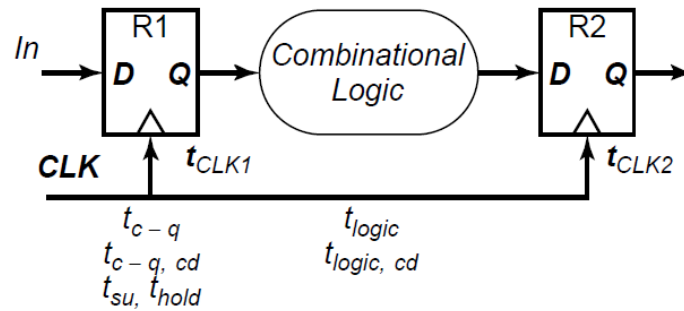
Minimum cycle time:

$$T - \delta = t_{C-q} + t_{su} + t_{logic}$$

Worst case is when receiving edge arrives early (positive δ)

约束 2

Timing Constraints



Hold time constraint:

$$t_{(c-q, cd)} + t_{(logic, cd)} > t_{hold} + \delta$$

*Worst case is when receiving edge arrives late
Race between data and clock*

时钟约束

Clock Constraints

If launching edge is late and receiving edge is early, the data will not be too late if:

$$T_{c-q} + T_{LM} + T_{SU} < T - T_{JL,1} - T_{JL,2} - \delta$$

Minimum cycle time is determined by the maximum delays through the logic

$$T_{c-q} + T_{LM} + T_{SU} + \delta + 2 T_{JL} < T$$

Skew can be either positive or negative