

---

## 数字 IC 第一次课堂总结

### 一、本课目的

数字逻辑电路的晶体管级实现。

电子信息需要软硬结合，电子指的是硬件，即信息处理的物理载体；信息指的是软件，即信号处理的方式方法。

### 二、信号处理

根据对信号的不同处理手段，可分为模拟信号处理（ASP）和数字信号处理（DSP）。早期的信号处理主要以 ASP 为主，但随着 DSP 的兴起，ASP 逐渐被 DSP 所取代，然而仍然有一部分 ASP 无法被替代。

总结：DSP 固然很重要，但 ASP 无法完全被取代。

### 三、组合逻辑与时序逻辑

1、组合逻辑的输出只与当前的输入有关。常见的门电路：与非门、或非门、异或门等等都属于组合逻辑电路。

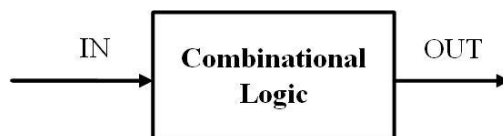


图 1 组合逻辑电路

2、时序逻辑的输出不仅取决于当前的输入，还与之前的输入有关。一般有时钟配合工作，如锁存器(Latch)，触发器(Flip Flop)。

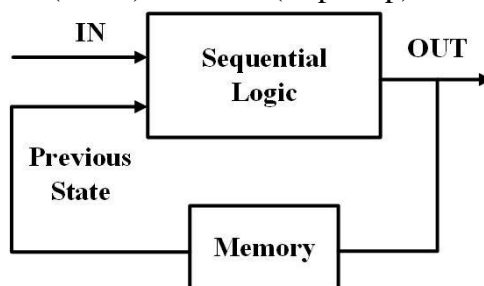


图 2 时序逻辑电路

注意：组合逻辑和时序逻辑不是简单的并列，而是递进的关系。一个复杂的时序逻辑电路系统往往包含众多组合逻辑模块，往往需要分解成足够多简单的时序子电路。通过各部分的时序配合完成整个复杂数字系统的工作。

### 四、静态组合逻辑与动态组合逻辑

1、静态逻辑电路中的逻辑电平来源于电路中的电源(GND、 $V_{DD}$ )。

2、动态逻辑电路中的逻辑电平取决于电容上存储的电荷。

## 五、开关

数字电路里面描述电路的逻辑状态一般可分为两态逻辑和三态逻辑。

两态逻辑：一般定义 GND 为“0”， $V_{DD}$  为“1”（正逻辑）。因此两态逻辑有最大区分度，同时也意味着噪声容限(Noise Margin)很大。在数字电路中，一般以高电平下限噪声容限和低电平上限噪声容限中的最小值来表示电路的噪声容限。噪声容限越大说明容许的噪声越大，电路的抗干扰性越好

三态逻辑：除了前面所定义的“0”、“1”外，还存在高阻态。高阻态的含义就是开关断开之后的一种输出状态。典型的一个应用就是总线与终端设备之间的关系，以高阻的形式连接，通过开关的来回切换达到设备分时分用的目的，如下图所示。

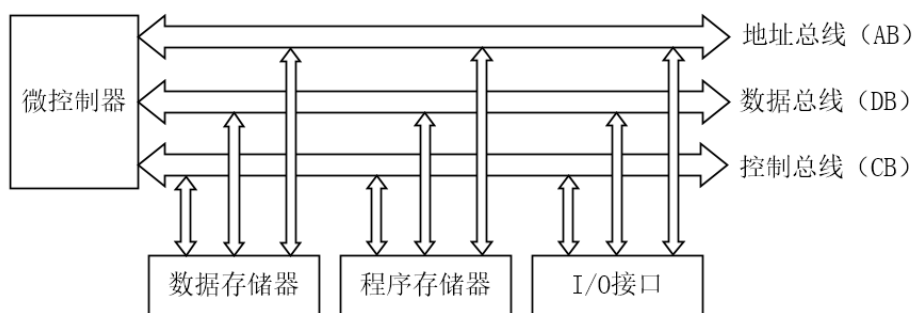


图 3 总线示意图

在数字电路中，开关的目的是实现三态传递。

开关的分类：单向开关有 CMOS、ECL、TTL 等，双向开关有传输门逻辑 PTL 等。

理想开关：断开时导通电阻无穷大，两端加有一定  $V_{drop}$  电压，电流为 0；闭合时导通电阻为 0，两端电压为 0，开关流过一定的电流。

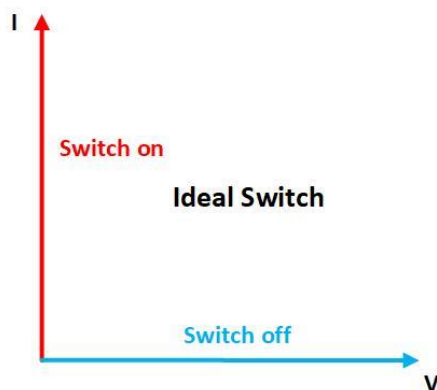


图 4 理想开关

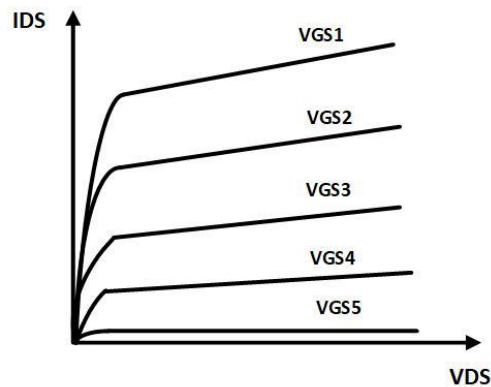


图 5 MOSFET 的实际输出特性曲线

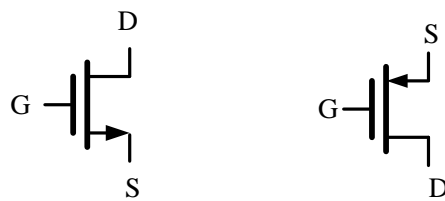
当  $V_{GS} < V_{TH}$  时,  $I_{DS}=0$ ,  $V_{DS}$  不等于 0, 此时相当于开关断开。

当  $V_{GS}=V_{DD}$  时,  $I_{DS}=I_{DSMAX}$ ,  $V_{DS}$  趋于 0, 此时相当于开关闭合。

### MOS 管器件符号:

金属氧化物半导体 (Metal-Oxide-Semiconductor, MOS) 场效应晶体管可分为 N 沟道与 P 沟道两大类。两者主要区别在于: NMOS 管的载流子是电子, PMOS 管的载流子是空穴。两者的符号分别如下图 6 所示。

在模拟(集成)电路中我们通常用箭头  $\rightarrow$  或  $\leftarrow$  来区分 NMOS 管和 PMOS 管, 但在数字(集成)电路中我们采用圆圈  $\circ$  区分。这是因为在模拟(集成)电路中采用箭头便于指示电流的方向, 而在数字(集成)电路中采用圆圈可以说明有效电平的高低——没有圆圈时高电平有效, 有圆圈时低电平有效。对 MOS 管而言, “有效”意味着“导通”。



(a)NMOS管的模电画法 (b)PMOS管的模电画法



(c)NMOS管的数电画法 (d)PMOS管的数电画法

图 6 MOS 管的符号

从图 6 可知，PMOS 管和 NMOS 管的漏端 D 和源端 S 的位置刚好相反。之所以采用这种画法，一方面的原因是让  $V_{DD}$  始终在电路图的上方、GND 始终在电路图的下方。另一方面，是因为漏端 D 和源端 S 的选取和载流子的运动方向紧密相关。源端 Source (S) 是载流子运动的起始点，提供载流子，漏端 Drain (D) 是载流子运动的终点，接收载流子。而对于 NMOS 而言，它的载流子是带负电的自由电子，自由电子在电路中只会从 GND 流向  $V_{DD}$ ，因此 NMOS 的漏端 D 自然在上方，源端 S 自然在下方。PMOS 的特性与 NMOS 刚好相反，它的载流子是带正电的空穴，空穴在电路中只会从  $V_{DD}$  流向 GND，因此 PMOS 的漏端 D 自然在下方，源端 S 自然在上方。

### MOS 管开关理论分析：

以 NMOS 管为例，当 MOS 管被用作开关时，其对应器件物理结构如下图所示。

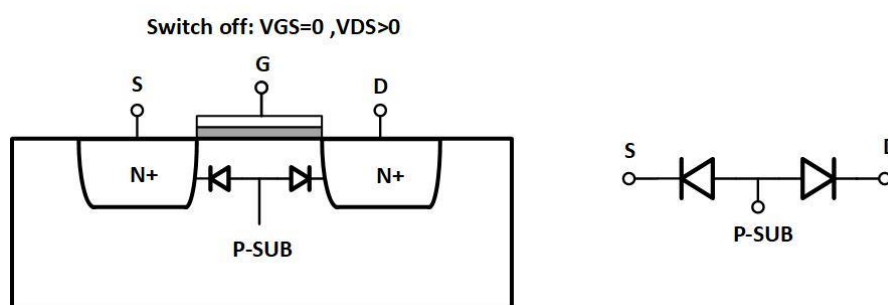


图 5 NMOS 管夹断时的物理结构

当  $V_{GS} < V_{TH}$  时，栅区未感应出沟道，漏源两端间相当于两个背靠背的二极管连接，由于存在反偏二极管，等效阻抗无穷大，开关断开。

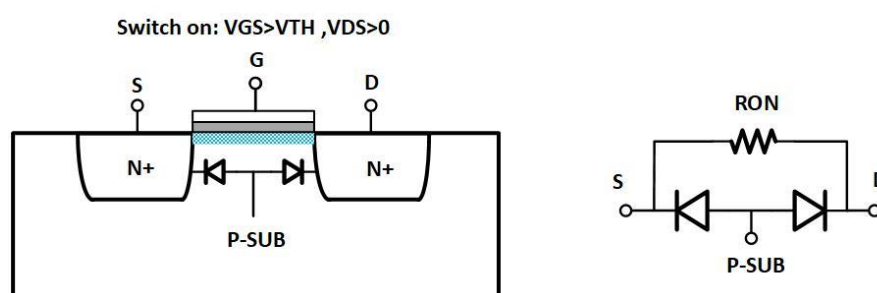


图 6 NMOS 管导通时的物理结构

当  $V_{GS} > V_{TH}$  时，栅区感应出沟道，源漏端两端间相当于一个沟道导通电阻与两个背靠背的二极管并联，等效阻抗近似等于源漏沟道电阻  $R_{ON}$ ，开关闭合。此外，当  $V_{GS} > V_{TH}$  时 MOS 管还可能处于不同的工作区。NMOS 在不同电压下的工

作状态如下图所示。

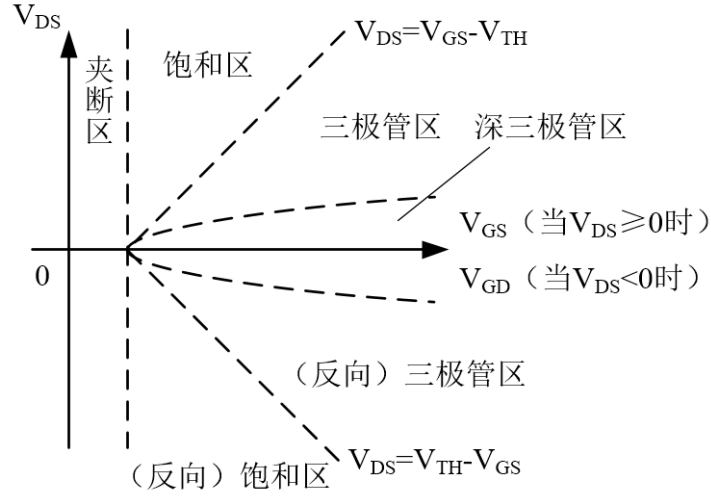


图 7 NMOS 在不同电压下的工作状态

在不同工作状态下，NMOS 的漏极电流  $I_D$  也有所不同，如下式所示。

$$\begin{cases} I_D = \mu_n C_{ox} \left( \frac{W}{L} \right) \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right], & \text{三极管区} \\ I_D = \mu_n C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}), & \text{饱和区} \end{cases}$$

其中， $\mu_n$  是 NMOS 的沟道迁移率； $C_{ox}$  是单位面积的栅氧化层电容； $\left( \frac{W}{L} \right)$  是宽长比； $\lambda$  是沟道长度调制系数，由于三极管区中不存在沟道长度调制效应，因此计算  $I_D$  的公式中没有  $(1 + \lambda V_{DS})$ 。

漏极电流  $I_D$  的计算公式已经确定，由此可以推出开关闭合时源漏沟道电阻  $R_{ON}$  的大小。对于 MOSFET 导通且处于深三极管区的情形， $R_{ON}$  的表达式如下所示。

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

根据以上表达式，我们可以得到减小  $R_{ON}$  的措施如下：

1. 增大栅源电压，数字电路中栅源电压最大可达到  $V_{DD}$ 。
2. 增大 MOS 管的宽长比。