

数字 IC 第二次作业

1、简述电路系统的响应速度与哪些因素有关，如何提高电路的响应速度。

答：

$$V_{OUT} = V_{IN} (1 - e^{-\frac{t}{RC_{out,tot}}}), \text{ 即时间常数 } \tau = R_{eq} C_{out,tot} \approx R_{ON} C_{in} \propto \left(\frac{1}{W/L} \right) (W \times L) = L^2 \text{ 所以提}$$

高电路响应速度的方法有：

- (1) 减小电容大小 C ，可以直接让电容更快充满或放完电，从而减小延时；
- (2) 减小电阻大小 R ，可以增大电容的充放电电流，让电容的充放电速度更快；
- (3) 增大电路系统的带宽。

2、请简述 CMOS 反相器在数字电路中的用途或作用。

答：反相器在数字电路中可用作信号反相（实现特定逻辑功能），信号波形的整形再生，信号缓冲来提高电路驱动能力，延迟单元（一般用倒管），控制反相器翻转电压 V_M 还可以用做较粗糙的单端比较器。

3、简述静态互补 CMOS 电路的功耗来源。

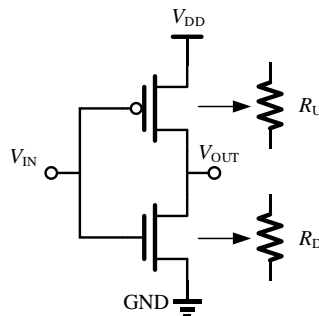
答：动态功耗：

- ①负载电容充、放电所消耗的功耗；
- ②开关过程中的短路功耗，即输入信号上升或下降过程中，直流通路电流引起的功耗。

静态功耗：由泄漏电流导致的功耗，包括漏极泄漏电流和亚阈值电流。

4、推导反相器的传播延时 t_d 、上升时间 t_r 、下降时间公式 t_f 。如下图所示，反相

器的 $t_r = t_f, R_D = R_U = 10k\Omega, C_L = 3pF$ ，计算反相器的 t_d, t_r, t_f 。（取 $\ln 2=0.69, \ln 9=2.2$ ）。



答：传播延时定义为 V_{out} 变化 50% 所用的时间，即

$$\begin{cases} t_{pHL} = R_{eqn} C_{out,tot} \ln \frac{1}{1-V_{out}/V_{in}} = R_{eqn} C_{out,tot} \ln \frac{1}{1-0.5} = 0.69 R_{eqn} C_{out,tot} \\ t_{pLH} = R_{eqp} C_{out,tot} \ln \frac{1}{V_{out}/V_{in}} = R_{eqp} C_{out,tot} \ln \frac{1}{0.5} = 0.69 R_{eqp} C_{out,tot} \end{cases}$$

定义反相器传播延时为上述两个值的平均值，即

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

上升、下降时间一般分别定义为 V_{out} 从 10% 变化到 90% 和从 90% 变化到 10% 所用的时间，即

$$\begin{cases} t_r = t_{rise,90\%} - t_{rise,10\%} = R_{eqn} C_{out,tot} \ln \frac{1-0.1}{1-0.9} \approx 2.2 R_{eqn} C_{out,tot} \\ t_f = t_{fall,10\%} - t_{fall,90\%} = R_{eqp} C_{out,tot} \ln \frac{0.9}{0.1} \approx 2.2 R_{eqp} C_{out,tot} \end{cases}$$

$$t_d = 0.69RC = 0.69 \cdot 10000 \cdot 3 \cdot 10^{-12} = 2.07 \cdot 10^{-8} \text{ s}$$

$$t_r = t_f = 2.2RC = 2.2 \cdot 10000 \cdot 3 \cdot 10^{-12} = 6.6 \cdot 10^{-8} \text{ s}$$

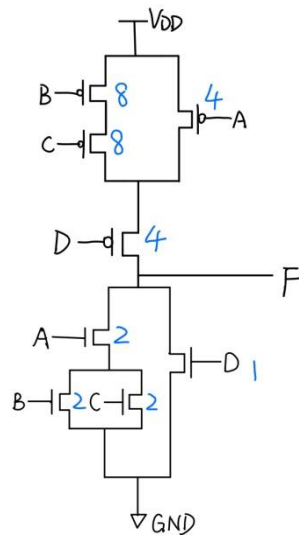
5、简述 N 输入 CMOS 与非门的扇入数 N 为什么不能太大？

答：有 N 个输入的互补 CMOS 电路的晶体管个数为 2N，本征电容随扇入线性增加，由于在最坏情况下电容线性增加而上拉电阻保持不变（MOS 管并联），故 t_{pLH} 是扇入的线性函数；但下拉电阻和电容随扇入数同时增加（MOS 管串联），从而使 t_{pHL} 近似呈平方关系地增加。因此总的延时会随扇入 N 的增加而近似平方增加，故扇入不能太大。一般扇入大于或等于 4 时门将变得太慢，因此必须避免。

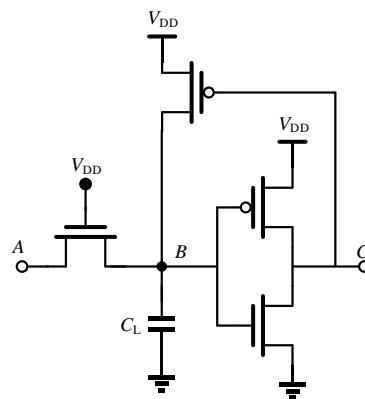
6、请画出表达式 $F = \overline{A(B+C)} + D$ 的静态互补 CMOS 电路图，并标识出图中各

MOS 管的尺寸，使它的 t_{pHL} 和 t_{pLH} 与 PMOS 与 NMOS 的尺寸比为 2:1 的反相器近似相等。

答：



7、消除传输管逻辑存在的阈值损失的方法有哪些？试分析下图半 Latch 锁存结构的工作原理，并说明其尺寸相对大小。



答：消除传输管逻辑阈值损失的方法有：

- ①采用 CMOS 互补传输门（TG 结构）
- ②在输出端接 INV 进行输出整形，实现电平恢复和缓冲驱动
- ③采用半 Latch 锁存结构辅助电平恢复
- ④工艺上可采用零阈值传输管。

工作原理：设传输管栅控电压为 V_{DD} ，M1 一直处于导通状态。

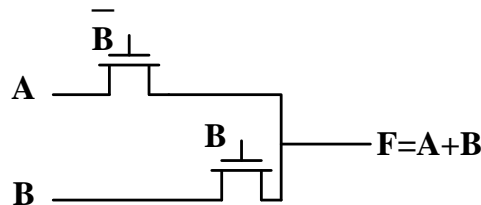
当 $A=1$ 时，A 点的高电平通过传输管 M1 给 C_L 充电，但由于 N 管“强 0 弱 1”，B 点电位为弱 1，通过 INV 进行整形后得到 C 点电位为强 0，同时半 Latch 管 MP 导通，由 V_{DD} 对 C_L 进行辅助充电将 B 点电位拉回强 1。

当 A 由 1 跳变为 0 时，B 点原有的强 1 需通过 M1 进行放电，而此时 MP 管仍在对 B 点进行辅助充电，若 MP 管驱动能力大于 M1，则充电速度将大于放电速度，使得逻辑输出出错。

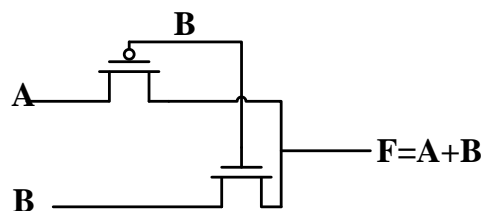
因此要求 MP 管的尺寸较小（电阻大，驱动能力弱）。

8、试分别用“全 N 管”和“P 管+N 管”的 PTL 结构实现 $F=A+B$ ，并说明为何一般不选用“全 P 管”结构。

答：



全 N 管结构



N 管+P 管结构

一般不选用全 P 管结构原因：相同尺寸（面积）时，P 管的迁移率较低，R 较大，延时较大。

9、简述静态互补 CMOS 逻辑、有比逻辑和传输门逻辑的结构、特点及优缺点。

解释为何在静态互补 CMOS 逻辑中，总是用 NMOS 构成 PDN，PMOS 构成 PUN。若将 CMOS 反相器的 MOS 管位置互换，有何缺点？

答：①、静态互补 CMOS 逻辑：CMOS 门由上拉网络（PUN）和下拉网络（PDN）形成互补输出。

特点：

- 1、无比逻辑，逻辑电平与器件相对尺寸无关。
- 2、稳态时在输出和 vdd 或 gnd 之间总存在一条具有有限电阻的通路，即具有低输出阻抗，使得对噪声和干扰不敏感。
- 3、输入电阻极高，没有输入直流电流，从而理论上可以驱动无穷多个门，即具有无穷大的扇出
- 4、输出高电平为 vdd 和 gnd。即电压摆幅为电源电压，因此噪声容限很大。
- 5、稳态时 vdd 和 gnd 之间没有直接通路，所以其静态功耗理论上为 0。

优点：抗噪声能力强，零静态功耗，稳定性好。

缺点：实现相同逻辑所需面积大，N 扇入时的晶体管数目为 $2N$ 。

②、有比逻辑：将互补 CMOS 逻辑汇总的上拉网络或者下拉网络用一个管子或电阻代替，其他部分不变。通常由一个实现逻辑功能的 NMOS 下拉网络和一个一直导通的 PMOS 上拉负载器件组成。

特点：逻辑电平与器件相对尺寸有关。

优点：实现相同逻辑的晶体管数目减小，对于 N 个扇入，所需晶体管数目为 $N+1$ 个。

缺点：1、输出端电压摆幅由 NMOS 和 PMOS 的相对尺寸决定，噪声容限减小 2、存在静态功耗。

③、传输管逻辑：允许原始输入驱动栅或源-漏端来减少所实现逻辑的晶体管数目

特点：信号双向传输。

优点：进一步减少晶体管数目，降低面积和电容。没有静态电流。

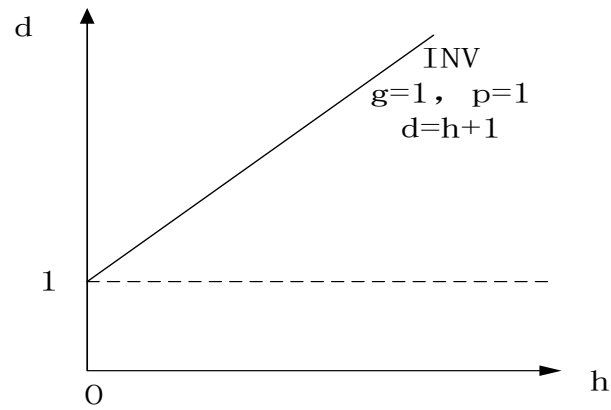
缺点：NMOS 管传输高电平时存在 V_{tn} 的阈值损失，使得输出只能被充电到 $V_{dd}-V_{tn}$ ，考虑体效应的情况下，高电平会更低。PMOS 传输低电平时存在 $|V_{tp}|$ 的阈值损失，使得输出只能被放电到 $|V_{tp}|$ 。考虑体效应的情况下，低电平会更高，导致输出摆幅下降，抗噪声能力减弱。通常靠电平恢复器和传输门来解决阈值损失。此外，由于传输管并不能使信号再生，通常需要插入 CMOS 反相器来恢复逻辑电平。此外，高低电平由数据信号源提供而不是 V_{dd} 和 gnd ，导致驱动能力减弱。

④、采用 PMOS 作上拉网络的原因是 PMOS 能传输强 1(将输出上拉到 v_{dd} ，NMOS 作下拉网络的原因是 NMOS 能传输强 0(将输出下拉到 gnd)，即输出全摆幅，输出噪声容限大。

⑤、若将 CMOS 反相器的 MOS 管位置互换，可构成粗糙的跟随器。其输出电压高电平为 $V_{DD}-V_{tn}$ ，输出低电平为 $|V_{tp}|$ ，输出摆幅降低，噪声容限下降。

10、以尺寸比为 $N:P=1:2$ 的 INV 为参考，试在下图坐标系中画出二输入与非门 (NAND2) 和二输入或非门 (NOR2) 的延时曲线 (注明 g 、 p 、 d)。

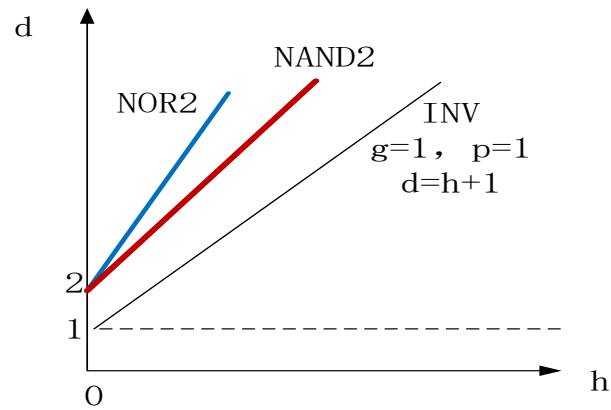
答：



NAND2: $g=4/3, p=6/3=2, d=4/3 \cdot h+2$

NOR2: $g=5/3, p=6/3=2, d=5/3 \cdot h+2$

同等输入情况，与非门性能较或非门好。



注：本次作业请各位同学于 2020 年 11 月 14 日（本周六）晚 8:00 前，将作业的 word 版发至邮箱：2499732090@qq.com，文件命名为“学号-姓名”，作业成绩计入平时分。