

数字 IC 第 6 次课堂总结

一、动态&钟控电路：

两种电路都是由时钟控制的电路，但两种电路在本质上有很大差异。

动态电路(Dynamic)：动态逻辑的标志性特点为电路中至少存在一个依靠电容上的存储电荷完成逻辑状态的定义，并且需要相关的时钟信号对电容存储的信息进行充放电管理与控制。电路结构如图 1(a)所示，工作过程包括预充电和求值两个环节。电路中只有一个上拉网络(PUN)或一个下拉网络(PUN)。两个时钟控制管的输入信号相同，因此一个 MOS 管导通的同时，另一个 MOS 管必然截止。

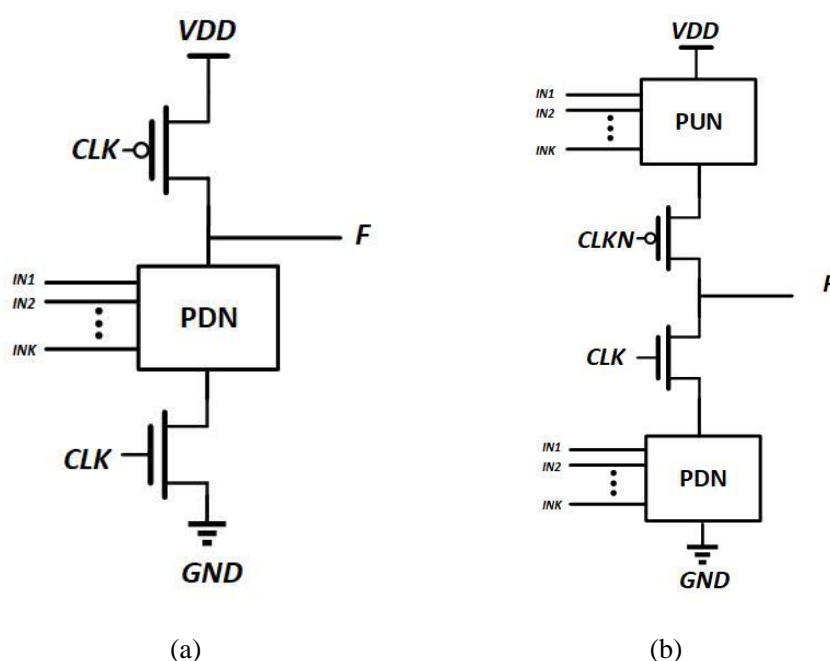


图 1 (a)动态逻辑(b)钟控逻辑

钟控电路(C²MOS)：其电路结构如图 1(b)所示，电路受上拉网络、下拉网络和一对互补时钟控制。由于时钟控制管的输入信号是互补的，因此两个钟控管总是同时导通、同时关断。钟控管关断时会输出高阻态，因此钟控电路是一个三态逻辑，可以构成三态门。它在总线的设备接入控制开关中应用较多。由于输出端一般都存在电容，因此输出为高阻态时，输出电平与上一个周期的输出相同。这意味着钟控电路有记忆功能，相当于一个动态的 Latch 结构。虽然钟控电路受时钟的控制，但是它本质上仍属于静态电路。

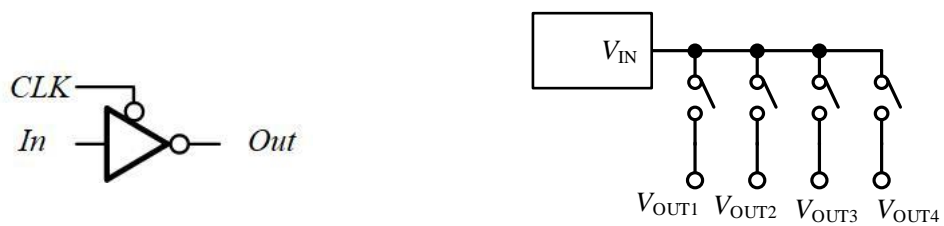


图 2 三态门以及总线应用

表 1 几种组合逻辑电路的总结

电路类型	结构	晶体管数目	优势	劣势
CMOS	PUN+PDN	2N	性能、静态功耗	面积
Pseudo N/P MOS	PDN/PUN	N+1	面积	静态功耗
Dynamic	PDN/PUN	N+2	速度、面积	动态功耗
C ² MOS	PUN+PDN	2N+2	三态	面积
PTL	双向开关	2(AND2)	效率	阈值损耗

1. CMOS 静态互补逻辑电路是所有其他组合逻辑电路的基础。和 CMOS 静态互补逻辑电路相比，其他几种组合逻辑电路结构均在某些方面有所改进，比如伪 N/PMOS 电路、动态电路、传输门电路在减小面积方面有进步；动态电路在速度方面有改进；有钟控电路在功能方面有改进。但是在某一方面的改进必定会牺牲其他方面的性能，例如伪 N/PMOS 的面积减小了，但是作为有比逻辑电路，它的静态功耗却增大了。

2. 从本质上看，前面四种组合逻辑电路都属于单向开关，而传输门逻辑属于双向开关。传输门逻辑结构简单，提高了电路 MOS 管的工作效率，但是其阈值损耗的缺点也十分明显。

二、加法器的实现：

ALU 实现各类算术与逻辑运算的基础在于加法器。首先，加法器是算术运算的基本单元，加法器性能的高低决定了 MPU/DSP 数字运算单元的处理能力；其次，加法器是完成其它算术运算的物理基础，CPU 中的各种复杂的运算最终都可以转化为加法运算。根据是否考虑进位，可以把加法器分为全加器或半加器。

下面给出两种加法器的结构框图：

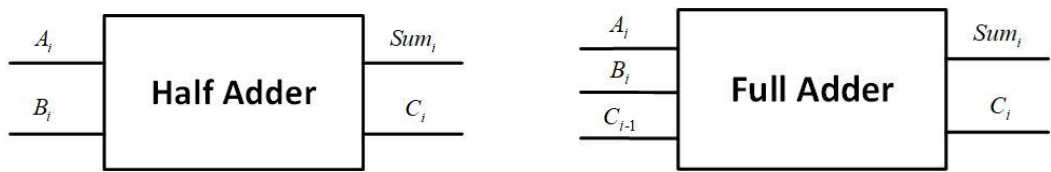


图 3 全加器和半加器原理结构图

①首先考虑 1bit 半加器

表 2 半加器真值表

A_i	B_i	Sum_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$\begin{cases} Sum_i = A_i \oplus B_i \\ C_i = A_i B_i \end{cases}$$

②然后我们考虑 1bit 全加器，

表 3 全加器真值表

A_i	B_i	C_{i-1}	Sum_i	C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

$$\begin{cases} Sum_i = A_i \oplus B_i \oplus C_{i-1} \\ C_i = A_i B_i + (A_i + B_i) C_{i-1} = A_i B_i + (A_i \oplus B_i) C_{i-1} \end{cases}$$

由真值表，半加器是全加器的基本组成单元，而半加器的核心就是一个异或门。因此，加法器设计的核心内容就是构建低成本符合性能指标要求的异或门。可以根据 Sum_i 的表达式选取合适的 C_i 表达式，从而简化电路结构、节省电路面

积。例如当 Sum_i 的实现采用两级异或时, C_i 可以用包含 $A_i \oplus B$ 的表达式来实现。

用尽量少的 MOS 管实现异或逻辑的方法如下所示:

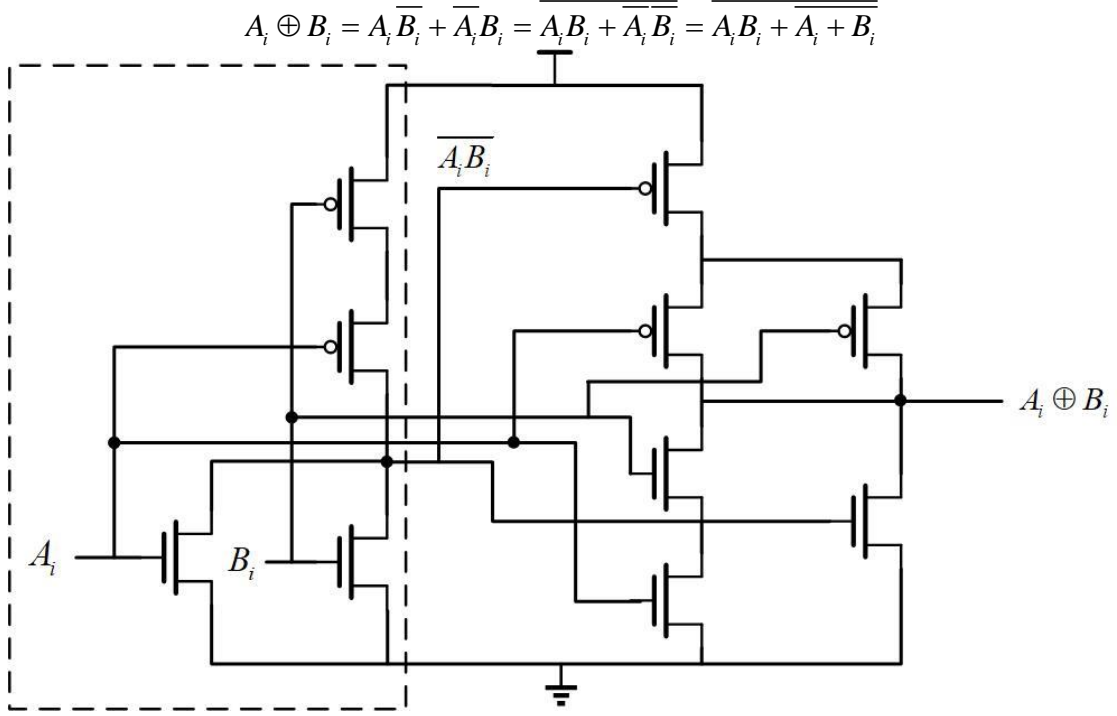


图4 异或门

采用以上方法, 只需要 10 个 MOS 管就能构成一个异或门。实现 1bit 全加器的镜像对称结构的思路是先计算进位, 然后计算求和, 如下式所示:

$$\begin{cases} C_i = A_i B_i + (A_i + B_i) C_{i-1} \\ \overline{C_i} = \overline{A_i B_i + (A_i + B_i) C_{i-1}} = (\overline{A_i} + \overline{B_i}) (\overline{A_i B_i} + \overline{C_{i-1}}) \\ = \overline{A_i B_i} + (\overline{A_i} + \overline{B_i}) \overline{C_{i-1}} \end{cases}$$

$$\begin{cases} Sum_i = A_i \oplus B_i \oplus C_{i-1} = A_i B_i C_{i-1} + A_i \overline{B_i} \overline{C_{i-1}} + \overline{A_i} B_i \overline{C_{i-1}} + \overline{A_i} \overline{B_i} C_{i-1} \\ = A_i B_i C_{i-1} + (A_i + B_i + C_{i-1}) (\overline{A_i B_i} + \overline{B_i C_{i-1}} + \overline{A_i C_{i-1}}) \\ = A_i B_i C_{i-1} + (A_i + B_i + C_{i-1}) [\overline{A_i B_i} + (\overline{A_i} + \overline{B_i}) \overline{C_{i-1}}] \\ = A_i B_i C_{i-1} + (A_i + B_i + C_{i-1}) \overline{C_i} \\ \overline{Sum_i} = \overline{A_i B_i C_{i-1} + (A_i + B_i + C_{i-1}) \overline{C_i}} = (\overline{A_i} + \overline{B_i} + \overline{C_{i-1}}) (\overline{A_i B_i C_{i-1}} + C_i) \\ = \overline{A_i B_i C_{i-1}} + (\overline{A_i} + \overline{B_i} + \overline{C_{i-1}}) C_i \end{cases}$$

其中 C_i 和 Sum_i 的表达式均满足镜像对称条件, 因此其 CMOS 上拉和下拉网络具有镜像对称性, 电路图如下:

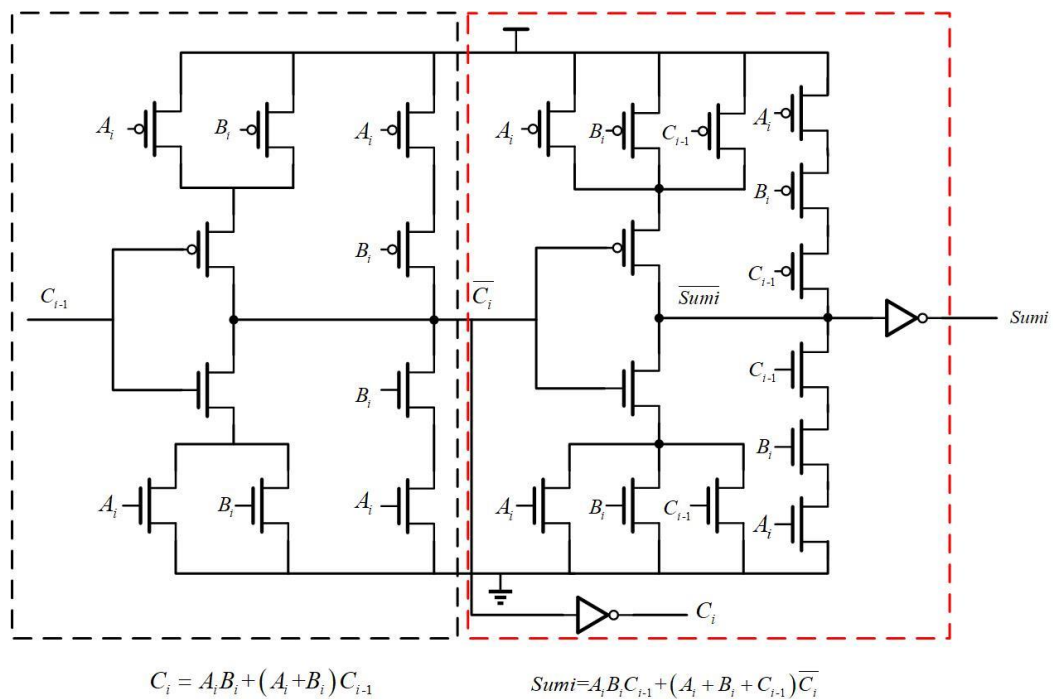


图 5 全加器电路图