

## 数字 IC 第 2 次课堂总结

### 一、数字电路中的理想开关

数字电路中需要理想开关来传输信号，如图 1 所示。当理想开关闭合时，可以没有损耗地传输信号；当开关断开时，不能传输信号，此时对应高阻态。

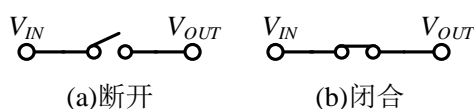


图 1 理想开关

开关的应用实例就是总线，通过开关的切换实现设备的分时使用，如图 2 所示。

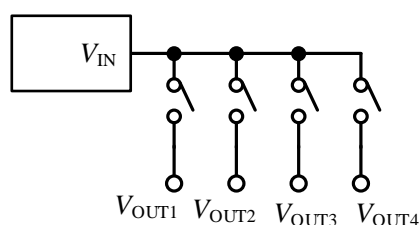


图 2 总线模型

### 二、MOS 开关非理想因素

虽然 MOS 管可以充当开关，它的特性却比不上理想开关，尤其是工作在线性区时。如图 3(a)所示，当 NMOS 处于夹断区时，漏源两端电阻无穷大，其工作状态近似于理想开关的断开；当 NMOS 处于线性区时，其工作状态类似于理想开关的闭合，源漏两端两端仍然会存在一个小的电势差， $V_{GS}$  越大越接近理想开关。

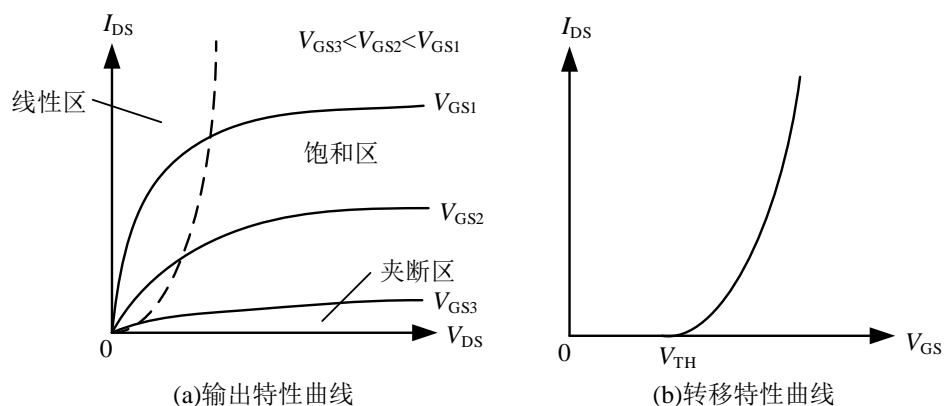


图 3 NMOS 管的特性曲线

根据 MOS 管的物理模型可知，MOS 管夹断时它相当于 2 个背靠背的二极管（PN 结），当 MOS 管处于深线性区时相当于在这 2 个 PN 结上再并联一个导通电阻  $R_{on}$ 。关于这方面的论述详见“数字 IC 第 1 次课堂总结”，在此不再赘述，仅列出深线性区的导通电阻计算公式。

$$R_{ON} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})}$$

根据该公式，可知  $R_{ON}$  与  $(W/L)$  成反比。

由输出特性曲线可知，要使 MOS 管尽可能的逼近理想开关特性，应使  $V_{GS}$  等于  $V_{DD}$ 。另外，PMOS 管和 NMOS 管呈对偶关系，PMOS 管的输出特性曲线在第三象限，如 4 所示。

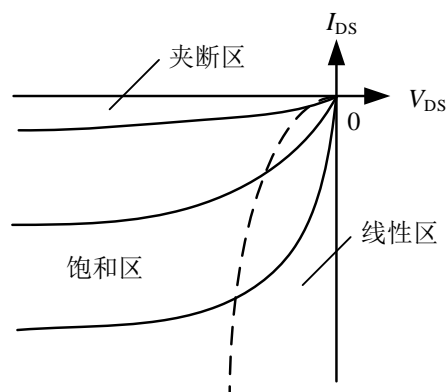


图 4 PMOS 管的输出特性曲线

### 三、不同类型 MOS 管的传输特性

之前我们讨论过：PMOS 的源端（S）要接  $V_{DD}$ ，漏端（D）要接 GND 以及这么做的几点原因。那么还有其他原因吗？答案是肯定的，PMOS 管更适合传输高电平（上升沿信号），因此在电路中 NMOS 管的源端接 GND，PMOS 管的源端接  $V_{DD}$ 。下面我们详细论述这一点。

如图所示，NMOS 管传输低电平信号时正常，传输高电平信号会出现问题： $V_{OUT}$  最高只能到  $V_{DD} - V_{TN}$ ，无法到达  $V_{DD}$ 。PMOS 管相反，它传输高电平信号时正常，传输低电平信号会出现问题： $V_{OUT}$  最低只能到  $V_{TP}$ ，无法到达 GND。因此，NMOS 管适合传输低电平（强 0 弱 1），PMOS 管适合传输高电平（强 1

弱 0)。

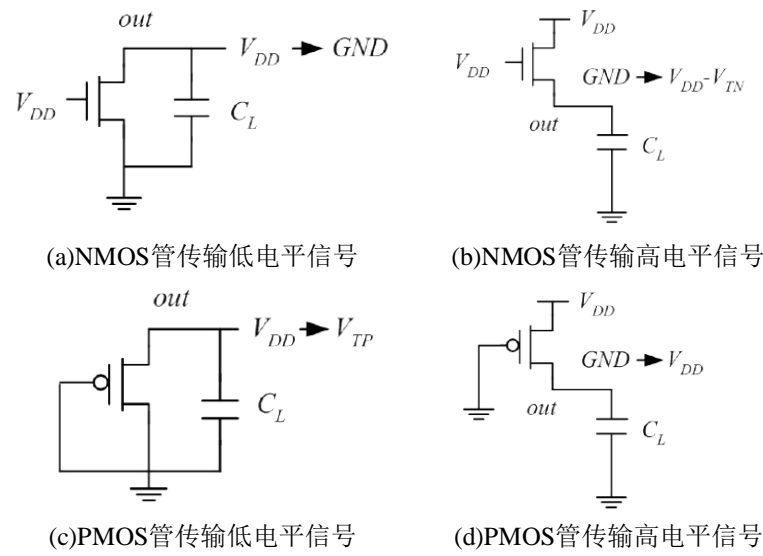


图 5 不同 MOS 传输不同电平信号

#### 四、反相器静态特性

基于以上所述 NMOS 和 PMOS 传输信号特点，提出反相器结构（Inverter，INV），也可视为传输信号的一种开关，当输入信号为高电平时，通过 NMOS 传输 GND，当输入信号为低电平时，通过 PMOS 传输  $V_{DD}$ 。如图所示。因为采用了 2 个互补 MOS 管来构成 CMOS，静态时总有一通一断，所以其特性要比单个 MOS 管好得多，没有静态功耗。不论  $V_{IN}$  是高电平还是低电平，恒有一个 MOS 管工作在理想状态并且没有阈值损耗，因此输出信号也就没有阈值损耗，摆幅大。

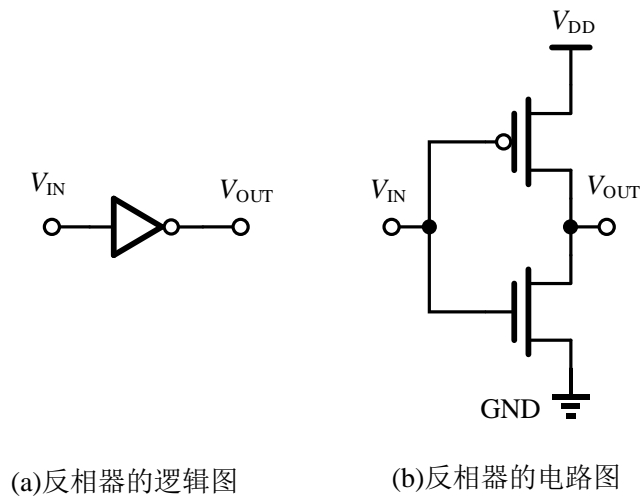


图 6 反相器的画法

#### 五、CMOS 逻辑原理

有比逻辑与无比逻辑反映的是电路的静态和动态特性，影响电路输出的逻辑电平和功耗，电容充放电速度。如图 7 所示，对于有比逻辑，上拉等效电阻  $R_{PU}$  路径采用 PMOS 开关管控制其在“通”状态下，表现为小的电阻（导通电阻  $R_{ON}$  不为零），而输入信号单独控制 NMOS 管。

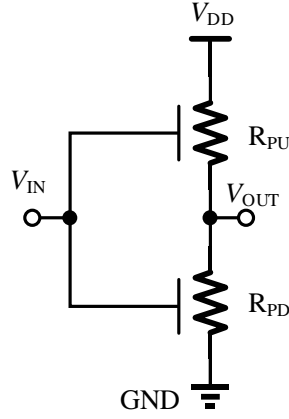


图 7 用电阻替代 MOS 管的模型

无比逻辑指的是采用互补开关结构。互补的 NMOS 管和 PMOS 管接相同的输入信号，总有一个开关为断开状态，阻抗无穷大，另一个开关则为闭合态，电阻趋于 0，因此电阻分压比总为 0 或 1。

$$\begin{cases} V_{OUT} = \frac{0}{0 + \infty} V_{DD} \approx 0 & \text{when } V_{IN} = 1 \\ V_{OUT} = \frac{\infty}{0 + \infty} V_{DD} \approx V_{DD} & \text{when } V_{IN} = 0 \end{cases}$$

判断是有比逻辑还是无比逻辑的方法：改变器件的相对参数（如宽长比  $\frac{W}{L}$ ），进而使器件的导通电阻  $R_{ON}$  发生变化，如果输出的电平高低发生了变化，就是有比逻辑，如果不发生变化，就是无比逻辑。**CMOS 反相器在静态时是无比逻辑，在动态时是有比逻辑。**

因此  $W/L$  不能取任意值，若宽长比过大，尽管  $R_{ON}$  减小，其引入的寄生电容和额外的面积消耗、功耗也是需要考虑的问题；但是  $R_{ON}$  也不能过大，否则上升沿时间或下降沿时间会很长，上升或下降时间过长会使时钟频率难以提高。

此外，为了获得对称的上升时间和下降时间，通常需要设计充电通路的时间常数  $\tau_1 = R_{on1}C_1$  与放电通路的时间常数  $\tau_2 = R_{on2}C_2$  近似相等，对于同一输出节

---

点，寄生电容  $C_1=C_2$ 。即时间常数与导通电阻  $R_{ON}$  有关。对于深度线性区的 MOS 管，导通电阻  $R_{ON}$  与导通电流呈反比关系： $R_{ON}=U/I_{ON}$ 。则  $I_{ON}$  在线性区时，公式推导可得： $\frac{I_{ON,N}}{I_{ON,P}} \approx \frac{\mu_p}{\mu_n}$ 。故，PMOS 和 NMOS 的相对尺寸比一般设置为 2~3。