

数字 IC 第 9 次课堂总结

一、时序逻辑电路概述

之所以需要时序，是因为数字电路中的许多复杂运算和操作需要分步完成。例如，下图是 MPU 8086 的时序图，不同的时钟周期要完成不同的任务。只有遵循一定的时序，才能分步完成较复杂的操作。

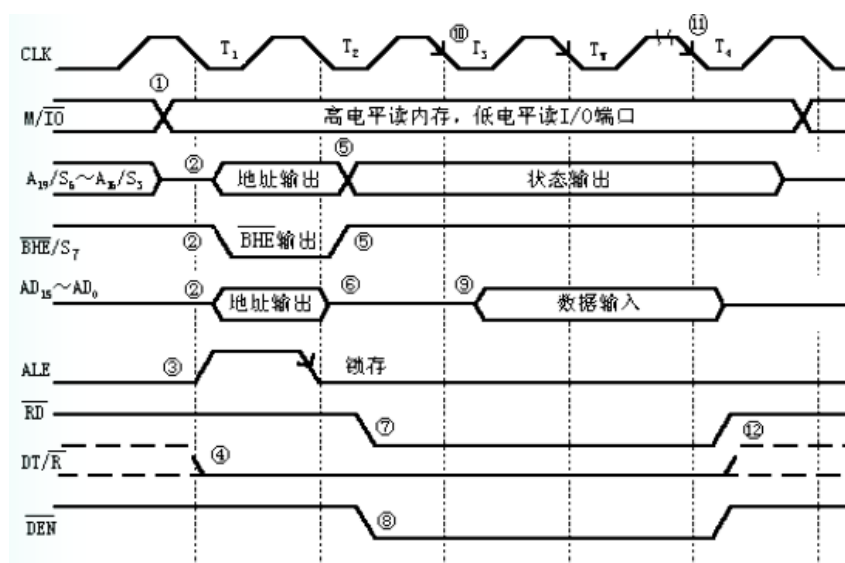


图 1 MPU 8086 进行总线读操作时的时序

从这个例子也可以看出，时序是由时钟信号定义的。但并非电路中有时钟信号，就意味着这是一个时序电路。比如在动态组合逻辑部分中，我们介绍的钟控逻辑电路中存在时钟信号，但是它仍然是组合逻辑电路。

时序逻辑电路与组合逻辑电路的区别在于，组合逻辑电路的输出只与输入有关，而时序逻辑电路的输出不仅与输入有关，还与电路的上一个状态有关，而电路状态的存储需要通过存储单元或寄存器单元实现。记忆单元是时序逻辑电路最核心的部分。

时序电路有两种类型：同步时序逻辑（Synchronous Sequence Logic）电路和异步时序逻辑电路。其中同步时序逻辑电路还有两种类型：有限状态机（Finite State Machine, FSM）和数据通道（Data Path）。有限状态机的状态有限，每次进入的状态由当前状态和输入信号共同决定；数据通道类似于一个流水线，每一步操作都足够简单，多个简单步骤实现相对复杂的功能。

二、SR 锁存器

最简单的记忆单元是静态锁存器，如下图所示。它的缺点是锁存器的状态难以确定，上电时 Q 点是 0 还是 1 几乎随机。

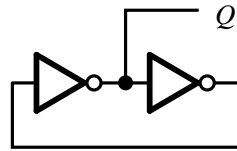


图 2 静态锁存器

SR 锁存器在这方面优于静态锁存器，它的逻辑结构如下图所示，其中 \overline{R} 表示复位(Reset)， \overline{S} 表示置位 (Set)。字母上的横线代表这两个输入端是低电平有效。这样就能够通过控制 \overline{R} 和 \overline{S} 的电位来控制 SR 锁存器的状态，SR 锁存器的功能显示在了表 3 中，应当注意不能使 $R \cdot S = 1$ 即 $\overline{R} + \overline{S} = 0$ ，否则无法判断锁存器的状态。

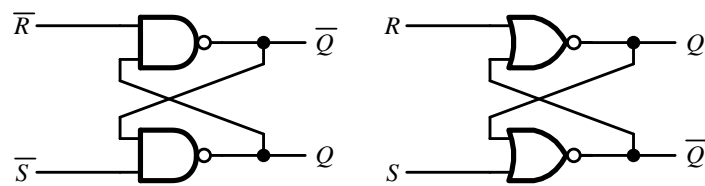


图 3 SR 锁存器

表 1 SR 锁存器的功能表

S	R	Q	\overline{Q}
0	0	保持不变	
1	0	1	0
0	1	0	1
1	1	禁止状态	

三、静态锁存&动态锁存：

静态锁存器的原型是两个反相器首尾相接，图 11 是它的电路结构。

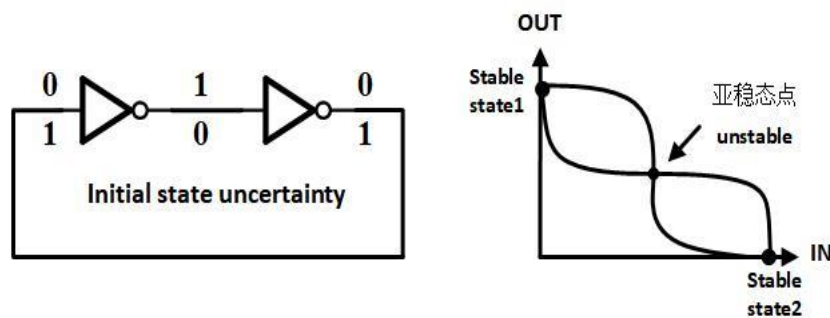


图 41 静态锁存器电路图及电压传输特性曲线

由右图的 VTC 曲线可以看出，该电路存在两个稳态点，对应“010”和“101”两个稳定状态。因此，该原型结构的缺点是初始状态不确定，电路的静态有两种可能。

四、RS Latch

为解决上述初始状态不确定的问题，可以在两个反相器的输入端添加控制信号，以实现
对状态的控制。

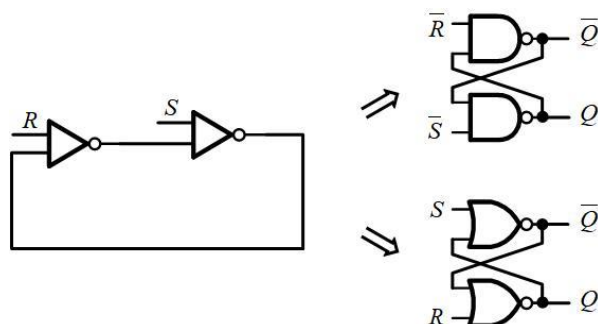


图 15 静态锁存器改进为 RS Latch

定义 **R** (Reset) 为复位信号，信号有效时将输出复位到 0，定义 **S** (Set) 为置位信号，信号有效时将输出置位为 1。由上图我们不难看出，当 **R**、**S** 为高电平有效时，电路转化为两个首尾相接的或非门，当 **R**、**S** 为低电平有效，转化为两个首尾相接的与非门。这也是非常容易理解的，当需要高电平有效去改变输出时，利用或门的特性，只需一个输入端为高电平即可改变输出。而当需要低电平有效去改变输出时，利用与门的特性，只需一个输入端为低电平即可改变输出。

另一种实现置位和复位的方法是采用直接上拉或下拉的方式进行控制。其原理及具体电路实现展示在下图中。

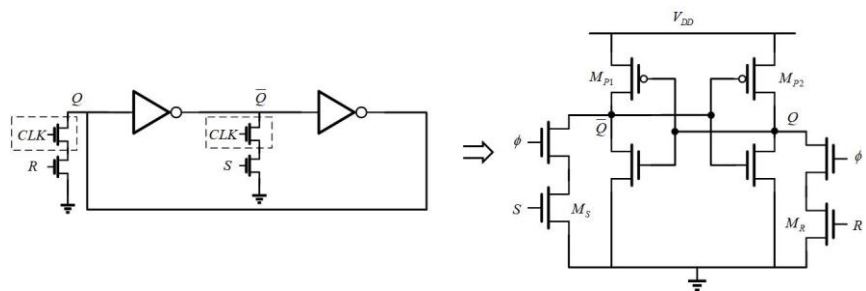


图 16 采用上拉、下拉进行置位、复位

这种改进方式的优点是可以实现同步置位和复位。存在时钟控制管时（虚线框内），意味着置位和复位与时钟同步，它们是同步信号，当去掉时钟控制管时，置位和复位不受时钟约束，它们是异步信号。该结构的不足之处是置位和复位间存在竞争， M_S 和 M_R 的下拉能力需要大于 M_{P1} 和 M_{P2} 管，为此可靠性和速度会受限。

五、JK Latch

JK 锁存器可以通过 RS 锁存器加上控制信号和反馈实现。其原理图如下图所示。

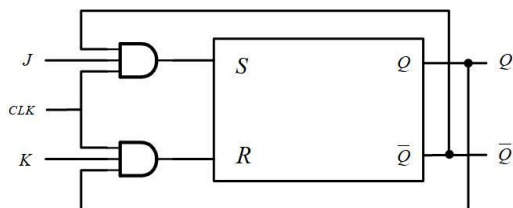


图 17 JK Latch

当 J 信号有效 K 信号无效时，锁存器进行置位操作；当 J 信号无效 K 信号有效时，锁存器进行复位操作；当两者都无效时，状态保持；当两者都有效时，状态翻转。其真值表如下所示。

表 2 JK Latch 的真值表

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\overline{Q}_{n+1}

JK Latch 是万能的锁存器，可以通过外部配置构成 T（Toggle）锁存器和 D（Delay）锁存器。通过将 JK 短接，可以得到 T 锁存器，而将 J 反相接到 K 输入端可实现 D 锁存器。在分立器件电路中，JK 锁存器可以利用不同的外围电路配置不同功能的锁存器，因此应用广泛，但同时也带来一个问题：面积耗费巨大。比如说实现一个 D 锁存器，需要一个 JK 锁存器加上一个反相器，总共 24T。在集成电路中，D 锁存器的应用十分广泛，往往需要成千上万个 D 触发器，如果都采用这种电路结构，就会导致芯片面积过大。因此，这种实现思想在 IC 中是

不符合实际的。

我们必须开拓新的途径以实现 D 锁存器的精简化设计。下面首先关注 D 锁存器的一些特性。