



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н. Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н. Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

ОТЧЕТ

по лабораторной работе № 1

по курсу «Архитектура ЭВМ»

на тему: «Организация памяти конвейерных суперскалярных электронных
вычислительных машин»

Вариант № 14

Студент ИУ7-53Б
(Группа)

(Подпись, дата)

Лысцев Н. Д.
(И. О. Фамилия)

Преподаватель

(Подпись, дата)

Ибрагимов С. В.
(И. О. Фамилия)

2023 г.

СОДЕРЖАНИЕ

Цель работы	3
1 Основные теоретические сведения	4
2 Практическая часть	5
2.1 Эксперимент №1: Исследования расслоения динамической памяти	5
Заключение	8

Цель работы

Цель работы – освоение принципов эффективного использования подсистемы памяти современных универсальных ЭВМ, обеспечивающей хранение и своевременную выдачу команд и данных в центральное процессорное устройство. Работа проводится с использованием программы для сбора и анализа производительности PCLAB.

1 Основные теоретические сведения

бла, бла, бла...

2 Практическая часть

2.1 Эксперимент №1: Исследования расслоения динамической памяти

Цель эксперимента

Цель эксперимента – определение способа трансляции физического адреса, используемого при обращении к динамической памяти.

Описание проблемы

В связи с конструктивной неоднородностью оперативной памяти, обращение к последовательно расположенным данным требует различного времени. В связи с этим, для создания эффективных программ необходимо учитывать расслоение памяти, характеризуемое способом трансляции физического адреса.

Суть эксперимента

Для определения способа трансляции физического адреса при формировании сигналов выборки банка, выборки строки и столбца запоминающего массива применяется процедура замера времени обращения к динамической памяти по последовательным адресам с изменяющимся шагом чтения. Для сравнения времен используется обращение к одинаковому количеству различных ячеек, отстоящих друг от друга на определенный шаг. Результат эксперимента представляется зависимостью времени (или количества тактов процессора), потраченного на чтение ячеек, от шага чтения. Для проведения эксперимента необходимо задать изменяемые параметры:

Исходные данные

- размер линейки кэш-памяти верхнего уровня;
- объем физической памяти.

Результаты эксперимента

- количество банков динамической памяти;
- размер одной страницы динамической памяти;
- количество страниц в динамической памяти.

Проведение эксперимента

Изменяемые параметры:

- Максимальное расстояние между читаемыми блоками – 128;
- Шаг увеличения расстояния между читаемыми 4-х байтовыми ячейками – 64;
- Размер массива – 4;

Получим значения следующих величин:

$$B = \frac{T_1}{M}, \quad (2.1)$$

где B – количество банков; T_1 – минимальный шаг чтения динамической памяти, при котором происходит постоянное обращение к одному и тому же банку; M – объем данных, являющийся минимальной порцией обмена кэш-памяти верхнего уровня с оперативной памятью и соответствует размеру линейки кэш-памяти верхнего уровня

А также

$$S = \frac{T_2}{B}, \quad (2.2)$$

где B – количество банков; T_2 – соответствует расстоянию (в байтах) между началом двух последовательных страниц одного банка; S – количество секторов.

В результате эксперимента было получено, что $T_1 = 128$ и $T_2 = 65536$, тогда:

$$B = \frac{T_1}{M} = \frac{128}{128} = 1; \tag{2.3}$$

$$S = \frac{T_2}{B} = \frac{65536}{1} = 65536. \tag{2.4}$$

Заключение

В результате выполнения лабораторной работы были изучены принципы функционирования, построения и особенности архитектуры суперскалярных конвейерных микропроцессоров, были рассмотрены принципы проектирования и верификации сложных цифровых устройств с использованием языка описания аппаратуры SystemVerilog и ПЛИС.

На основе изученных материалов был найден способ оптимизации программы.

Поставленная цель достигнута.