

**Τ.Ε.Ι. ΚΡΗΤΗΣ
ΠΑΡΑΡΤΗΜΑ ΧΑΝΙΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ**

**ΣΗΜΕΙΩΣΕΙΣ ΣΤΟ ΜΑΘΗΜΑ
ΜΙΚΡΟΥΠΟΛΟΓΙΣΤΕΣ**

ΧΑΝΙΑ Οκτώβριος 2004

1

Ο microcontroller 8051

1.1 Γενικά

Τις τελευταίες δύο δεκαετίες έχει γίνει η εισαγωγή ενός τεχνολογικού επιτεύγματος που γοργά άλλαξε τον τρόπο με τον οποίο αναλύουμε και ελέγχουμε τον κόσμο γύρω μας.

Ο μικροεπεξεργαστής (microprocessor) ή "κομπιούτερ σε ένα τσιπ", δημιουργημένος από τις βελτιώσεις στην αρχιτεκτονική των υπολογιστών και την κατασκευή ολοκληρωμένων κυκλωμάτων πρωτοκατασκευάστηκε και κυκλοφόρησε στο εμπόριο το 1971 με τον 4004 (4-bit) από μία άγνωστη, τότε, εταιρεία με το όνομα Intel (Intel Corporation) που την ίδια χρονιά λανσάρησε τον 8080, τον πρώτο επιτυχημένο μικροεπεξεργαστή. Άλλες πιο καθιερωμένες εταιρείες ημιαγωγών, όπως η Motorola, η RCA και έπειτα η MCS Technology και η Zilog, σύντομα ακολούθησαν την πρωτοπόρο τεχνολογία της Intel, έτσι ώστε, σύντομα, στα τέλη της δεκαετίας του 70, κυκλοφορούσαν πάνω από έξι τύποι μικροεπεξεργαστών, ο 6800, ο 1801, ο 6502 και ο Z80 αντίστοιχα.

Η εξέλιξη των μικροεπεξεργαστών (microprocessors) ήταν οι μικροελεγκτές (microcontrollers). Οι ίδιες κατασκευαστικές και προγραμματιστικές τεχνικές ακολουθήθηκαν για τη δημιουργία των μικροελεγκτών. Αφού, λοιπόν, οι μικροεπεξεργαστές και οι μικροελεγκτές απορρέουν από την ίδια βασική ιδέα, κατασκευάστηκαν από τους ίδιους ανθρώπους και πωλούνται στους ίδιους σχεδιαστές και προγραμματιστές ποια η διαφορά τους;

Ο μικροεπεξεργαστής για να λειτουργήσει σαν ένα κομπιούτερ πρέπει να έχει πολλά πρόσθετα ψηφιακά μέρη, ενώ ο μικροελεγκτής μπορεί να λειτουργήσει και μόνος του. Γι' αυτό, άλλωστε, οι μικροεπεξεργαστές έχουν πολλές λειτουργικές εντολές (opcodes - operational codes) για τη μεταφορά δεδομένων από την εξωτερική μνήμη στη CPU, ενώ οι μικροελεγκτές μπορεί

να έχουν μία ή δύο. Έτσι, οι μικροεπεξεργαστές χαρακτηρίζονται για τις γοργές μετακινήσεις κώδικα και δεδομένων από εξωτερικές διευθύνσεις στο τσιπ ενώ οι μικροελεγκτές για τις γοργές μετακινήσεις bits μέσα στο ίδιο τσιπ.

Το 1975 η Intel κυκλοφόρησε το 8748, το πρώτο μέλος από την οικογένεια MCS-48™, το οποίο περιέχει πάνω από 17.000 transistors και μια CPU (1 KB EPROM, 64 bytes RAM, 27 I/O pins και έναν 8-bit timer). Το 1980 η Intel ανακοίνωσε την κυκλοφορία του 8051, του πρώτου μέλους της οικογένειας μικροελεγκτών MCS-51™ και του πιο χρήσιμου και ισχυρού από τους μικροελεγκτές των 8-bit.

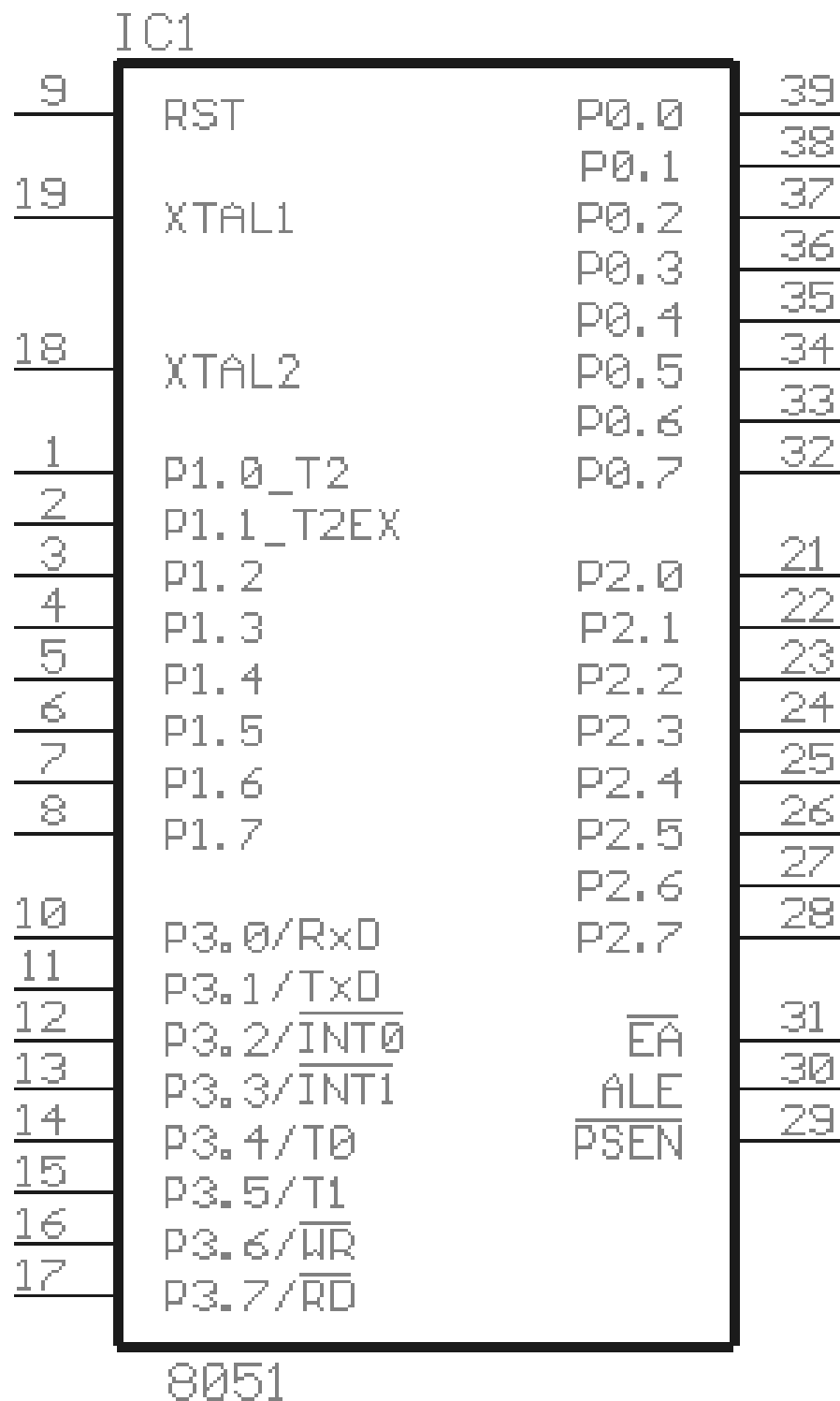
1.2 Η Αρχιτεκτονική του 8051

Ο 8051 έχει τα εξής χαρακτηριστικά:

- 4 Kbytes ROM
- 128 bytes RAM, η οποία περιλαμβάνει:
 - ✓ 4 register banks, που η κάθε μία περιέχει 8 registers
 - ✓ 16 bytes, τα οποία μπορούν να διευθυνσιοδοτηθούν σε επίπεδο bit (bit addressable)
 - ✓ 80 bytes μνήμης γενικού σκοπού (general - purpose data memory)
- 4 θύρες I/O των 8-bit (P0 έως P3)
- Δύο χρονιστές (timers) των 16-bit (T0 και T1)
- Σειριακό δέκτη/πομπό (serial data receiver/transmitter) ταυτόχρονα αμφίδρομο (full-duplex) - (SBUF)
- CPU των 8-bit με τους καταχωρητές A (accumulator) και B
- Απαριθμητή προγράμματος PC (program counter) και δείκτη δεδομένων DPTR (data pointer) των 16-bit
- Program Status Word PSW των 8-bit
- Δείκτη σωρού SP (stack pointer) των 8-bit
- Καταχωρητές ελέγχου (control registers): TCON, TMOD, SCON, PCON, IP και IE
- Δύο εξωτερικές και τρεις εσωτερικές πηγές interrupt
- Κυκλώματα ταλαντωτή και χρονιστή (oscillator and clock)

1.3 Τα pins του 8051

Τα 40 pins του 8051 φαίνονται στο παρακάτω σχήμα



Σχήμα 1.1 Τα pins του 8051

1.3.1 Port 0

Η θύρα 0 είναι διπλής κατεύθυνσης (bi-directional ή dual -purpose port) και βρίσκεται στα pins 32-39 του 8051. Στις μικρές σχεδιάσεις χρησιμοποιείται ως θύρα I/O γενικού σκοπού. Σε μεγαλύτερες σχεδιάσεις, που χρησιμοποιείται εξωτερική μνήμη με πολύπλεξη, γίνεται το low byte του address bus και data bus.

1.3.2 Port 1

Η θύρα 1 είναι μία αφιερωμένη I/O θύρα και βρίσκεται στα pins 1-8 του 8051. Τα pins της (Bit, P1.1, ..., P1.7) είναι διαθέσιμα αποκλειστικά για εξωτερικές συσκευές.

Άλλες εναλλακτικές λειτουργίες δεν έχουν δοθεί στα pins της θύρας 1

1.3.3 Port 2

Η θύρα 2 είναι διπλής κατεύθυνσης (bi-directional ή dual -purpose port) και βρίσκεται στα pins 21-28 του 8051. Χρησιμοποιείται ως θύρα I/O γενικού σκοπού.

Σε σχεδιάσεις που έχουν εξωτερική μνήμη κώδικα, ή πάνω από 255 bytes εξωτερική μνήμη δεδομένων, χρησιμοποιείται για το high byte του address bus.

1.3.4 Port 3

Η θύρα 3 είναι διπλής κατεύθυνσης (bi-directional ή dual -purpose port) και βρίσκεται στα pins 10-17 του 8051. Τα pins της έχουν πολλές λειτουργίες που μπορούν να ρυθμιστούν κάτω από τον έλεγχο διαφόρων "ειδικών" καταχωρητών (special function registers).

Οι εναλλακτικές χρήσεις των pins της θύρας 3 και οι "ειδικοί" καταχωρητές που τα επηρεάζουν, συνοψίζονται στον παρακάτω Πίνακα 1.1:

Bit	Ονομασία	Εναλλακτική Λειτουργία	SFR
P3.0	RxD	Λήψη δεδομένων σειριακά	SBUF
P3.1	TxD	Μετάδοση δεδομένων σειριακά	SBUF
P3.2	INT0	Εξωτερικό interrupt 0	TCON.1
P3.3	INT1	Εξωτερικό interrupt 1	TCON.3
P3.4	T0	Είσοδος εξωτερικού timer 0	TMOD
P3.5	T1	Είσοδος εξωτερικού timer 1	TMOD
P3.6	WR	Σήμα write για εξωτερική RAM	-
P3.7	RD	Σήμα read για εξωτερική RAM	-

Πίνακας 1.1. Τα pins του Port 3

ΣΗΜΕΙΩΣΗ:

Κάθε pin της θύρας 3 μπορεί να προγραμματιστεί ξεχωριστά είτε στην I/O είτε στην εναλλακτική του λειτουργία. Αυτό δεν συμβαίνει με τις θύρες 0 και 2 που τα pin τους μπορούν να προγραμματιστούν μόνο όλα μαζί ανά θύρα στην εναλλακτική τους λειτουργία (address - data bus)

1.3.5 PSEN (Program Store Enable)

Το σήμα εξόδου που δείχνει ότι επιτρέπεται η αποθήκευση του προγράμματος, βρίσκεται στο pin 29 και ονομάζεται PSEN (Program Store Enable). Ανήκει στην τετράδα σημάτων που αποκλειστικά ελέγχουν το bus (μαζί με τα ALE, EA και RST, που θα δούμε παρακάτω).

Το PSEN ενεργοποιεί την εξωτερική μνήμη προγράμματος (code) και συνδέεται στις EPROM στο pin τους OE (Output Enable) για να επιτρέψει το διάβασμα των bytes του προγράμματος.

Το σήμα PSEN, κατά τη μεταφορά της εντολής, είναι σε κατάσταση "low". Οι εντολές του προγράμματος (opcodes) διαβάζονται από την EPROM, μεταφέρονται μέσω του data bus και τοποθετούνται στον καταχωρητή εντολών (instruction register) για να αποκωδικοποιηθούν.

Όταν εκτελείται ένα πρόγραμμα που βρίσκεται στην εσωτερική ROM, το PSEN είναι σε "high" κατάσταση.

1.3.6 ALE (Address Latch Enable)

Το σήμα εξόδου ALE βρίσκεται στο pin 30 του 8051. Χρησιμοποιείται για την αποπλεξία του address από το data bus. Όταν η θύρα 0 χρησιμοποιείται με την εναλλακτική της λειτουργία (low byte του address bus και data bus) το ALE είναι το σήμα που επιτρέπει: να μεταφερθεί στο πρώτο μισό του κύκλου μνήμης η διεύθυνση σε έναν εξωτερικό καταχωρητή (σε ένα latch) και στη συνέχεια, στο δεύτερο μισό του κύκλου μνήμης επιτρέπει να μεταφερθούν τα δεδομένα (data).

Η συχνότητα του σήματος ALE είναι το 1/6 της συχνότητας του ταλαντωτή που συνδέεται στον 8051 και μπορεί να χρησιμοποιηθεί ως ένα clock γενικού σκοπού για το υπόλοιπο σύστημα.

Αν, για παράδειγμα, ο 8051 εργάζεται κάτω από το clock ενός κρυστάλλου (ταλαντωτή) 12 MHz, το σήμα ALE έχει συχνότητα 2 MHz. Η μόνη εξαίρεση είναι κατά τη διάρκεια της εντολής MOVX, όπου χάνεται ένας παλμός του σήματος ALE.

Επίσης, το pin του σήματος ALE χρησιμοποιείται για τον προγραμματισμό του σήματος εισόδου για EPROM εκδόσεις του 8051 (όπως ο 8751).

1.3.7 EA (External Access)

Το σήμα εισόδου EA βρίσκεται στο pin 31 και συνήθως είναι συνδεδεμένο είτε στα +5V, είτε στο ground, είναι, δηλαδή, είτε "high" είτε "low".

Αν είναι συνδεδεμένο στα +5V (high), ο 8051 εκτελεί προγράμματα από την εσωτερική ROM, αν βέβαια χωράνε στα 4K μνήμης.

Αν είναι συνδεδεμένο στο ground (low), το πρόγραμμα εκτελείται μόνο από την εξωτερική μνήμη (EPROM) και όχι από την εσωτερική ROM.

Στις versions με EPROM του 8051 το EA χρησιμοποιείται για τα 21V (V_{p-p}) προγραμματισμού της εσωτερικής EPROM.

1.3.8 RST (Reset)

Η είσοδος RST, που βρίσκεται στο pin 9, είναι το master reset του 8051.

Αν τεθεί για τουλάχιστον δύο κύκλους μηχανής high στους εσωτερικούς καταχωρητές του 8051, φορτώνονται οι κατάλληλες τιμές για το κανονικό start - up του συστήματος.

1.3.9 Ο Ταλαντωτής και Χρονιστής του 8051

Η καρδιά του 8051 είναι το κύκλωμα που δημιουργεί το clock κάτω από το οποίο συγχρονίζονται όλες οι εσωτερικές λειτουργίες.

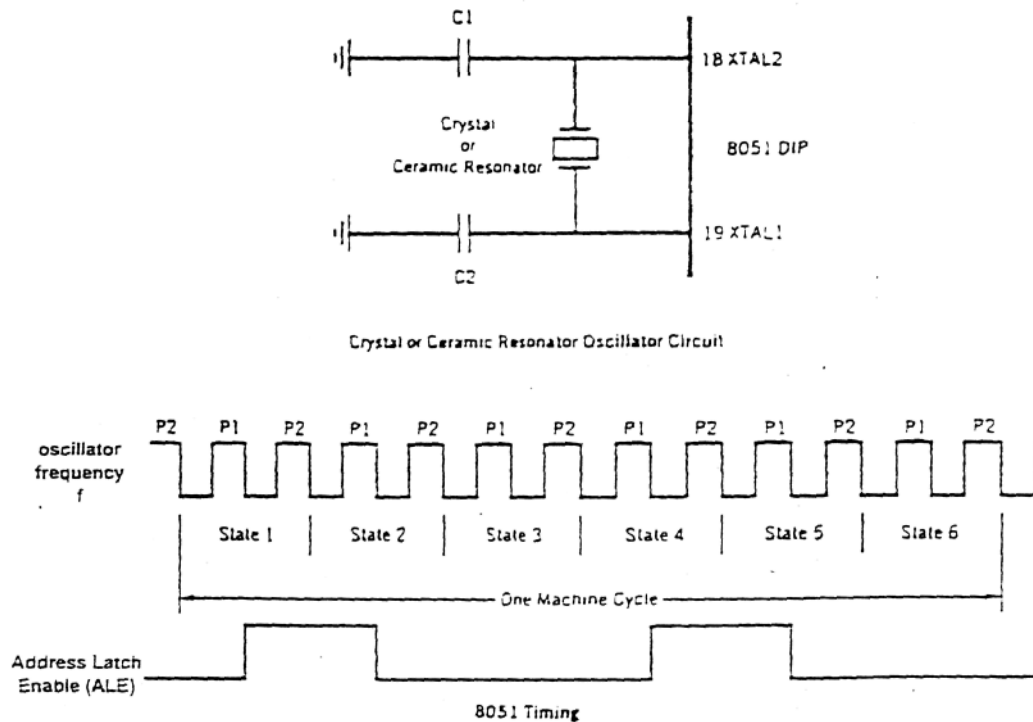
Αποτελείται συνήθως από έναν ταλαντωτή κρυστάλλου που συνδέεται στα pins 18 και 19 (XTAL1 και XTAL2).

Οι κατασκευαστές δίνουν minimum συχνότητα κρυστάλλου το 1 MHz και maximum τα 16 MHz, στην περιοχή των οποίων σχεδιάζονται τα κυκλώματα με τον 8051.

Οι minimum συχνότητες υποδηλώνουν ότι μερικές εσωτερικές μνήμες είναι δυναμικές και πρέπει πάντα να λειτουργούν πάνω από μία minimum συχνότητα, αλλιώς θα χάσουν τα data.

Συχνά οι επικοινωνίες υπαγορεύουν την συχνότητα του ταλαντωτή. Αυτό συμβαίνει, γιατί οι εσωτερικοί απαριθμητές πρέπει να διαιρέσουν το βασικό clock rate (ρυθμό ρολογιού) ώστε να αποδώσουν το standard baud rate των επικοινωνιών. Αν η βασική συχνότητα clock δεν μπορεί να διαιρεθεί και να δώσει ακέραιο αποτέλεσμα (έχει υπόλοιπο), τότε η συχνότητα που προκύπτει δεν ανήκει στις standard για επικοινωνίες.

Ο ταλαντωτής που αποτελείται από τον κρύσταλλο, τους πυκνωτές και τον inverter του microcontroller, παράγουν μία παλμοσειρά με τη συχνότητα του κρυστάλλου, όπως φαίνεται στο Σχήμα 1.2.



Σχήμα 1.2 (Το κύκλωμα του Ταλαντωτή)

Το μικρότερο διάστημα χρόνου, στο οποίο μπορεί να πραγματοποιηθεί η πιο απλή εντολή ή μέρος σύνθετης εντολής, είναι ο κύκλος μηχανής (machine cycle). Ο κύκλος μηχανής αποτελείται από έξι καταστάσεις (states). Οι καταστάσεις αυτές μπορεί να είναι μεταφορά ενός byte εντολής λειτουργίας (opcode byte), αποκωδικοποίηση μια εντολής λειτουργίας, εκτέλεση μίας εντολής λειτουργίας ή εγγραφή ενός byte δεδομένων (data byte). Η κάθε κατάσταση αποτελείται από δύο παλμούς του ταλαντωτή.

Οι εντολές προγράμματος (program instructions) μπορεί να απαιτούν ένα, δύο ή τέσσερις κύκλους μηχανής για να εκτελεστούν. Οι εντολές (instructions) μεταφέρονται και εκτελούνται από τον microcontroller αυτόματα ξεκινώντας από την εντολή που υπάρχει στη θέση μνήμης ROM 0000H μετά το πρώτο reset του microcontroller.

Για να υπολογίσουμε το χρόνο που χρειάζεται κάθε συγκεκριμένη εντολή για να εκτελεστεί (T_{instr}) εφαρμόζουμε τον τύπο:

$$T_{instr} = \frac{C \cdot 12}{CrystalFrequency} = \frac{C \cdot 12}{Fa}$$

όπου C οι κύκλοι μηχανής που απαιτούνται για την εκτέλεση μίας εντολής και Fa η συχνότητα του κρυστάλλου.

Για παράδειγμα, αν η συχνότητα κρυστάλλου είναι 16 MHz, τότε για την εκτέλεση της εντολής: ADD A,R1 (1 κύκλος μηχανής) χρειάζεται χρόνος 0,75 μ sec:

$$T_{instr} = \frac{C \cdot 12}{Fa} \Rightarrow T_{instr} = \frac{1 \cdot 12}{16 \cdot 10^6} \text{sec} \Rightarrow T_{instr} = 0.75 \mu\text{sec}$$

Αν η συχνότητα του κρυστάλλου είναι 12 MHz, τότε για την εκτέλεση εντολών έχουμε το χρόνο 1 μ sec/cycle και ούτω κάθε εξής

1.3.10 Οι συνδέσεις τροφοδοσίας

Για να λειτουργήσει ο 8051 συνδέουμε το pin 40 σε τροφοδοσία +5V (Vcc) και το pin 20 στο GND (Vss).

1.4 Η οργάνωση της μνήμης

Οι πιο πολλοί microprocessors εφαρμόζουν την αρχιτεκτονική Von Neuman για τη μνήμη, δηλαδή μία μοιρασμένη μνήμη για τα δεδομένα και τα προγράμματα. Αυτό είναι λογικό, γιατί τα προγράμματα συνήθως αποθηκεύονται σε ένα δίσκο και φορτώνονται στη RAM για εκτέλεση.

Όμως οι microcontrollers σπάνια χρησιμοποιούνται σαν CPU σε συστήματα computer. Τουναντίον, αποτελούν το κεντρικό εξάρτημα σε σχεδιάσεις ελέγχου: Υπάρχει περιορισμένη μνήμη και δεν υπάρχει σύστημα δίσκου ή δισκέτας. Το πρόγραμμα ελέγχου πρέπει να βρίσκεται στη ROM.

Γι' αυτό, ο 8051 εφαρμόζει την αρχιτεκτονική Harvard για τη μνήμη του: ξεχωριστή μνήμη για τα προγράμματα (κώδικας) και ξεχωριστή για τα δεδομένα. Μπορεί και ο κώδικας και τα δεδομένα να είναι εσωτερικά ή μπορούν να επεκταθούν, χρησιμοποιώντας εσωτερική μνήμη, πάνω από τα 64K μνήμης κώδικα και 64K μνήμης δεδομένων.

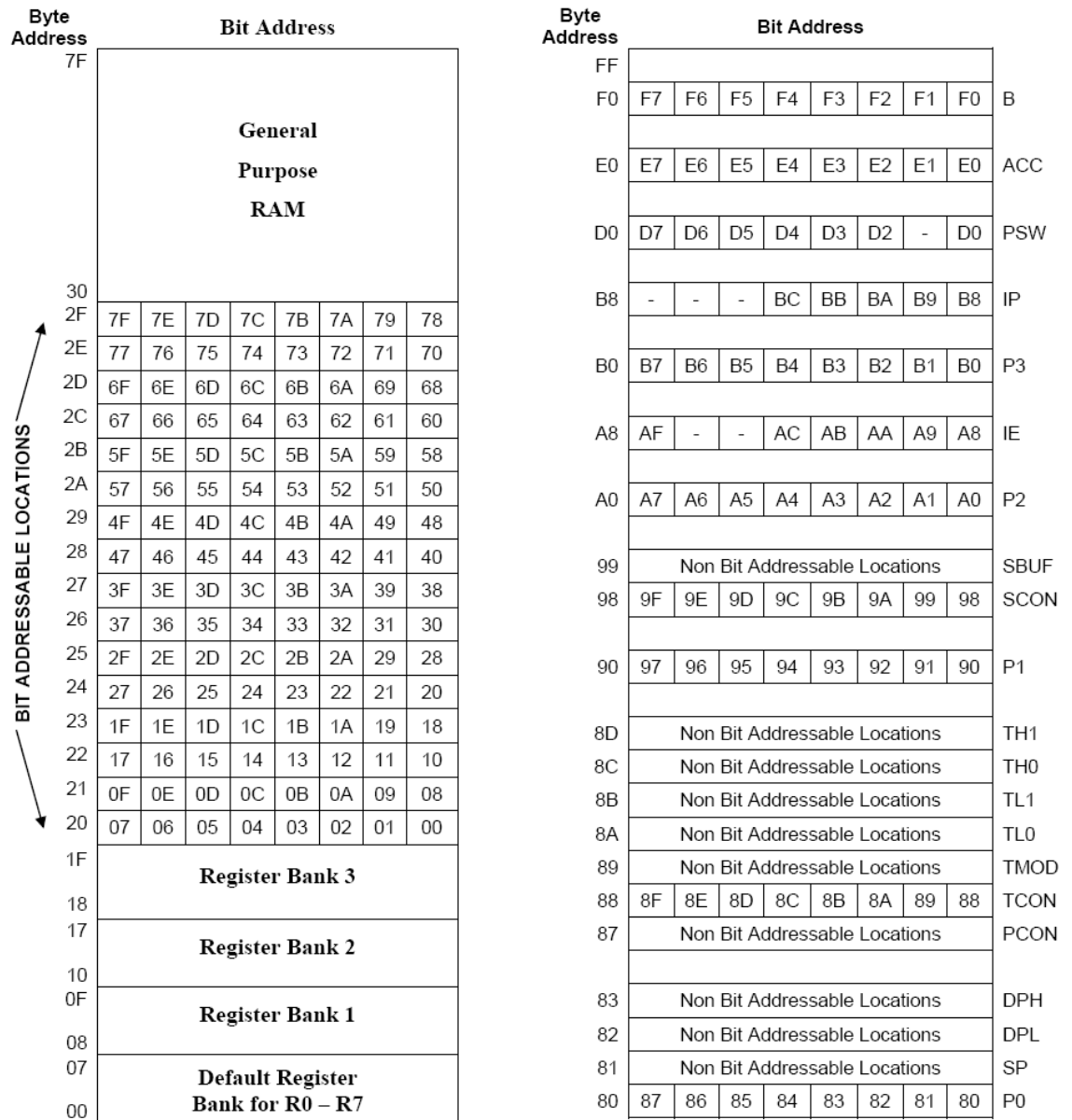
Η εσωτερική μνήμη αποτελείται από τη ROM και τη RAM που βρίσκονται πάνω στον 8051. Η RAM ταξινομείται σε RAM γενικού σκοπού (general purpose RAM), σε θέσεις bit-addressable, σε register banks και σε special function registers (βλέπε Σχήμα 1.3).

Δύο αξιοσημείωτα χαρακτηριστικά είναι:

- Οι καταχωρητές και οι θύρες I/O είναι memory - mapped και μπορούμε να έχουμε πρόσβαση σε αυτές, όπως σε κάθε άλλη θέση μνήμης.
- Ο σωρός (stack) βρίσκεται στην εσωτερική RAM και όχι στην εξωτερική, το οποίο βέβαια είναι χαρακτηριστικό των microprocessors.

Στο παρακάτω Σχήμα 1.3 φαίνεται λεπτομερειακά η δομή της μνήμης που βρίσκεται πάνω στον 8051. Όπως φαίνεται, η εσωτερική μνήμη χωρίζεται σε

register banks (00H-1FH), bit-addressable RAM (20H-2FH), RAM γενικού σκοπού (general purpose RAM) (30H-7FH) και καταχωρητών ειδικού σκοπού (special function registers) (80H-FFH).



Σχήμα 1.3 (Οργάνωση της εσωτερικής μνήμης του 8051)

1.4.1 RAM γενικού σκοπού

Στο παραπάνω Σχήμα 1.3 φαίνεται η RAM γενικού σκοπού στις θέσεις 30H έως 7FH (ήτοι 80 bytes συνολικά).

Παρ' όλο που η μνήμη στις θέσεις από 00H έως 2FH διατίθεται για άλλους σκοπούς (Register banks) μπορεί να χρησιμοποιηθεί και ως RAM γενικού σκοπού.

Κάθε θέση της RAM γενικού σκοπού μπορεί να χρησιμοποιηθεί με έμμεση ή άμεση διευθυνσιοδότηση (direct or indirect addressing mode).

Για παράδειγμα, για να διαβάσουμε το περιεχόμενο της διεύθυνσης 5FH της εσωτερικής RAM στον accumulator (συσσωρευτή) θα χρησιμοποιήσουμε την παρακάτω εντολή.

```
MOV  A,5FH
```

Η παραπάνω εντολή μεταφέρει άμεσα το περιεχόμενο της διεύθυνσης 5FH στον accumulator.

Επίσης, μπορούμε να έχουμε έμμεσα πρόσβαση στην εσωτερική RAM χρησιμοποιώντας έναν καταχωρητή R0 ή R1.

Για παράδειγμα, οι δύο παρακάτω εντολές επιφέρουν το ίδιο αποτέλεσμα με την παραπάνω μία εντολή:

```
MOV  R0,#5FH  
MOV  A,@R0
```

Η πρώτη εντολή μεταφέρει άμεσα την τιμή 5FH στον καταχωρητή R0. Η δεύτερη εντολή με έμμεση διευθυνσιοδότηση μεταφέρει στον accumulator το περιεχόμενο της διεύθυνσης που "δείχνει" ο καταχωρητής R0 (στη

συγκεκριμένη περίπτωση τη διεύθυνση 5FH).

1.4.2 Bit - addressable RAM

Ο 8051 περιέχει 210 bit - addressable θέσεις μνήμης, από τις οποίες οι 128 βρίσκονται στις διευθύνσεις από 20H έως 2FH και οι υπόλοιπες βρίσκονται στους καταχωρητές ειδικής λειτουργίας(special function registers).

Η ιδέα αυτής της πρόσβασης καθενός bit ξεχωριστά μέσω του software είναι ένα σπουδαίο χαρακτηριστικό των περισσοτέρων microcontroller. Τα bits μπορούν να τεθούν 1 ή 0, να εκτελεστούν πράξεις AND, OR, κ.λ.π., με μία μόνο εντολή.

Επιπλέον, οι I/O θύρες του 8051 είναι bit-addressable, πράγμα το οποίο απλοποιεί το software interface σε απλά bit εισόδου - εξόδου.

1.4.3 Register Banks

Οι 32 κάτω θέσεις της εσωτερικής μνήμης περιέχουν τις τέσσερις Register banks. Η κάθε register bank περιέχει 8 καταχωρητές (R0 έως R7). Μετά από reset του συστήματος αυτοί οι καταχωρητές βρίσκονται στις θέσεις από 00H έως 07H (bank 0).

Οι εντολές που χρησιμοποιούν τους καταχωρητές R0 έως R7 είναι συντομότερες και πιο γρήγορες από αυτές που χρησιμοποιούν άμεση διευθυνσιοδότηση για να επιτύχουν το ίδιο αποτέλεσμα. Όταν έχουμε δεδομένα που χρησιμοποιούνται συχνά, τότε πρέπει να χρησιμοποιούμε τους καταχωρητές.

Ποια register bank είναι ενεργοποιημένη, καθορίζεται από την Program Status Word PSW (καταχωρητής κατάσταση προγράμματος).

1.5 Καταχωρητές ειδικής Λειτουργίας (Special Function Registers – SFR)

Ο 8051 έχει 21 SFR special function registers (καταχωρητές ειδικής λειτουργίας) που βρίσκονται στην κορυφή της εσωτερικής RAM στις διευθύνσεις από 80H έως FFH. Από αυτές τις 128 θέσεις μνήμης ορίζονται μόνο οι 21 των SFR και κάθε καταχωρητής έχει τη δική του μοναδική διεύθυνση.

Εξαίρεση αποτελούν ο απαριθμητής προγράμματος PC (Program Counter) και ο καταχωρητής εντολών IR (instruction Register), γιατί αυτοί ρυθμίζονται από την ίδια τη CPU.

Οι περισσότεροι SFR ρυθμίζονται με άμεση διευθυνσιοδότηση. Άλλοι από αυτούς είναι bit- addressable και άλλοι byte - addressable.

1.5.1 Program Status Word

Ο PSW (καταχωρητής κατάσταση προγράμματος) βρίσκεται στη διεύθυνση D0H και περιέχει bits κατάστασης (status bits), όπως φαίνεται στον παρακάτω πίνακα:

Bit	Σύμβολο	Περιγραφή	Διεύθυνση
PSW.7	CY	Σημαία Κρατουμένου (Carry Flag)	D7H
PSW.6	AC	Βοηθητική Σημαία (Auxiliary Carry Flag)	D6H
PSW.5	F0	Σημαία 0	D5H
PSW.4	RS0	Επιλογή Τράπεζας Καταχωρητών bit 0	D4H
PSW.3	RS1	Επιλογή Τράπεζας Καταχωρητών bit 1	D3H
		00: Τράπεζα 0 01: Τράπεζα 1 10: Τράπεζα 2 11: Τράπεζα 3	
PSW.2	OV	Σημαία Υπερχείλησης (Overflow Flag)	D2H
PSW.1	-	Κρατημένη για Μελλοντική χρήση (Reserved)	D1H
PSW.0	P	Σημαία Ισοτιμίας (Parity Flag)	D0H

Πίνακας 1.2 (Program Status Word)

1.5.1.α Carry flag - Σημαία κρατουμένου

Η carry flag (CY) χρησιμοποιείται σε δύο περιπτώσεις α) στις αριθμητικές πράξεις και β) στις λογικές πράξεις (Boolean) ως καταχωρητής 1-bit.

Στις αριθμητικές πράξεις, αν το άθροισμα σε μία πρόσθεση είναι μεγαλύτερο από τα 8-bit που διατίθενται για την αποθήκευση του αποτελέσματος ή αν μετά από μία αφαίρεση υπάρχει κρατούμενο, τότε το carry flag τίθεται '1'. Για παράδειγμα, εάν ο accumulator περιέχει το FFH, τότε η εντολή:

ADD A, #1

βάζει στον accumulator το αποτέλεσμα 00H και θέτει "1" την carry flag στην PSW.

Στις λογικές πράξεις (Boolean instructions) το carry flag χρησιμοποιείται ως καταχωρητής 1-bit. Για παράδειγμα, η παρακάτω εντολή εκτελεί τη λογική πράξη AND μεταξύ του 25H και του carry flag:

ANL C, 25H

και το αποτέλεσμα αποθηκεύεται στο carry flag.

1.5.1.β Auxiliary Carry flag -Βοηθητική σημαία κρατουμένου

Όταν προσθέτουμε ποσά σε BCD κώδικα, η βοηθητική σημαία γίνεται "1", αν υπάρχει κρατούμενο από το τρίτο στο τέταρτο bit ή εάν το αποτέλεσμα στα λιγότερο σημαντικά ψηφία είναι μεταξύ 0AH έως 0FH (μεγαλύτερα του 9),

Εάν τα προστιθέμενα ποσά είναι στον BCD κώδικα, τότε η εντολή ADD πρέπει να ακολουθείται από την DA A για την περίπτωση που υπάρχουν αποτελέσματα μεγαλύτερα του 9.

1.5.1.γ Flag 0 - Σημαία 0

Η flag 0 (F0) είναι ένα bit γενικού σκοπού, διαθέσιμο για εφαρμογές του χρήστη.

1.5.1.δ Τα bits που επιλέγουν τη register bank

Τα RS0 και RS1 επιλέγουν τη register bank που είναι ενεργή. Μετά από ένα reset του συστήματος τα bits είναι 0. Μπορούν να αλλάξουν μέσω software. Για παράδειγμα, αν θέλουμε να θέσουμε ενεργή τη Register Bank 3:

SETB RS1

SETB RS0

1.5.1.ε Overflow flag - Σημαία υπερχείλισης

Η overflow flag (OV) τίθεται "1" μετά από μία ποσόθεση ή αφαίρεση στην περίπτωση που υπάρχει αριθμητική υπερχείλιση.

Όταν προσημασμένοι αριθμοί προστίθενται ή αφαιρούνται, το software μπορεί να ελέγχει το bit OV για να βλέπει αν το αποτέλεσμα βρίσκεται στο διάστημα από -128 έως +127. Τα αποτελέσματα που δεν βρίσκονται σε αυτό το διάστημα θέτουν το OV σε κατάσταση "1".

Σε μη προσημασμένους αριθμούς το bit OV αγνοείται.

1.5.1.στ Parity Bit-(P) ισοτιμίας

Το parity bit (P) τίθεται αυτόματα "0" ή "1" σε κάθε κύκλο μηχανής, έτσι, ώστε να υπάρχει άρτια ισοτιμία με τα bits του accumulator. Δηλαδή, το άθροισμα των bits του accumulator που είναι "1" με το parity bit να δίνει άρτιο αριθμό.

Για παράδειγμα, αν ο accumulator περιέχει το 10101101 B, το parity bit περιέχει το "1" (για να έχουμε άθροισμα 6 των bits που είναι "1").

Το parity bit χρησιμοποιείται στις ρουτίνες σειριακής επικοινωνίας, έτσι ώστε στη μετάδοση να υπάρχει ένα parity bit ή να ελέγχεται κατά τη διάρκεια της λήψης.

1.5.2 Καταχωρητής B

Ο καταχωρητής B βρίσκεται στη διεύθυνση F0H και χρησιμοποιείται μαζί με τον accumulator για τις αριθμητικές πράξεις του πολλαπλασιασμού και της διαίρεσης. Η εντολή MUL AB πολλαπλασιάζει τα 8 μη προσημασμένα bit των καταχωρητών A και B και τα 16 bit του αποτελέσματος αποθηκεύονται το low byte του στον A και το high byte του στον B.

Η εντολή DIV AB διαιρεί τον A δια τον B και αποθηκεύει το πηλίκο στον A και το υπόλοιπο στον B. Επίσης, ο καταχωρητής B μπορεί να χρησιμοποιηθεί ως καταχωρητής γενικού σκοπού (scratch pad). Είναι bit-addressable και τα bits του βρίσκονται στις διευθύνσεις F0H έως F7H.

1.5.3 Stack Pointer - Δείκτης σωρού

Ο δείκτης σωρού (SP) είναι ένας καταχωρητής των 8-bit και βρίσκεται στη διεύθυνση 81 H. Περιέχει τη διεύθυνση της εσωτερικής RAM των τρεχουσών δεδομένων στην κορυφή του σωρού (stack).

Η διεύθυνση που αποθηκεύεται στον καταχωρητή SP δείχνει τη θέση της εσωτερικής RAM που αποθηκεύτηκε το τελευταίο byte δεδομένων στο σωρό.

Ο σωρός λειτουργεί ως εξής:

- τα δεδομένα "στοιβάζονται" από κάτω προς τα πάνω
- όταν είναι να τοποθετηθούν data στο σωρό, ο SP αυξάνεται κατά ένα πριν την αποθήκευση, έτσι, ώστε ο σωρός να αυξάνεται όσο τοποθετούνται data.
- Όταν ανακτούνται data από το σωρό, το byte "διαβάζεται" από αυτόν και μετά ο SP ελαττώνεται κατά ένα, έτσι ώστε να δείχνει το επόμενο διαθέσιμο byte των αποθηκευμένων data (κορυφή του σωρού).

Ο σωρός του 8051 βρίσκεται στην εσωτερική του RAM, χρησιμοποιείται για τη γρήγορη αποθήκευση και ανάκτηση δεδομένων και περιορίζεται στις

διευθύνσεις που υπάρχει πρόσβαση με έμμεση διευθυνσιοδότηση, δηλαδή στα πρώτα 128 bytes.

Για παράδειγμα, για να αρχικοποιήσουμε ξανά τον SP με το σωρό να ξεκινάει από τα 60H, χρησιμοποιούμε την εξής εντολή:

MOV SP, #5FH

Χρησιμοποιούμε την τιμή 5FH, γιατί ο SP αυξάνεται κατά ένα πριν την πρώτη "push" λειτουργία (βλέπε παραπάνω).

Αυτό περιορίζει το σωρό στα 32 bytes, μια που η μεγαλύτερη διεύθυνση στην εσωτερική RAM είναι 7FH.

Πολλοί προγραμματιστές μπορεί να μην αρχικοποιήσουν τον stack pointer και να τον αφήσουν να έχει την ορισμένη του τιμή μετά από ένα reset του συστήματος. Τότε, ο SP έχει την τιμή 07H και τα πρώτα δεδομένα γράφονται στη διεύθυνση 08H.

Ο σωρός περιορίζεται στο μέγεθος της εσωτερικής RAM. Αν ο προγραμματιστής δεν προσέξει να περιορίσει το μέγεθος του (δίνοντας στον SP μια τιμή μεγαλύτερη των 07H), υπάρχει περίπτωση να προκληθεί επικάλυψη πολύτιμων data που βρίσκονται στις register banks, bit-addressable RAM και περιοχές scratch-pad RAM. Άρα, ο προγραμματιστής είναι υπεύθυνος για να μην επικαλύψει ο σωρός προκαθορισμένες περιοχές.

Συνήθως, ο σωρός τοποθετείται στις υψηλότερες θέσεις της εσωτερικής RAM με την κατάλληλη επιλογή τιμής του SP για την αποφυγή της επικάλυψης.

Στο σωρό έχουμε πρόσβαση αποκλειστικά με τις εντολές PUSH και POP, για την προσωρινή αποθήκευση και ανάκτηση δεδομένων, ή καλώντας

υπορουτίνες και γυρνώντας στο κυρίως πρόγραμμα με τις εντολές ACALL, LACALL και RET, RETI αντίστοιχα, για να Φυλάξουμε και να ανακτήσουμε τον Program Counter (PC) στο σωρό.

1.5.4 Data Pointer-Δείκτης δεδομένων

Ο data pointer (DPTR) είναι ένας καταχωρητής των 16-bit και αποτελείται από δύο καταχωρητές των 8-bit, τους DPH και DPL, που βρίσκονται στις διευθύνσεις 83H (DPH, high byte) και 82H (DPL, low byte). Ο DPTR χρησιμοποιείται για την πρόσβαση του εσωτερικού και εξωτερικού κώδικα (code) και των εξωτερικών δεδομένων (data).

Οι παρακάτω τρεις εντολές γράφουν την τιμή 55H στη διεύθυνση 1000H της εξωτερικής RAM.

```
MOV    A,#55H
MOV    DPTR, #1000H
MOVBX  @DPTR, A
```

Η πρώτη εντολή αποθηκεύει την τιμή 55H στον accumulator. Η δεύτερη, επίσης άμεσα, αποθηκεύει τα 16-bit των 1000H στον DPTR. Η τρίτη εντολή χρησιμοποιεί έμμεση διευθυνσιοδότηση για να τοποθετήσει το περιεχόμενο του accumulator (55H) στην εξωτερική RAM. Η διεύθυνση της εξωτερικής RAM βρίσκεται στον DPTR.

1.5.5 Port Registers - Καταχωρητές θυρών

Οι I/O θύρες του 8051 βρίσκονται στις διευθύνσεις:

80H η Port 0, 90H η Port 1, A0H η Port 2 και B0H η Port 3.

Οι θύρες 0, 2 και 3 μπορεί να μην είναι διαθέσιμες για I/O λειτουργία, εάν η σχεδίαση προβλέπει εξωτερική μνήμη, εξωτερικές συσκευές με interrupts ή σειριακή επικοινωνία. Αντιθέτως, τα pins P1.2 έως P1.7 είναι πάντα διαθέσιμα για I/O γραμμές γενικού σκοπού.

Όλες οι θύρες είναι bit-addressable.

1.5.6 Time Registers - Καταχωρητές χρονισμού

Ο 8051 περιέχει δύο 16-bit timer/counters που χρησιμοποιούνται για χρονισμό ή για απαρίθμηση κάποιου γεγονότος. Ο Timer 0 βρίσκεται στις διευθύνσεις 8AH (TL0, low byte) και 8CH (TH0, high byte). Ο Timer 1 βρίσκεται στις διευθύνσεις 8BH (TL1, low byte) και 8DH (TH1, high byte).

Ο χρονισμός καθορίζεται από έναν καταχωρητή που λέγεται TMOD (timer mode register = καταχωρητής καθορισμού τρόπου χρονισμού), βρίσκεται στη διεύθυνση 59H και από έναν άλλον, που λέγεται TCON (timer control register = καταχωρητής ελέγχου χρονισμού) και βρίσκεται στη διεύθυνση 88H. Μόνο ο TCON είναι bit-addressable.

Περισσότερα για τους timers αναφέρονται αναλυτικά στο Κεφάλαιο 3.

1.5.7 Interrupt Registers - Καταχωρητές διακοπής

Ο 8051 έχει πέντε πηγές interrupt και δύο επίπεδα προτεραιότητας.

Τα interrupts απενεργοποιούνται μετά από ένα reset του συστήματος και ενεργοποιούνται γράφοντας στον καταχωρητή ενεργοποίησης των interrupts (IE, Interrupt Enable Register), που βρίσκεται στη διεύθυνση A8H.

Το επίπεδο προτεραιότητας καθορίζεται μέσω του καταχωρητή προτεραιότητας των interrupts (IP, Interrupt Priority Register), που βρίσκεται στη διεύθυνση B8H.

Και οι δύο καταχωρητές είναι bit-addressable.

Περισσότερα για τα interrupts αναφέρονται αναλυτικά στο Κεφάλαιο 4.

1.5.8 Serial Port Registers - Καταχωρητές σειριακής θύρας

Ο 8051 περιέχει μία σειριακή θύρα για επικοινωνία με σειριακές συσκευές, όπως τερματικά ή modems ή για interface με άλλα ολοκληρωμένα κυκλώματα (IC) με σειριακό interface (A/D μετατροπείς, καταχωρητές ολίσθησης, μη πτητικές RAM, κ.λ.π.). Ένας καταχωρητής, ο Serial Buffer Register SBUF (σειριακός απομονωτής-καταχωρητής), που βρίσκεται στη διεύθυνση 99H, κρατά και τα data για μετάδοση και τα data από λήψη.

Γράφοντας στον SBUF φορτώνουμε data για μετάδοση. Διαβάζοντας τον SBUF παίρνουμε τα data που λάβαμε. Υπάρχουν πολλοί τρόποι λειτουργίας (modes) της σειριακής θύρας και προγραμματίζονται μέσω του bit-addressable καταχωρητή SCON - Serial Port Control Register (καταχωρητής ελέγχου σειριακής θύρας), που βρίσκεται στη διεύθυνση 98H.

Περισσότερα για τη λειτουργία της σειριακής θύρας αναφέρονται αναλυτικά στο Κεφάλαιο 5.

1.5.9 Power Control Register - Καταχωρητής ελέγχου ισχύος

Ο καταχωρητής ελέγχου ισχύος (PCON - Power Control Register) βρίσκεται στη διεύθυνση 87H και περιέχει διάφορα bit ελέγχου, τα οποία φαίνονται στον παρακάτω πίνακα:

Bit	Σύμβολο	Περιγραφή
7	SMOD	Bit που, όταν είναι σε κατάσταση “1” διπλασιάζει το Baud Rate στην Σειριακή Θύρα (Modes 1,2 & 3)
6	-	-
5	-	-
4	-	-
3	GF1	Σημαία Γενικού Σκοπού Bit 1
2	GF0	Σημαία Γενικού Σκοπού Bit 0
1	PD	Power Down. Όταν είναι “1” ενεργοποιεί το power down mode. Η μόνη έξοδος από αυτό είναι το RESET
0	IDL	Idle Mode. Όταν είναι “1” ενεργοποιεί το Idle mode. Η μόνη έξοδος από αυτό είναι ένα interrupt ή reset του συστήματος.

Πίνακας 1.3 (Power Control Register)

1.5.9.α Power Down Mode

Μια εντολή που θέτει "1" το bit PD θα πρέπει να είναι η τελευταία που θα εκτελεστεί πριν το power down mode.

Στο power down mode:

- Ο ταλαντωτής που βρίσκεται πάνω στο τσιπ σταματάει.
- Σταματούν όλες οι λειτουργίες.
- Διατηρείται το περιεχόμενο της RAM που βρίσκεται πάνω στο τσιπ.
- Τα pin των θυρών διατηρούν τη λογική τους κατάσταση.
- Τα ALE και PSEN μένουν σε "low" κατάσταση.

Η μόνη έξοδος από αυτό το mode είναι ένα reset του συστήματος (system reset).

Κατά τη διάρκεια του power down mode η Vcc μπορεί να ελαττωθεί μέχρι τα 2V. Πρέπει να φροντίσουμε έτσι, ώστε η Vcc να μην ελαττώνεται, παρά μόνο κατά τη διάρκεια ενός power down mode και να αυξάνουμε τη Vcc στα 5V για τουλάχιστον 10 κύκλους του ταλαντωτή, πριν το pin RST τεθεί σε κατάσταση "low" πάλι (τελειώσει το reset του συστήματος).

1.5.9.β Idle Mode

Μια εντολή που θέτει "1" το bit IDL θα πρέπει να είναι η τελευταία πριν το idle mode.

Στο idle mode:

- Το σήμα του εσωτερικού ρολογιού σταματά να πηγαίνει στη CPU, αλλά όχι στις λειτουργίες interrupt, timer και serial port.
- Η κατάσταση της CPU διατηρείται, όπως επίσης και τα περιεχόμενα όλων των καταχωρητών.
- Τα pins των θυρών διατηρούν τη λογική τους κατάσταση
- Τα ALE και PSEN μένουν σε "high" κατάσταση.

Η μόνη έξοδος από αυτό το mode είναι με οποιαδήποτε interrupt ή με ένα reset του συστήματος. Και οι δύο αυτές λειτουργίες θέτουν το bit IDL σε κατάσταση "0".

2

Εξωτερική μνήμη του 8051

2.1 Γενικά

Ο σχεδιασμός συστημάτων με τον 8051 δεν περιορίζεται στα μεγέθη της εσωτερικής RAM και ROM που είναι διαθέσιμες.

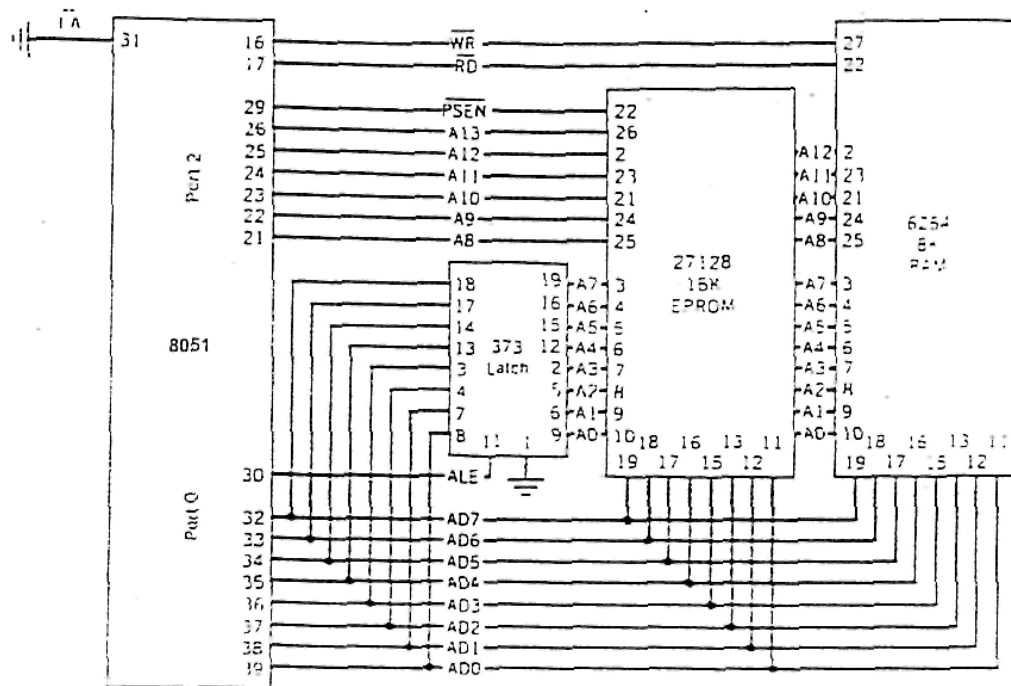
Μπορούν να επεκταθούν με δύο ξεχωριστές εξωτερικές μνήμες (ολοκληρωμένα), οι οποίες μπορούν να διαχειριστούν από τους 16-bit Program Counter (PC) και DPTR.

Επίσης, υπάρχουν στον 8051 διαφορετικά pins ελέγχου για να ενεργοποιούν τα εξωτερικά τσιπς ROM και RAM. Η αρχιτεκτονική της οικογένειας MCS-51™ επιτρέπει να συνδεθούν με τον 8051 εξωτερική μνήμη με μέγιστη χωρητικότητα 54K code memory και 64K data memory (RAM και ROM).

Επιπλέον, μπορούν να συνδεθούν περιφερειακά ολοκληρωμένα, ώστε να επεκταθεί η ικανότητα I/O. Αυτά γίνονται μέρος στο χώρο εξωτερικής μνήμης που διαχειρίζεται memory-mapped I/O.

2.2 Συνδέοντας την εξωτερική μνήμη

Στο παρακάτω Σχήμα 2.1 φαίνεται πώς συνδέεται ο 8051 με μία EPROM 16KB και μία static RAM 8K. Ο 8051 χρησιμοποιεί την εξωτερική μνήμη όταν εκτελούνται μερικές συγκεκριμένες εντολές.



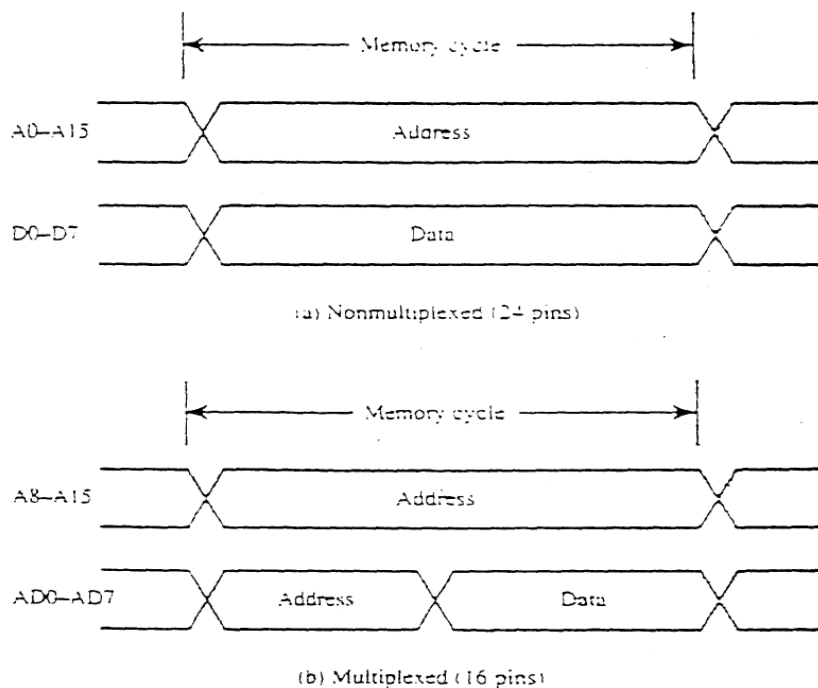
Σχήμα 2.1 (Συνδέοντας την εξωτερική μνήμη)

Πρόσβαση στην εξωτερική ROM έχουμε όταν το pin EA (External Access) συνδέεται στη γείωση ή όταν ο καταχωρητής PC περιέχει την τιμή μίας διεύθυνσης πιο μεγάλης από την τελευταία τιμή της εσωτερικής ROM των 4K, δηλαδή πάνω από 0FFFH. Αυτό συνεπάγεται ότι οι σχεδιασμοί με 8051 μπορούν να χρησιμοποιούν την εσωτερική και εξωτερική ROM αυτόματα.

Όταν χρησιμοποιείται εξωτερική μνήμη η θύρα 0 (P0) δεν λειτουργεί ως I/O. Γίνεται ένα πολυπλεγμένο address (A0-A7) και data (D0-D7) bus με το σήμα ALE να αποθηκεύει το low byte του address σε έναν εξωτερικό καταχωρητή, που λέγεται latch (συνήθως τύπου '373 data latch), στην αρχή κάθε κύκλου μηχανής και εξωτερικής μνήμης.

Δηλαδή, η P0 στο πρώτο μισό κάθε κύκλου μηχανής παρέχει το low byte της 16-bit memory address, το οποίο αποθηκεύει στο latch και στο δεύτερο μισό συμπεριφέρεται σαν ένα data bus διπλής κατεύθυνσης, για να αποθηκεύσει ή να διαβάσει ένα byte των memory data. Η θύρα 2 (P2) παρέχει το high byte της memory address κατά τη διάρκεια όλου του κύκλου read και write.

Για να κατανοήσουμε τη γενική ιδέα της πολύπλεξης του address με το data bus βλέπουμε το παρακάτω Σχήμα 2.2.



Σχήμα 2.2 (Πολύπλεξη του Address Bus με το Data Bus)

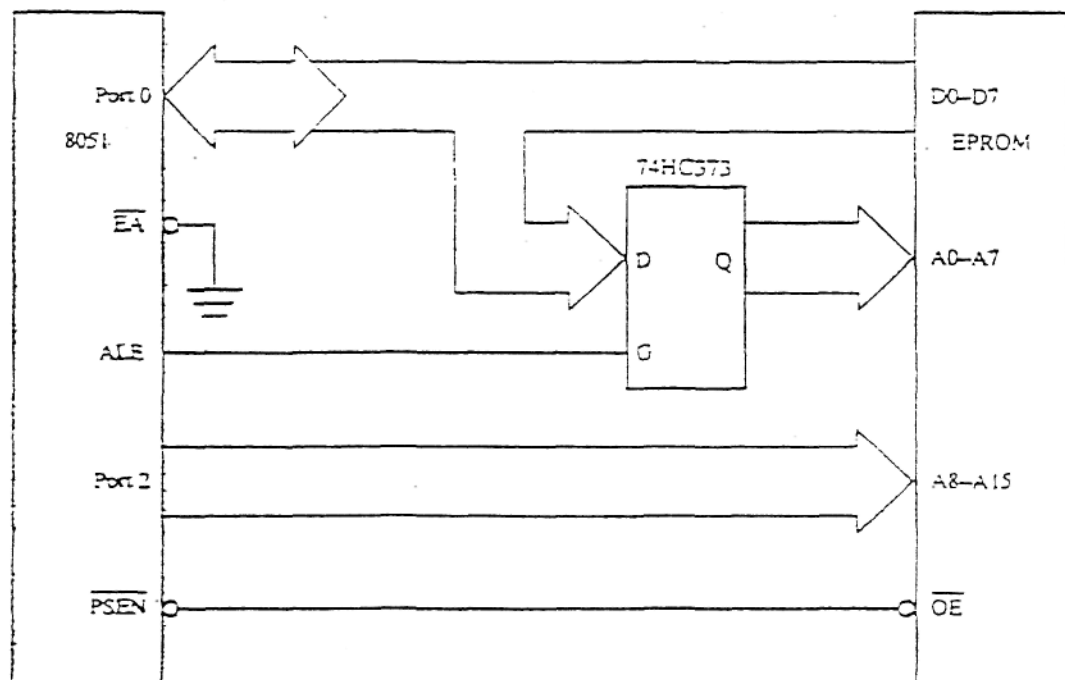
Μία μη πολυπλεγμένη διάταξη χρειάζεται 16 αφιερωμένες γραμμές για address και 8 αφιερωμένες γραμμές για data, σύνολο 24 pins. Με την πολύπλεξη πετυχαίνουμε να έχουμε 8 γραμμές data bus και το low byte του address bus και 8 γραμμές για το high byte του address bus, σύνολο 16 pins.

Αυτή η εξοικονόμηση pins επιτρέπει την παροχή άλλων λειτουργιών από ένα 40-pin DIP (Dual Inline Package).

2.3 Πρόσβαση στην εξωτερική μνήμη κώδικα (ROM)

Η εξωτερική μνήμη κώδικα είναι read-only και ενεργοποιείται με το PSEN σήμα. Όταν το PSEN (Program Store Enable) είναι low η ROM τοποθετεί ένα byte του κώδικα προγράμματος στο data bus.

Όταν χρησιμοποιείται εξωτερική EPROM οι θύρες 0 και 2 δεν χρησιμοποιούνται ως I/O γενικού σκοπού. Το πώς συνδέεται η εξωτερική EPROM με τον 8051 φαίνεται στο παρακάτω Σχήμα 2.3.



Σχήμα 2.3 (Η Εξωτερική Μνήμη Προγράμματος)

2.4 Πρόσβαση στην εξωτερική μνήμη δεδομένων (RAM)

Η εξωτερική μνήμη δεδομένων είναι read και write και ενεργοποιείται με τα σήματα RD και WR (εναλλακτικές λειτουργίες των pins 3.7 και 3.6 αντίστοιχα). Όταν τα RD (read) και WR (write) είναι low, επιτρέπουν στα data να μετακινούνται μεταξύ της RAM και του data bus.

Η μοναδική πρόσβαση στην εξωτερική μνήμη δεδομένων γίνεται με την εντολή MOVX, χρησιμοποιώντας τους καταχωρητές είτε τον 16-bit data pointer DPTR, είτε τους R0, R1 ως καταχωρητές διεύθυνσης.

Οι RAM ενώνονται με τον 8051 όπως ακριβώς και οι EPROM. εκτός από τη γραμμή RD, που συνδέεται με τη γραμμή output enable (OE) της RAM και η WR με την write (W) της RAM. Οι συνδέσεις για το address και το data bus είναι οι ίδιες, όπως για να συνδεθεί μία EPROM. Εάν χρησιμοποιούμε τις θύρες 0 και 2, όπως περιγράφησαν παραπάνω, τότε μπορεί να συνδεθεί στον 8051 εξωτερική RAM μέχρι 64K.

Αν χρησιμοποιούμε δύο static RAM μεγέθους 32K, αυτές μπορούν να συνδεθούν μέσω του A14 της θύρας 2. Τα πρώτα 32K RAM (0000H - 7FFFH) μπορούν να ενεργοποιούνται όταν το A15 της θύρας 2 είναι low και τα δεύτερα 32K RAM (8000H - FFFFH) όταν το A15 είναι high, χρησιμοποιώντας έναν inverter.

3

Λειτουργία των απαριθμητών και των χρονιστών (timers) του 8051

3.1 Γενικά

Ένας timer είναι μία σειρά divide-by-two flip-flops, η οποία λαμβάνει ένα σήμα εισόδου ως πηγή χρονισμού. Ο παλμός (clock) εφαρμόζεται στο πρώτο flip-flop, ο οποίος διαιρεί τη συχνότητα δια δύο. Η έξοδος από το πρώτο flip-flop εφαρμόζεται στο δεύτερο flip-flop, στο οποίο διαιρείται πάλι δια δύο και ούτω καθ' εξής. Αφού σε κάθε flip-flop η συχνότητα διαιρείται δια δύο, ένας timer με n flip-flops διαιρεί τη συχνότητα εισόδου δια 2^n . Η έξοδος του τελευταίου flip-flop εφαρμόζεται σε έναν flip-flop ή αλλιώς flag, το οποίο δείχνει την υπερχείλιση (overflow) του timer. Το flag ελέγχεται μέσω software ή δημιουργεί ένα interrupt. Η δυαδική τιμή στα flip-flops του timer μπορεί να θεωρηθεί μία τιμή του αριθμού παλμών (ή γεγονότων) από τότε που ξεκίνησε ο timer. Για παράδειγμα, ένας timer των 15-bit θα μετράει από το 0000H έως το FFFFH.

Σε πολλές εφαρμογές με microcontrollers απαιτείται η μέτρηση εξωτερικών γεγονότων, όπως, για παράδειγμα, της συχνότητας μίας παλμοσειράς ή της δημιουργία εσωτερικών χρονοκαθυστερήσεων (time delays) μεταξύ των λειτουργιών του συστήματος με μεγάλη ακρίβεια. Και οι δύο παραπάνω λειτουργίες μπορούν να επιτευχθούν με το software, αλλά τα loops του software με τα οποία μετράμε γεγονότα ή χρονίζουμε, απασχολούν τον επεξεργαστή, έτσι, ώστε άλλες λειτουργίες, πιο σημαντικές, ίσως να μην

εκτελούνται. Για να απαλλάξουμε τον επεξεργαστή από αυτό το βάρος υπάρχουν δύο timers/counters των 16-bit, ο T0 και ο T1, για γενικές χρήσεις του προγράμματος.

Οι timers χρησιμοποιούνται για:

- interval timing,
- event counting ή
- baud rate generation για την built-in serial port

Στις εφαρμογές με interval timing (χρονισμός ανά διαστήματα) ένας timer προγραμματίζεται να υπερχειλίζει σε τακτά διαστήματα και να θέτει την overflow flag. Η flag χρησιμοποιείται για να συγχρονίσει το πρόγραμμα, ώστε να εκτελέσει μία πράξη, όπως να ελέγξει την κατάσταση των εισόδων ή να στείλει data στις εξόδους. Σε άλλες εφαρμογές μπορεί να χρησιμοποιηθεί τον τακτό αυτό χρονισμό για να μετρηθεί ο χρόνος που πέρασε ανάμεσα σε δύο γεγονότα (π.χ. μέτρηση πλάτους παλμών).

Το event counting (η μέτρηση γεγονότων) χρησιμοποιείται για να βρούμε τον αριθμό εμφάνισης κάποιου γεγονότος, παρά να μετρήσουμε το χρόνο ανάμεσα σε δύο γεγονότα. Γεγονός λέμε κάθε εξωτερικό παράγοντα που μπορεί να προκαλέσει μια μεταβολή από "1" σε "0" σε ένα pin του 8051.

Οι timers μπορούν επίσης να αποτελέσουν ένα baud rate clock για την εσωτερική σειριακή θύρα του 8051.

Οι timers διαιρούνται σε δύο καταχωρητές των 8-bit, τα low (TL0, TL1) και τα high (TH0, TH1) bytes. Όλες οι λειτουργίες των timers ελέγχονται από τα bits καταχωρητών, που λέγονται TMOD - timer mode control register (καταχωρητής ελέγχου λειτουργίας timer) και TCON - timer control register (καταχωρητής ελέγχου timer) και από μερικές συγκεκριμένες εντολές προγράμματος.

Δηλαδή, οι timers του 8051 χειρίζονται 2 συνολικά από τους έξι special function registers που φαίνονται παρακάτω:

Timer Register	Διεύθυνση	Σκοπός	Bit-Addressable
TCON	88H	Έλεγχος	Ναι
TMOD	89H	Λειτουργία	Όχι
TL0	8AH	Timer 0 Low Byte	Όχι
TL1	8BH	Timer 1 Low Byte	Όχι
TH0	8CH	Timer 0 High Byte	Όχι
TH1	8DH	Timer 1 High Byte	Όχι

Πίνακας 3.1 (Timers Special Function Registers)

3.2 TMOD – Timer Mode Register

Ο καταχωρητής TMOD περιέχει δύο group των 4 bits τα οποία μπορούν να θέσουν τη λειτουργία για τους timers 0 και 1.

Bit	Όνομα	Timer	Περιγραφή
7	GATE	1	Gate Bit. Όταν είναι “1”, ο timer “τρέχει” μόνο αν το INT 1 είναι High.
6	C/T	1	Counter / Timer Select bit 1: Μετρητής Συμβάντων 0: Μετρητής Χρονικών Διαστημάτων
5	M1	1	Mode Bit 1 (βλέπε παρακάτω πίνακα)
4	M0	1	Mode Bit 0 (βλέπε παρακάτω πίνακα)
3	GATE	0	Gate Bit. Όταν είναι “1”, ο timer “τρέχει” μόνο αν το INT 0 είναι High.
2	C/T	0	Counter / Timer Select bit 1: Μετρητής Συμβάντων 0: Μετρητής Χρονικών Διαστημάτων
1	M1	0	Mode Bit 1 (βλέπε παρακάτω πίνακα)
0	M0	0	Mode Bit 0 (βλέπε παρακάτω πίνακα)

Πίνακας 3.2 (TMOD Register)

M1	M0	Mode	Περιγραφή
0	0	0	13-bit Timer Mode
0	1	1	16-bit Timer Mode
1	0	2	8-bit Auto Reload Mode
1	1	3	Split Timer Mode

Πίνακας 3.3 (Timers Modes)

Ο TMOD δεν είναι Bit addressable. Γενικά, Φορτώνεται με μια τιμή στην αρχή του προγράμματος (μέσω software) για την αρχικοποίηση της λειτουργίας του Timer. Από εκεί και πέρα ο Timer μπορεί να σταματήσει, να ξεκινήσει, κ.λ.π. μέσω των άλλων SFRs των Timers.

3.3 TCON – Timer Control Register

Ο καταχωρητής TCON περιέχει bits κατάστασης και ελέγχου για τους Timers 0 και 1. Για τα bits 0 έως 3 θα γίνει εκτενέστερη αναφορά στο κεφάλαιο 4.

Bit	Σύμβολο	Bit Address	Περιγραφή
TCON.7	TF1	8FH	Timer 1 overflow flag(Σημαία υπερχείλησης). Γίνεται “1” από το hardware μετά από ένα overflow. Γίνεται “0” από το software ή το hardware όταν εκτελείται η ρουτίνα εξυπηρέτησης διακοπής.
TCON.6	TR1	8EH	Timer 1 run control bit (Σημαία ελέγχου Timer 1). Γίνεται “1” ή “0” από το software για να τεθεί ο Timer εντός / εκτός λειτουργίας.
TCON.5	TF0	8DH	Timer 0 overflow flag(Σημαία υπερχείλησης). Γίνεται “1” από το hardware μετά από ένα overflow. Γίνεται “0” από το software ή το hardware όταν εκτελείται η ρουτίνα εξυπηρέτησης διακοπής.
TCON.4	TR0	8CH	Timer 0 run control bit (Σημαία ελέγχου Timer 0). Γίνεται “1” ή “0” από το software για να τεθεί ο Timer εντός / εκτός λειτουργίας.
TCON.3	IE1	8BH	Σημαία Εξωτερικού Interrupt 1. Γίνεται “1” όταν ανιχνευθεί μια μετάβαση από high σε low στο pin INT1
TCON.2	IT1	8AH	Σημαία καθορισμού, τύπου Interrupt 1. Γίνεται “0” ή “1” από το software για επιλογή edge / low level τύπου διακοπή για το INT1.
TCON.1	IE0	89H	Σημαία Εξωτερικού Interrupt 0. Γίνεται “1” όταν ανιχνευθεί μια μετάβαση από high σε low στο pin INT0
TCON.0	IT0	88H	Σημαία καθορισμού, τύπου Interrupt 0. Γίνεται “0” ή “1” από το software για επιλογή edge / low level τύπου διακοπή για το INT0.

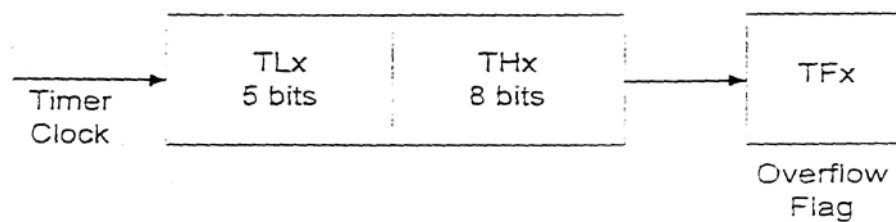
Πίνακας 3.4 (TCON Register)

3.4 Timer Modes και η overflow flag

3.4.1 13-Bit Timer Mode (Mode 0)

Το mode 0 είναι η λειτουργία ενός 13 bit timer, ο οποίος παρέχει συμβατότητα με τον πρόγονο του 8051, τον 8048. Συνήθως δεν χρησιμοποιείται στις νέες σχεδιάσεις.

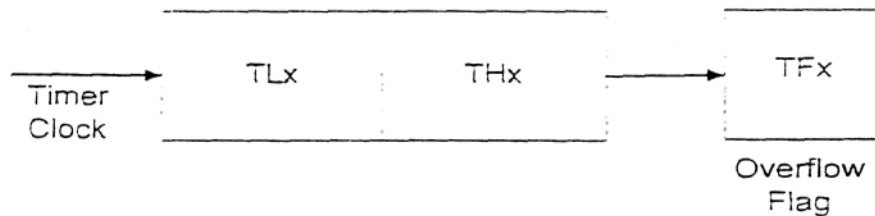
Στο Σχήμα 3.1 φαίνεται ότι το high byte (THx) και τα πέντε λιγότερο σημαντικά ψηφία του low byte (TLx) αποτελούν τον 13-bit timer. Τα τρία άλλα bits του low byte δεν χρησιμοποιούνται.



Σχήμα 3.1 (Mode 0)

3.4.2 16-Bit Timer Mode (Mode 1)

Το mode 1 είναι η λειτουργία ενός 16-bit timer. Το clock εφαρμόζεται στο συνδυασμό των καταχωρητών high και low του timer (TLx/THx). Καθώς λαμβάνονται οι παλμοί του clock ο timer μετρά από το 0000H, 0001 H, 0002H και πάνω. Ένα overflow εμφανίζεται κατά τη μετάβαση από το FFFFH ΣΤΟ 0000H και θέτει "high" την overflow flag του timer. Ο timer συνεχίζει να μετρά. Η overflow flag είναι το TFX bit στον καταχωρητή TCON που διαβάζεται ή γράφεται από το software.



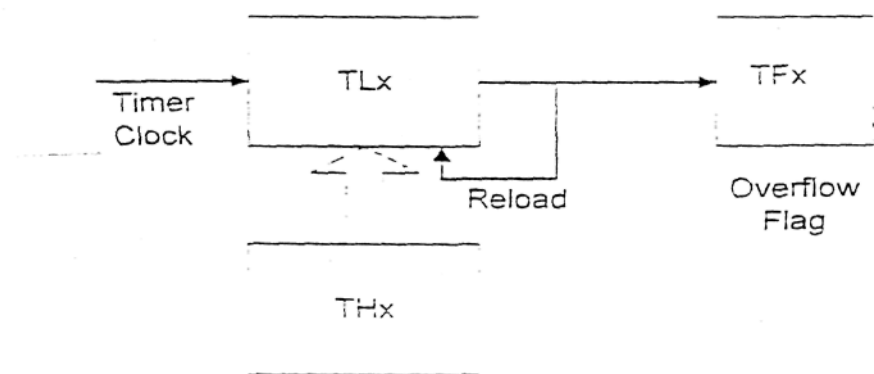
Σχήμα 3.2 (Mode 1)

Οι καταχωρητές των timers (TLx/THx) μπορούν να διαβάζονται ή να γράφονται μέσω software οποιαδήποτε χρονική στιγμή.

3.4.3 8-Bit Auto-Reload Mode (Mode 2)

Το mode 2 είναι η λειτουργία ενός timer 8-bit, ο οποίος αυτόματα φορτώνει μία τιμή. Το low byte του timer (TLx) λειτουργεί σαν έναν timer των 8-bit, ενώ στο high byte του timer (THx) είναι αποθηκευμένη μία τιμή. Όταν ο timer φτάσει στο FFH και μεταβεί στο 00H, η flag του timer γίνεται "1" και η τιμή που βρίσκεται στο THx αντιγράφεται στον TLx. Έπειτα, το μέτρημα αρχίζει από αυτή την τιμή έως την επόμενη από FFH σε 00H μετάβαση.

Αυτή η λειτουργία είναι βολική επειδή ο timer υπερχειλίζει σε ορισμένα τακτά διαστήματα. Ο TMOD και ο THx ορίζεται μία φορά, στην αρχή του προγράμματος.



Σχήμα 3.3 (Mode 2)

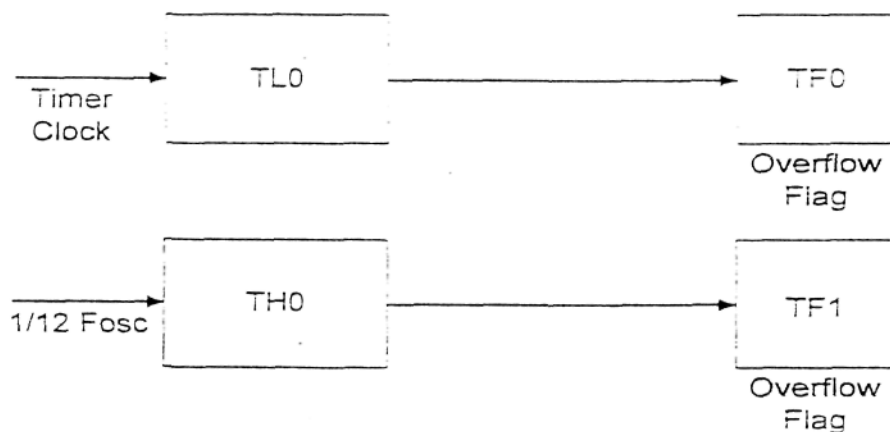
3.4.4 Split Timer Mode (Mode 3)

Το mode 3 είναι η "λειτουργία χωριστού timer" και είναι διαφορετική για κάθε timer. Στο mode 3 ο timer 0 χωρίζεται σε δύο timers των 8-bit Ο TL0 και ο TH0 λειτουργούν σαν δύο διαφορετικά timers με τις υπερχειλίσεις να θέτουν "1" τα bits TF0 και TF1 αντιστοίχως.

Ο timer 1 σταματάει στο mode 3, αλλά μπορεί να ξεκινήσει να δουλεύει σε άλλο mode. Ο μόνος περιορισμός που υπάρχει, είναι ότι η συνηθισμένη overflow flag του timer 1, TF1, δεν επηρεάζεται από τις υπερχειλίσεις του, αφού είναι συνδεδεμένη στον TH0.

Το mode 3 ουσιαστικά παρέχει έναν έξτρα timer των 8 bus. Έτσι, ο 8051 φαίνεται να έχει έναν τρίτο timer. Όταν ο timer 0 δουλεύει στο τρίτο mode, ο timer 1 μπορεί να "ανοιγοκλείνει", βάζοντας και βνάζοντάς τον στο δικό του mode 3.

Επίσης, μπορεί να χρησιμοποιηθεί από τη σειριακή θύρα σαν γεννήτρια baud rate ή με κάθε τρόπο που δεν απαιτούνται interrupts (αφού η TF1 δεν είναι διαθέσιμη).



Σχήμα 3.4 (Mode 3)

3.5 Clocking Sources

Παρακάτω θα συζητήσουμε πώς χρονίζονται οι timers. Υπάρχουν δύο πιθανές πηγές που μπορούν να επιλεγούν γράφοντας στον counter/timer (C/T) bit στον TMOD στην αρχή του προγράμματος. Η μία πηγή clocking χρησιμοποιείται για interval timing και η άλλη για event counting.

3.5.1 Interval timing

Αν $C/T = 0$, επιλέγουμε τη συνεχή λειτουργία του timer και ο timer τροφοδοτείται από τον ταλαντωτή που υπάρχει πάνω στο ολοκληρωμένο. Έπειτα προστίθεται ένα στάδιο διαίρεσης με το 12, για να μειωθεί η συχνότητα clocking σε μία τιμή λογική για όλες τις εφαρμογές.

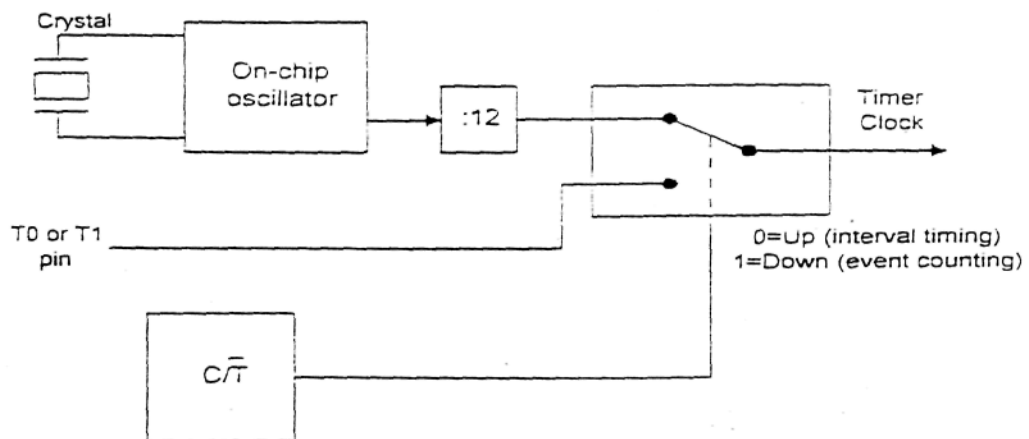
Όταν επιλέγεται η συνεχής λειτουργία, ο timer χρησιμοποιείται για interval timing. Οι timer registers (TLx/THx) αυξάνονται κατά ένα, με ρυθμό το $1/12$ της συχνότητας του ταλαντωτή, που βρίσκεται πάνω στο τσιπ. Για παράδειγμα, για έναν κρύσταλλο 12 MHz θα είχαμε ρυθμό 1 MHz.

Το overflow των timers εμφανίζεται μετά από ένα συγκεκριμένο αριθμό clocks, που εξαρτάται από την αρχική τιμή που αποθηκεύτηκε στους timer registers TLx και THx.

3.5.2 Event Counting

Αν $C/T = 1$, ο timer τροφοδοτείται από μία εξωτερική πηγή. Στις περισσότερες εφαρμογές αυτή η εξωτερική πηγή τροφοδοτεί τον timer με έναν παλμό με την εμφάνιση ενός "γεγονότος" -ο timer είναι απαριθμητής γεγονότων. Ο αριθμός γεγονότων προσδιορίζεται στο software με την ανάγνωση των timer registers TLx/THx , αφού η 15-bit τιμή σε αυτούς τους καταχωρητές αυξάνεται κατά ένα, με την εμφάνιση κάποιου γεγονότος.

Η πηγή του εξωτερικού clock συνδέεται στα pins της θύρας 3, που έχουν και εναλλακτικές λειτουργίες P3.4 και P3.5. Το τέταρτο bit της θύρας 3 (P3.4) εξυπηρετεί την εξωτερική είσοδο clocking για τον timer 0 (ή, αλλιώς, T0) και το P3.5 τον timer 1 (ή, αλλιώς, T1). Βλέπε Σχήμα 3.5.



Σχήμα 3.5 (Πηγή Χρονισμού)

Σε εφαρμογές απαρίθμησης (counter), οι καταχωρητές των timers αυξάνονται κατά ένα, όταν συμβεί μία μεταβολή από "1" σε "0" στην εξωτερική είσοδο, T_x . Η εξωτερική είσοδος δειγματοληπτείται κάθε S5P2 κάθε κύκλου μηχανής. Έτσι, όταν η είσοδος δείχνει "high" στον ένα κύκλο και "low" στον επόμενο, η αρίθμηση αυξάνεται κατά ένα. Η νέα τιμή φαίνεται στους timer registers κατά τη διάρκεια του S3P1 του κύκλου που ακολουθεί τον κύκλο στον οποίο συνέβη η μεταβολή.

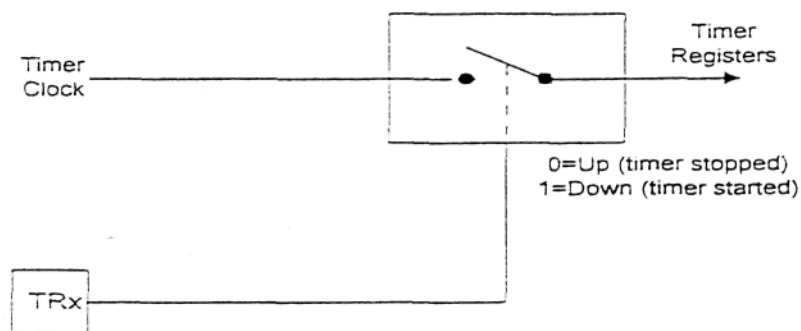
Αφού χρειάζονται δύο κύκλοι μηχανής (2 μsec) για να αντιληφθεί μία μεταβολή από "1" σε "0", η maximum εξωτερική συχνότητα είναι 500 KHz.

$$\frac{1}{2\mu\text{sec}} = 500\text{KHz}$$

αν φυσικά υποθέσουμε ότι έχουμε λειτουργία στα 12MHz.

3.6 Ξεκίνημα, σταμάτημα και έλεγχος των timers

Η πιο απλή μέθοδος για το ξεκίνημα και το σταμάτημα των timers είναι μέσω του bit ελέγχου TRx, που βρίσκεται στον TCON. Μετά από ένα reset του συστήματος το TRx τίθεται "0", γι' αυτό οι timers σταματάνε. Το TRx τίθεται "1" από το software για να ξεκινήσει τους timers (βλέπε Σχήμα 3.6) Επειδή ο TCON είναι bit-addressable, είναι εύκολο να ξεκινήσουμε και να σταματήσουμε τους timers μέσα σε ένα πρόγραμμα, θέτοντας το bit TRx "1" ή "0". Για παράδειγμα, ο timer 0 ξεκινάει με την εντολή SETB TR0 και σταματάει με την εντολή CLR TR0.



Σχήμα 3.6 (Ξεκίνημα και Σταμάτημα των Timers)

Μία άλλη μέθοδος ελέγχου των timers είναι με το GATE bit, που βρίσκεται στον TMOD και την εξωτερική είσοδο INTx. Θέτοντας το GATE=1, επιτρέπει στον timer να ελέγχεται από το INTx.

Αυτό είναι χρήσιμο για μετρήσεις διάρκειας παλμών:

Υποθέτουμε ότι το INTO είναι "low", αλλά για μία χρονική περίοδο που θέλουμε να μετρήσουμε είναι "high". Αρχικοποιούμε τον timer 0 για λειτουργία στο mode 2, 16-bit timer mode, με TL0/TH0 = 0000H, GATE=1 και TR0=1.

Όταν το INTO γίνεται "low", ο timer είναι "off" και η διάρκεια του παλμού σε msec είναι η μέτρηση στους TL0/TH0 (Το INTO μπορεί να προγραμματιστεί να δημιουργήσει ένα interrupt όταν γίνει "low").

3.7 Αρχικοποίηση και πρόσβαση στους timer registers

Οι timers συνήθως αρχικοποιούνται μία φορά στην αρχή του προγράμματος για να λειτουργούν στο σωστό mode. Έπειτα, μέσα στο πρόγραμμα οι timers μπορούν να σταματούν, ξεκινούν, να ελέγχονται τα flag bits και να θέτονται "0", να διαβάζονται οι timer registers ή να ενημερώνονται, κ.λ.π., ή ό,τι άλλο απαιτεί η εφαρμογή.

Ο TMOD είναι ο πρώτος καταχωρητής που αρχικοποιείται, μια που αυτός καθορίζει το mode λειτουργίας. Για παράδειγμα, η παρακάτω εντολή αρχικοποιεί τον timer 1 σαν έναν 16-bit timer (mode1), ο οποίος τροφοδοτείται από τον ταλαντωτή που βρίσκεται πάνω στο ολοκληρωμένο (interval timing):

```
MOV TMOD, #00010000B
```

Το αποτέλεσμα αυτής της εντολής είναι να θέσει τα M1=0 και M0=1 για το mode 1, τα C/T=0 και GATE=0 για interval clocking και να θέσει "0" τα mode bits του timer 0. Φυσικά, ο timer δεν ξεκινά το timing μέχρι το run control bit TR1 τίθεται "1".

Αν πρέπει να μετρήσουμε από την αρχή, τότε οι timer registers TL1 και TH1 πρέπει επίσης να αρχικοποιηθούν. Επειδή οι timers μετράνε προς τα πάνω και η overflow flag γίνεται "1" στη μεταβολή από FFFFH σε 0000H, για να δημιουργήσουμε ένα interval 100 μsec πρέπει να αρχικοποιήσουμε το TL1 και το TH1 100 μετρήσεις πριν το 0000H. Δηλαδή το μέτρημα πρέπει να ξεκινήσει από το FF9CH (0-100). Οι παρακάτω εντολές πραγματοποιούν το παραπάνω:

```
MOV TL1, #09CH ή MOV TL1, #low(-100)
```

```
MOV TH1, #0FFH ή MOV TH1, #High(-100)
```

Μετά ξεκινά ο timer με το run control bit:

```
SETB TR1
```

Η overflow flag τίθεται "1" μετά από 100 μsec.

Το software μπορεί να "περιμένει" σε μία wait loop, για 100 μ sec χρησιμοποιώντας μία υπορουτίνα, η οποία "επιστρέφει" στον εαυτό της για όσο διάστημα η overflow flag είναι "0":

```
WAIT:      JNB TF1,WAIT
```

Όταν ο timer υπερχειλίζει, είναι απαραίτητο να σταματήσουμε τον timer και να θέσουμε την overflow flag "0" στο software:

```
CLR  TR1  
CLR  TF1
```

3.7.1 Διαβάζοντας έναν timer πάνω στην εξέλιξη ενός γεγονότος ("on the fly")

Σε μερικές εφαρμογές είναι απαραίτητο να διαβάζουμε τις τιμές πάνω στην εξέλιξη ενός γεγονότος ("on the fly"). Υπάρχει ουσιαστικό πρόβλημα που γίνεται απλό με το να σώζεται από το software.

Αφού πρέπει και οι δύο timer registers να διαβαστούν, μπορεί να εμφανιστεί ένα σφάλμα φάσης (phase error), εάν το low byte υπερχειλίσει στο high byte κατά τη διάρκεια των δύο read λειτουργιών. Μπορεί να διαβαστεί μία τιμή, η οποία ποτέ δεν υπήρξε.

Η λύση είναι να διαβάσουμε πρώτα το high byte, έπειτα το low byte και μετά να διαβάσουμε ξανά το high byte. Εάν το high byte έχει αλλάξει, επαναλαμβάνουμε τις read λειτουργίες.

Παρακάτω βλέπουμε τις εντολές, οι οποίες εκτελούνται για να διαβάσουμε σωστά τα περιεχόμενα των timer registers TL1/TH1, μεταφέροντας τα στους καταχωρητές R6/R7.

```
AGAIN:    MOV    A, TH1
          MOV    R6, TL1
          CJNE   A, TH1, AGAIN
          MOV    R7, A
```

4

Interrupts

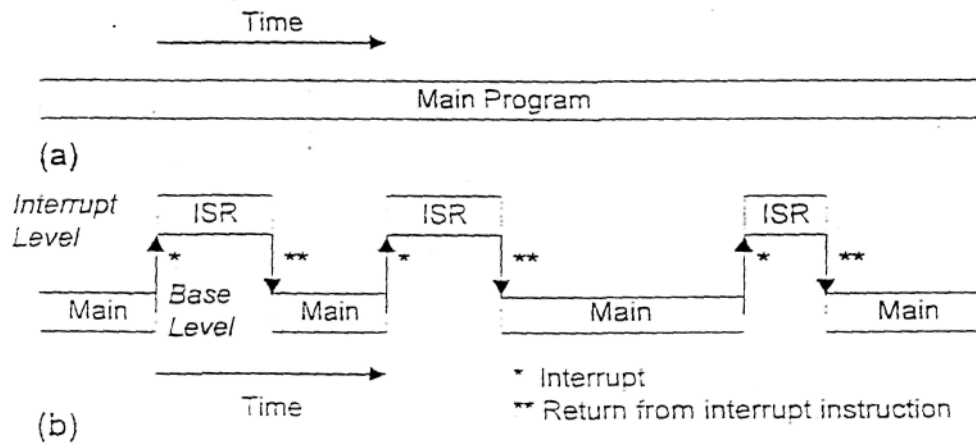
4.1 Γενικά

Ένα πρόγραμμα υπολογιστή έχει μόνο δύο τρόπους να προσδιορίσει τις συνθήκες που υπάρχουν σε εσωτερικά και εξωτερικά κυκλώματα. Η μία μέθοδος χρησιμοποιεί εντολές του software, με τις οποίες "πηδάει" (Jump) στις καταστάσεις των flags και στα pins των θυρών. Η δεύτερη ανταποκρίνεται σε σήματα του hardware, τα οποία λέγονται interrupts και εξαναγκάζουν το πρόγραμμα να εκτελέσει μία υπορουτίνα (sub-routine).

Οι τεχνικές του software καταναλώνουν το χρόνο του επεξεργαστή, ο οποίος θα μπορούσε να χρησιμοποιηθεί σε άλλες λειτουργίες. Τα interrupts παίρνουν το χρόνο του επεξεργαστή, μόνο όταν χρειάζονται ενέργειες του προγράμματος. Οι περισσότερες εφαρμογές με microcontrollers απαιτούν γρήγορη αντίδραση σε γεγονότα, ώστε να ελέγχεται το περιβάλλον που δημιουργεί αυτά τα γεγονότα (προγραμματισμός σε πραγματικό χρόνο -real-time programming). Συχνά τα interrupts είναι ο μόνος τρόπος με τον οποίο μπορεί να γίνει real-time προγραμματισμός.

Τα interrupts δημιουργούνται από λειτουργίες του επεξεργαστή ή από εξωτερικές πηγές. Το πρόγραμμα που εξυπηρετεί ένα interrupt λέγεται Interrupt Service Routine (ISR) ή Interrupt Handler και βρίσκεται σε μία προκαθορισμένη, από τους σχεδιαστές του 8051, διεύθυνση στην program memory. Η ISR εκτελείται ανταποκρινόμενη σε ένα interrupt και γενικά εκτελεί μία λειτουργία εισόδου ή εξόδου σε μία συσκευή.

Όταν εμφανιστεί ένα interrupt, το κυρίως πρόγραμμα αναβάλλει προσωρινά τη λειτουργία του και εξυπηρετεί το interrupt, πηγαίνοντας να εκτελέσει την ISR. Η ISR εκτελείται, παρέχει τη λειτουργία της και τερματίζεται με μία εντολή επιστροφής από το interrupt. Έπειτα, το κυρίως πρόγραμμα συνεχίζει να εκτελείται από το σημείο που είχε σταματήσει. Στο παρακάτω σχήμα (4.1) φαίνεται ότι το κυρίως πρόγραμμα εκτελείται σε base-level ή foreground και η ISR σε interrupt-level ή background.



Σχήμα 4.1 (a: πρόγραμμα χωρίς interrupts, b: πρόγραμμα με interrupts)

4.2 Η οργάνωση των interrupts του 8051

Υπάρχουν πέντε πηγές interrupt για τον 8051: δύο εξωτερικά interrupts (απο εξωτερικά σήματα που παρέχονται μέσω κυκλωμάτων στα INT0 και INT1 - P3.2 και P3.3), δύο timer interrupts (από τις flags των timer 0 και timer 1) και ένα interrupt από τη σειριακή θύρα (RI ή TI).

Όλα τα interrupts είναι απενεργοποιημένα, έπειτα από ένα reset του συστήματος και ενεργοποιούνται ξεχωριστά το κάθε ένα, μέσω software.

Στην περίπτωση που εμφανίζεται ένα interrupt ενώ εξυπηρετείται ένα άλλο, υπάρχουν μία σειρά ιεραρχίας (polling sequence) και ένα σχήμα προτεραιότητας δύο επιπέδων (two-level priority scheme) για να καθορίσουν ποιο interrupt θα εξυπηρετηθεί πρώτο. Η εκλογική σειρά των interrupts είναι προκαθορισμένη, ενώ τα επίπεδα προτεραιότητας τους είναι προγραμματιζόμενα.

4.2.1 Ενεργοποίηση και απενεργοποίηση των interrupts

Κάθε μία πηγή interrupt ενεργοποιείται ή απενεργοποιείται ξεχωριστά μέσω του bit-addressable special function register IE (Interrupt Enable) που βρίσκεται στη διεύθυνση 0A8H. Τα bits του καταχωρητή φαίνονται στον παρακάτω πίνακα:

Bit	Σύμβολο	Περιγραφή (1=Enable, 0=Disable)	Bit Address
IE.7	EA	Global enable/disable	AFH
IE.6			AEH
IE.5			ADH
IE.4	ES	Enable serial port interrupt	ACH
IE.3	ET1	Enable timer 1 interrupt	ABH
IE.2	EX1	Enable external 1 interrupt	AAH
IE.1	ET0	Enable timer 0 interrupt	A9H
IE.0	EX0	Enable external 0 interrupt	A8H

Πίνακας 4.1 (Interrupts Enable Register)

Τα bits στον IE καταχωρητή θέτονται "1" ή "0" εάν θέλουμε ή όχι να ανταποκριθούν σε πηγή interrupt. Το bit EA είναι ένα master ή global bit, το οποίο μπορεί να ενεργοποιήσει ή να απενεργοποιήσει όλα τα interrupts. Έτσι, όταν θέλουμε να ενεργοποιήσουμε ένα interrupt, χρειάζονται δύο bits να τεθούν στην κατάσταση "1": το bit EA (IE.7) και το bit του IE καταχωρητή που μας ενδιαφέρει [π.χ. το bit EX1 (IE.2), αν μας ενδιαφέρει το εξωτερικό interrupt 1].

Στους προγραμματιστές συνιστάται να χρησιμοποιούν τις εντολές "set bit" και "clear bit" για τον προγραμματισμό του καταχωρητή IE.

4.2.2 Προτεραιότητα των interrupts

Κάθε interrupt προγραμματίζεται ξεχωριστά μέσω των bits του καταχωρητή IP (Interrupt Priority) που καθορίζουν την προτεραιότητα των interrupts (high level ή low level priority). Ο IP βρίσκεται στη διεύθυνση 0B8H. Τα bits του καταχωρητή φαίνονται στον παρακάτω πίνακα:

Bit	Σύμβολο	Περιγραφή (1=Higher Level, 0=Lower Level)	Bit Address
IP.7	-	-	BFH
IP.6	-	-	BEH
IP.5	-	-	BDH
IP.4	ES	Priority for serial port interrupt	BCH
IP.3	ET1	Priority for timer 1 interrupt	BBH
IP.2	EX1	Priority for external 1 interrupt	BAH
IP.1	ET0	Priority for timer 0 interrupt	B9H
IP.0	EX0	Priority for external 0 interrupt	B8H

Πίνακας 4.2 (IP.Interrupts Priority Register)

Μετά από ένα reset του συστήματος όλα τα bits του καταχωρητή IP θέτονται "0" και, κατά συνέπεια, όλα τα interrupts στο lower priority level.

Η ιδέα των προτεραιοτήτων επιτρέπει μία ISR (Interrupt Service Routine) να διακοπεί, όταν εμφανιστεί ένα άλλο interrupt, μεγαλύτερης προτεραιότητας από αυτό που εκείνη τη στιγμή εξυπηρετείται. Στον 8051, όπως αναφέραμε και παραπάνω, υπάρχουν δύο επίπεδα προτεραιότητας (priority levels). Έτσι, όταν μία low-priority ISR εκτελείται και εμφανιστεί ένα high-priority interrupt, τότε η ISR διακόπτεται. Μία high-priority ISR δεν μπορεί να διακοπεί.

Αν συγχρόνως εμφανιστούν δύο interrupts, τότε εξυπηρετείται πρώτο εκείνο που έχει μεγαλύτερη προτεραιότητα (higher priority). Αν συγχρόνως εμφανιστούν δύο interrupts ίδιας προτεραιότητας, τότε ακολουθείται η παρακάτω σειρά ιεραρχίας:

1. IE0 - External interrupt 0
2. TF0-Timer0
3. IE1 - External Interrupt 1
4. TF1 -Timer 1
5. Serial - RI ή TI

Τα flag bits τα οποία προκαλούν interrupts φαίνονται στον παρακάτω πίνακα:

Interrupt	Flag	SFR register and bit position
External 0	IE0	TCON.1
External 1	IE1	TCON.3
Timer 1	TF1	TCON.7
Timer 0	TF0	TCON.5
Serial Port	TI	SCON.1
Serial Port	RI	SCON.0

Πίνακας 4.3 (Interrupt Flag Bits)

4.3 Η λειτουργία των interrupts του 8051

Όταν εμφανιστεί ένα interrupt και γίνει αποδεκτό από τη CPU, διακόπτεται το κυρίως πρόγραμμα και συμβαίνουν τα εξής:

- Εκτελείται η τρέχουσα εντολή του προγράμματος
- Ο PC (Program Counter) φυλάσσεται στο σωρό
- Η τρέχουσα κατάσταση interrupt σώζεται εσωτερικά
- Στον PC φορτώνεται η vector address (βλέπε σχετικά: Παράγραφο 4.3.1 και Πίνακα 4.4) της ISR
- Εκτελείται η ISR

Η ISR τελειώνει με την εντολή RETI (Return from Interrupt), με την οποία ανακτάται η προηγούμενη τιμή του PC από το σωρό (αυτή που είχε φυλαχτεί κατά την εμφάνιση του interrupt) και η εκτέλεση του κυρίως προγράμματος συνεχίζει από εκεί ακριβώς που σταμάτησε.

4.3.1 Interrupt Vectors

Όταν εμφανιστεί ένα interrupt στον PC φορτώνεται μία τιμή η οποία λέγεται interrupt vector. Είναι η διεύθυνση της αρχής της ρουτίνας ISR για την εξυπηρέτηση του συγκεκριμένου interrupt. Τα interrupt vectors φαίνονται στον παρακάτω πίνακα:

Interrupt	Flag	Vector Address
System Reset	RST	0000H
External 0	IE0	0003H
Timer 0	TF0	000BH
External 1	IE1	0013H
Timer 1	TF1	001BH
Serial Port	RI ή TI	0023H

Πίνακας 4.4 (Interrupts Vectors)

Περιλαμβάνουμε σε αυτόν τον πίνακα και το reset vector στη διεύθυνση 0000H, γιατί λειτουργεί ως interrupt: διακόπτει δηλαδή το κυρίως πρόγραμμα και φορτώνει στον PC με μία νέα τιμή.

Όταν δεχόμαστε ένα interrupt, η σημαία που προκάλεσε αυτό το interrupt αυτόματα τίθεται "0" από το hardware. Εξαίρεση αποτελούν οι RI και TI για interrupts της σειριακής θύρας.

Αφού τα interrupt vectors είναι στο τέλος της code memory, οι πρώτες εντολές του κυρίως προγράμματος συχνά είναι ένα jump πάνω από αυτή την περιοχή μνήμης, π.χ. LJMP 0030H. Αυτό γίνεται για να έχουμε σωστή οργάνωση της μνήμης και να μην χρησιμοποιούνται οι ίδιες διευθύνσεις για τις εντολές του προγράμματος και για τα interrupt vectors.

5

Λειτουργία της σειριακής θύρας

5.1 Γενικά

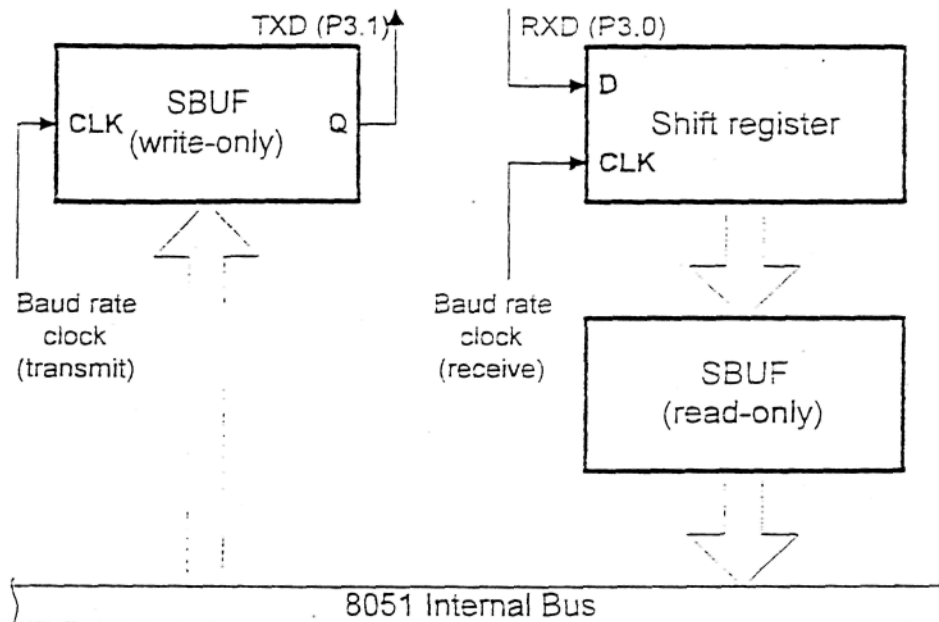
Ο 8051 περιλαμβάνει μία σειριακή θύρα η οποία μπορεί να λειτουργήσει με διάφορους τρόπους (modes) σε μια μεγάλη γκάμα συχνοτήτων. Η ουσιαστική λειτουργία της σειριακής θύρας είναι να παρέχει παράλληλη σε σειριακή μετατροπή των εξερχόμενων δεδομένων (output data) και σειριακή σε παράλληλη μετατροπή των εισερχόμενων δεδομένων (input data).

Η πρόσβαση του hardware στη σειριακή θύρα γίνεται μέσω των TxD και RxD pins, τα οποία παρουσιάστηκαν στο Κεφάλαιο 1. Αυτά τα pins είναι το 11 ή P3.1 (TxD) και το 10 ή P3.0 (RxD) και ανήκουν στη θύρα 3.

Η σειριακή θύρα παρέχει full duplex επικοινωνία (ταυτόχρονη μετάδοση και λήψη) και σειριακή επικοινωνία - receive buffering (λαμβάνουμε έναν χαρακτήρα και τον κρατάμε σε buffer ενώ λαμβάνουμε το δεύτερο). Αν η CPU "διαβάσει" τον πρώτο χαρακτήρα πριν ολοκληρωθεί η λήψη του δεύτερου, τότε τα δεδομένα δεν χάνονται.

Η σειριακή θύρα προγραμματίζεται μέσω δύο καταχωρητών ειδικής λειτουργίας (SFRs - Special Function Registers), τον SBUF και τον SCON. Ο καταχωρητής σειριακής θύρας (SBUF - Serial Port Buffer) στην πραγματικότητα αποτελείται από δύο καταχωρητές και βρίσκεται στη διεύθυνση 99H. "Γράφοντας" στον SBUF φορτώνουμε τα δεδομένα που θέλουμε να μεταδώσουμε και "διαβάζοντας" από αυτόν έχουμε πρόσβαση

στα λαμβανόμενα δεδομένα. Πρόκειται για δύο διαφορετικούς καταχωρητές: ο καταχωρητής μετάδοσης, write-only register και ο καταχωρητής λήψης, read-only register (βλ. Σχήμα 5.1).



Σχήμα 5.1 (Διαγραμμα της σειριακής θύρας)

5.2 Ο καταχωρητής ελέγχου της σειριακής θύρας

Η σειριακή επικοινωνία είναι σχετικά αργή και απαιτεί πολλά msec ανά byte δεδομένων για να επιτευχθεί. Για να μη δεσμεύεται ο πολύτιμος χρόνος του 8051, οι flags των σειριακών δεδομένων βρίσκονται στον καταχωρητή ελέγχου SCON με σκοπό να βοηθείται η ικανοποιητική μετάδοση και λήψη δεδομένων. Να σημειωθεί ότι η μετάδοση δεδομένων ελέγχεται πλήρως από το πρόγραμμα, αλλά η λήψη δεδομένων είναι απρόβλεπτη και σε τυχαία χρονικά διαστήματα και δεν ελέγχεται από το πρόγραμμα.

Έτσι, η λειτουργία της σειριακής θύρας του 8051 καθορίζεται από τον καταχωρητή ελέγχου SCON, ο οποίος βρίσκεται στη διεύθυνση 99H (βλ. Πίνακα 5.1 και 5.2).

Πριν τη χρήση της σειριακής θύρας πρέπει να αρχικοποιείται ο SCON στο σωστό mode. Για παράδειγμα, η παρακάτω εντολή:

```
MOV SCON, #01010010B
```

αρχικοποιεί τη σειριακή θύρα στο mode 1 (SM0/SM1 = 0/1), ενεργοποιεί τη λήψη (REN=1) και θέτει ένα την interrupt flag μετάδοσης (TI=1) για να δείξει ότι το σύστημα είναι έτοιμο για μετάδοση.

Bit	Σύμβολο	Bit address	Περιγραφή
SCON.7	SM0	9FH	Serial Port mode bit 0. (βλ. Πίνακα 5.2.)
SCON.6	SM1	9EH	Serial port mode bit 1. (βλ. Πίνακα 5.2.)
SCON.5	SM2	9DH	Serial port mode bit 2. Ενεργοποιεί την επικοινωνία του 8051 στα modes 2 και 3. Το RI δε θα ενεργοποιηθεί εάν το 9ο λαμβανόμενο bit είναι 0
SCON.4	REN	9CH	Receiver enable. Πρέπει να τίθεται "1 " για τη λήψη χαρακτήρων
SCON.3	TB8	9BH	Transmit bit 8. Είναι το 9ο bit που υεταδίδεται στα modes 2 και 3. Τίθεται "1" ή "0" μέσω software
SCON.2	RB8	9AH	Receive bit 8. Είναι το 9ο bit που λαμβάνεται
SCON.1	TI	99H	Transmit interrupt flag Τίθεται "1" στο τέλος του χαρακτήρα μετάδοσης. Τίθεται "0" μέσω software
SCON.0	RI	98H	Receive interrupt flag Τίθεται "1" στο τέλος του χαρακτήρα λήψης. Τίθεται "0" μέσω software

Πίνακας 5.1 (Καταχωρητής ελέγχου σειριακής θύρας)

5.3 Μετάδοση δεδομένων

Η μετάδοση bits σειριακών δεδομένων ξεκινάει οποιαδήποτε στιγμή που δεδομένα γράφονται στον καταχωρητή SBUF. Το TI τίθεται "1" όταν τα δεδομένα έχουν μεταδοθεί και δείχνει ότι ο SBUF είναι "άδειος" (για μετάδοση) και ότι μπορεί να σταλεί το επόμενο byte δεδομένων. Εάν το πρόγραμμα κάνει λάθος και πριν λάβει την TI flag, σβύσει το περιεχόμενο του SBUF, ενώ τα προηγούμενα δεδομένα είναι στη διαδικασία μετάδοσης, τα αποτελέσματα θα είναι απρόβλεπτα.

5.4 Λήψη δεδομένων

Η λήψη σειριακών δεδομένων θα ξεκινήσει εάν το bit receive enable (REN) που βρίσκεται στον καταχωρητή SCON είναι "1". Επιπλέον, μόνο για το mode 0, πρέπει το RI να τεθεί "0". Σε όλα τα modes λειτουργίας η receiver interrupt flag RI τίθεται "1" μετά από την λήψη των δεδομένων. Με τον καθαρισμό του REN περιορίζουμε άμεσα τη λήψη απροσδόκητων δεδομένων. Η απαίτηση να είναι επίσης το RI "0" για το mode 0 εμποδίζει τη λήψη νέων δεδομένων μέχρι το πρόγραμμα να διαχειριστεί τα παλιά δεδομένα και να κάνει reset στο RI.

Στα modes 1, 2 και 3 η λήψη μπορεί να αρχίσει εάν όταν ξεκινήσει η σειρά των σειριακών bits το RI τεθεί "1". Στο RI πρέπει να έχει γίνει reset μέσω προγράμματος πριν τη λήψη του τελευταίου bit αλλιώς τα εισερχόμενα δεδομένα θα χαθούν. Τα εισερχόμενα δεδομένα δεν μεταφέρονται στον SBUF μέχρι τη λήψη του τελευταίου bit, έτσι ώστε η προηγούμενη λήψη να μπορεί να διαβαστεί από τον SBUF, ενώ λαμβάνονται νέα δεδομένα.

5.5 Modes Λειτουργίας

Η σειριακή θύρα του 8051 έχει 4 modes λειτουργίας και επιλέγονται βάζοντας "1" ή "0" στα bits SM1 και SM0 του καταχωρητή SCON (βλέπε Πίνακες 5.1 και 5.2).

Τα τρία modes λειτουργούν με ασύγχρονη επικοινωνία με κάθε χαρακτήρα που λαμβάνεται ή μεταδίδεται να πλαισιώνεται από ένα start bit και ένα stop bit. Έτσι, γίνεται εύκολη η λειτουργία με τη χρήση μίας τυπικής σειριακής θύρας RS232. Στο τέταρτο mode η σειριακή θύρα λειτουργεί σαν ένας απλός καταχωρητής ολίσθησης (Shift Register). Το κάθε mode περιγράφεται στους Πίνακες 5.1 και 5.2.

SM1	SM0	Mode	Περιγραφή
0	0	0	Shift Register Σταθερό Baud Rate (συχνότητα ταλαντωτή :12)
0	1	1	8-bit UART Μεταβλητό Baud Rate (εξαρτάται από τον timer)
1	0	2	9-bit UART Σταθερό Baud Rate (συχνότητα ταλαντωτή :12 ή :64)
1	1	3	9-bit UART Μεταβλητό Baud Rate (εξαρτάται από τον timer)

Πίνακας 5.2 (Τρόποι λειτουργίας σειριακής θύρας)

Τρόπος λειτουργίας σειριακής 0 - (Mode 0)

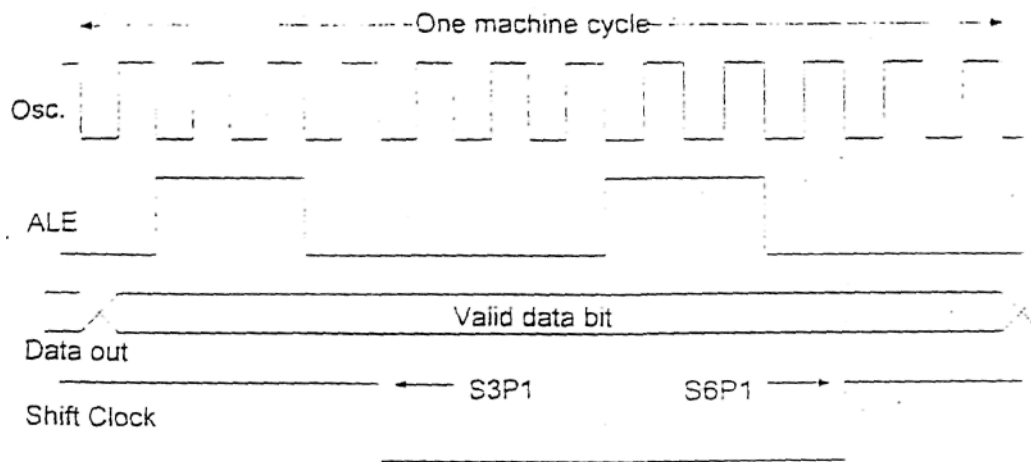
Καταχωρητής ολίσθησης 8-bit

Το mode 0 επιλέγεται με την εγγραφή "0" στα SM1 και SM0 του καταχωρητή SCON και εξαναγκάζει τη σειριακή θύρα να λειτουργεί σε ένα 8-bit shift register mode. Τα σειριακά δεδομένα "μπαίνουν" και "βγαίνουν" μέσω της γραμμής RxD και η TxD παράγει το shift clock. Μεταδίδονται ή λαμβάνονται 8 bits με πρώτο το λιγότερο σημαντικό ψηφίο (LSB). Το baud rate ρυθμίζεται στο 1/12 του ταλαντωτή που βρίσκεται πάνω στο ολοκληρωμένο.

ΣΗΜΕΙΩΣΗ:

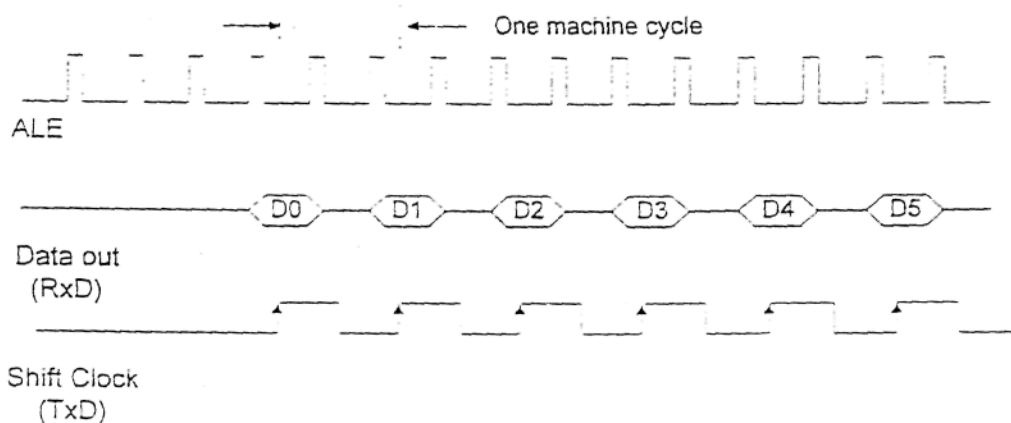
Σε αυτό το mode λειτουργίας χρησιμοποιούνται διαφορετικά οι όροι RxD και TxD. Η γραμμή RxD χρησιμοποιείται για λήψη και μετάδοση δεδομένων και η γραμμή TxD εξυπηρετεί το clock.

Η μετάδοση ξεκινάει με οποιαδήποτε εντολή η οποία γράφει δεδομένα στον SBUF. Τα δεδομένα ολισθαίνουν από τη γραμμή RxD (P3.0) με τους παλμούς του clock να στέλνονται από τη γραμμή TxD (P3.1). Κάθε μεταδιδόμενο bit βρίσκεται στο RxD pin για έναν κύκλο μηχανής. Κατά τη διάρκεια ενός κύκλου μηχανής το σήμα του clock γίνεται "low" στο S3P1 και γίνεται "high" στο S6P1. Ο χρονισμός για τα μεταδιδόμενα δεδομένα φαίνεται στο Σχήμα 5.2.



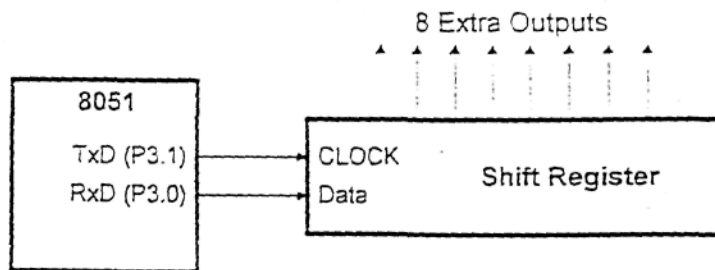
Σχήμα 5.2

Η λήψη ξεκινά όταν το receiver enable bit (REN) είναι "1" και το receive interrupt bit (R1) είναι "0". Ο γενικός κανόνας είναι να θέσουμε "1" το REN στην αρχή του προγράμματος για να αρχικοποιήσουμε τη σειριακή θύρα και όταν θέλουμε να ξεκινήσουμε μία λειτουργία λήψης (εισόδου) δεδομένων τότε να θέσουμε το R1 "0". Όταν το R1 τεθεί "0", παλμοί clock φεύγουν από τη γραμμή TxD, αρχίζει ο επόμενος κύκλος μηχανής και τα δεδομένα προωθούνται μέσω clock στη γραμμή RxD. Είναι φανερό ότι η παροχή δεδομένων από τη γραμμή RxD, σε συγχρονισμό με το clock της γραμμής TxD, εξαρτάται από το υπόλοιπο κύκλωμα, στο οποίο είναι συνδεδεμένος ο 8051 (βλέπε Σχήμα 5.3).



Σχήμα 5.3

Μια συνηθισμένη εφαρμογή του shift register mode είναι η επέκταση των εξόδων του 8051. Αυτό γίνεται συνδέοντας στις γραμμές TxD και RxD του 8051 έναν καταχωρητή - ολισθητή τύπου SIPO (serial-to-parallel shift register). Έτσι, έχουμε 8 έξτρα γραμμές εξόδου (βλέπε Σχήμα 5.4). για Για επιπλέον επέκταση μπορούν να συνδεθούν και άλλοι shift registers σε σειρά με τον πρώτο.



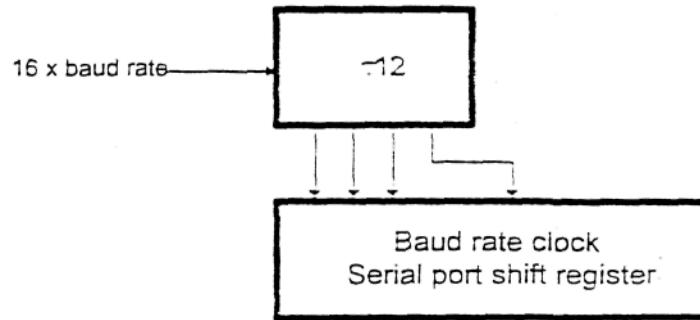
Τρόπος λειτουργίας σειριακής 1 - (Mode 1)**UAR7 8-bit με μεταβλητό Baud Rate**

Στον τρόπο λειτουργίας 1 η σειριακή θύρα του 8051 συμπεριφέρεται ως ένα UART (Universal Asynchronous Receiver/Transmitter) 8-bit με μεταβλητό baud rate.

Το UART είναι μία συσκευή η οποία λαμβάνει και μεταδίδει σειριακά δεδομένα πλαισιωμένα από ένα start bit (low) και ένα stop bit (high). Μερικές φορές υπάρχει και ένα parity bit μεταξύ του τελευταίου bit των δεδομένων και του stop bit. Η ουσιαστική λειτουργία ενός UART είναι η μετατροπή των δεδομένων εξόδου από παράλληλα σε σειριακά και των δεδομένων εισόδου από σειριακά σε παράλληλα.

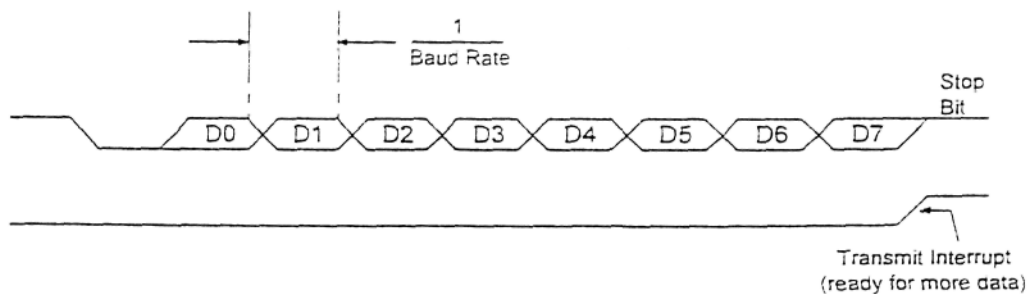
Στο mode 1, 10 bits μεταδίδονται στη γραμμή TxD ή λαμβάνονται στη γραμμή RxD. Αυτά τα bit περιλαμβάνουν ένα start bit (πάντα 0), 8 bits δεδομένων (με πρώτο το LSB) και ένα stop bit (πάντα 1). Κατά τη λήψη δεδομένων το stop bit αποθηκεύεται στο RB8 του καταχωρητή SCON. Στον 8051 το baud rate καθορίζεται από το overflow rate του timer 1.

Στα modes 1, 2 και 3 το clocking και ο συγχρονισμός των καταχωρητών ολίσθησης της σειριακής θύρας (serial port shift registers) καθορίζεται από έναν απαριθμητή 4-bit διαιρούμενου με το 16 (divide-by-16). Η έξοδος αυτού του απαριθμητή είναι το baud rate clock (βλέπε Σχήμα 5.5.). Η είσοδος σε αυτόν τον απαριθμητή επιλέγεται μέσω software, όπως θα δούμε παρακάτω.



Σχήμα 5.5 (Serial Port Clocking)

Η μετάδοση ξεκινάει με την εγγραφή στον καταχωρητή SBUF, αλλά δεν ενεργοποιείται αμέσως μέχρι την επόμενη απαρίθμηση του divide-by-16 counter, ο οποίος καθορίζει το baud rate της σειριακής. Τα δεδομένα εξέρχονται από τη γραμμή TxD με πρώτο το start bit, ακολουθούν τα 8 bits δεδομένων και έπειτα το stop bit. Η περίοδος για το κάθε bit είναι το αντίστροφο του baud rate (το οποίο έχει ρυθμιστεί από τον timer). Η transmit interrupt flag (T1) τίθεται ένα μόλις το stop bit φτάσει στη γραμμή TxD (βλέπε Σχήμα 5-6).



Σχήμα 5.6

Η λήψη ξεκινάει με μία μετάβαση από την "1" στην "0" κατάσταση στη γραμμή RxD. Ο απαριθμητής divide-by-16 αμέσως κάνει reset και έτσι συγχρονίζει τις απαριθμήσεις με την εισερχόμενη σειρά bit (το επόμενο bit φτάνει στην επόμενη απαρίθμηση του counter, κ.ο.κ.).

Ο δέκτης ανιχνεύει το start bit ως εξής: ανιχνεύει μία κατάσταση "1" (το start bit) και μετά από 8 απαριθμήσεις τη μετάβαση από την "1" στην "0" κατάσταση. Αν αυτό δεν εμφανιστεί, σημαίνει ότι ο δέκτης ενεργοποιήθηκε από θόρυβο και όχι από κάποιον χαρακτήρα μετάδοσης. Έπειτα, γίνεται reset στο δέκτη, ο οποίος σε κατάσταση "idle" περιμένει την επόμενη μετάβαση από "1" σε "0".

Όταν εμφανιστεί μια κατάσταση "0", η οποία είναι πράγματι το start bit, ξεκινάει η λήψη. Το start bit παραλείπεται και αφού τα 8 bits δεδομένων τοποθετούνται στον καταχωρητή-ολισθητή της σειριακής (serial port shift register), συμβαίνουν τα εξής:

- Το 9ο bit (to stop bit) τοποθετείται στο RB8 του καταχωρητή SCON.
- Τα 8 bits δεδομένων μεταφέρονται στον SBUF και η receiver interrupt flag (R1) τίθεται "1".

Όλα αυτά, βέβαια, συμβαίνουν μόνο όταν ισχύουν οι δύο παρακάτω προϋποθέσεις:

- RI=0 (κατά τη διάρκεια της λήψης) και
- SM2=1 και το stop bit=1, ή SM2=0.

Η πρώτη προϋπόθεση εξασφαλίζει ότι έχει διαβαστεί ο προηγούμενος χαρακτήρας και μέσω software τέθηκε R1=0. Η δεύτερη προϋπόθεση, ενώ ακούγεται μπερδευμένη, εξασφαλίζει ότι δεν υπάρχει επικοινωνία περισσότερων από έναν μικροεπεξεργαστών (δίκτυο μικροεπεξεργαστών).

5.5.3. Τρόπος λειτουργίας σειριακής 2 - (Mode 2)

UART 9-bit με σταθερό Baud Rate

Όταν SM1=1 και SM0=0, η σειριακή λειτουργεί σε mode 2, σαν ένα 9-bit UART με σταθερό baud rate. Μεταδίδονται ή λαμβάνονται 11 bits: ένα start bit, 8 bits δεδομένα, ένα προγραμματιζόμενο 9ο bit δεδομένων και ένα stop bit.

Στη μετάδοση το 9ο bit είναι ό,τι έχει τοποθετηθεί στο TB8 του καταχωρητή SCON (ίσως ένα parity bit -bit ισοτιμίας).

Στη λήψη το 9ο bit που λαμβάνεται τοποθετείται στο RB8.

Το baud rate στο mode 2 είναι είτε το 1/32, είτε το 1/64 της συχνότητας του ταλαντωτή (βλέπε Παράγραφο 5.7. - Baud rates της σειριακής θύρας).

5.5.4. Τρόπος λειτουργίας σειριακής 3 - (Mode 3)

UART 9-bit με μεταβλητό Baud Rate

Το mode 3 είναι ίδιο με το mode 2 με τη διαφορά ότι το baud rate ρυθμίζεται από τον timer. Στην πραγματικότητα, τα modes 1, 2 και 3 είναι πολύ όμοια. Η διαφορά τους έγκειται στο baud rate (σταθερό στο mode2, μεταβλητό στα mode 1 και 3) και στον αριθμό bits δεδομένων (8 στο mode 1, 9 στα modes 2 και 3).

5.6 Αρχικοποίηση και πρόσβαση των καταχωρητών της σειριακήςθύρας

5.6.1 Receiver Enable

Το receiver enable bit (REN) που βρίσκεται στον καταχωρητή SCON πρέπει να τεθεί "1" μέσω software, έτσι, ώστε να ξεκινήσει η λήψη. Αυτό συνήθως γίνεται στην αρχή ενός προγράμματος, όταν αρχικοποιούνται η σειριακή θύρα, οι timers, κ.λ.π.. Πραγματοποιείται με δύο τρόπους: είτε με την εντολή:

SETB REN

η οποία θέτει "1" αποκλειστικά το REN, είτε με την εντολή

MOV SCON, #xxx1xxxxB

η οποία θέτει "1" το REN και θέτει "1" ή "0" τα άλλα bits του καταχωρητή SCON, ανάλογα τις απαιτήσεις (αντικαθιστούμαι τα "x" με "0" ή "1", για να προσδιορίσουμε το mode λειτουργίας).

5.6.2. Το 9ο bit Δεδομένων

Το 9ο bit δεδομένων, που μεταδίδεται στα modes 2 και 3, πρέπει να φορτωθεί στο TB8 μέσω software. Όταν γίνει λήψη του 9ου bit φορτώνεται στο RB8. Το software μπορεί να απαιτεί 9ο data bit ή όχι. Εξαρτάται από τις προδιαγραφές της σειριακής συσκευής με την οποία γίνεται επικοινωνία. Το 9ο bit παίζει βασικό ρόλο στις επικοινωνίες μικροεπεξεργαστών.

5.6.3. Προσθέτοντας ένα Parity Bit

Μια συχνή χρήση του 9ου bit δεδομένων είναι για την προσθήκη bit που ελέγχει την ισοτιμία (parity) στον χαρακτήρα δεδομένων. Όπως είδαμε και στο Κεφάλαιο 1, το bit P στην Program Status Word (PSW) τίθεται "0" ή "1" σε κάθε κύκλο μηχανής, έτσι, ώστε να εξασφαλιστεί η ζυγή ή η μονή ισοτιμία με τα 8 bits του accumulator (το άθροισμα των "1" καταστάσεων να είναι ζυγός ή μονός αριθμός, αντίστοιχα).

Φυσικά, η χρήση ισοτιμίας δεν περιορίζεται στα modes 2 και 3. Στο mode 1, τα 8 bits που μεταδίδονται μπορούν να αποτελούνται από 7 bits δεδομένων και 1 parity bit.

5.6.4. Interrupt Flags

Στις σειριακές επικοινωνίες με 8051 παίζουν σοβαρό ρόλο οι interrupt flags (RI και TI) της λήψης και της μετάδοσης, που βρίσκονται στον καταχωρητή SCON. Και τα δύο bits τίθενται "1" μέσω hardware και "0" μέσω software.

Τυπικά, η RI τίθεται "1" στο τέλος της λήψης ενός χαρακτήρα και δείχνει ότι το receive buffer γέμισε. Αυτή η κατάσταση (RI=1) μπορεί να ελεγχθεί μέσω software ή μπορεί να προκαλέσει ένα interrupt (βλέπε σχετικά Κεφάλαιο 4).

Η TI τίθεται "1" στο τέλος της μετάδοσης ενός χαρακτήρα και δείχνει ότι το transmit buffer άδειασε. Εάν θέλουμε μέσω software να στείλουμε έναν χαρακτήρα στη συσκευή που είναι συνδεδεμένη στη σειριακή θα πρέπει πρώτα να ελέγξουμε ότι η σειριακή είναι έτοιμη. Με άλλα λόγια, θα πρέπει να περιμένουμε ότι έχει σταλεί ο προηγούμενος χαρακτήρας που στείλαμε, πριν στείλουμε τον επόμενο.

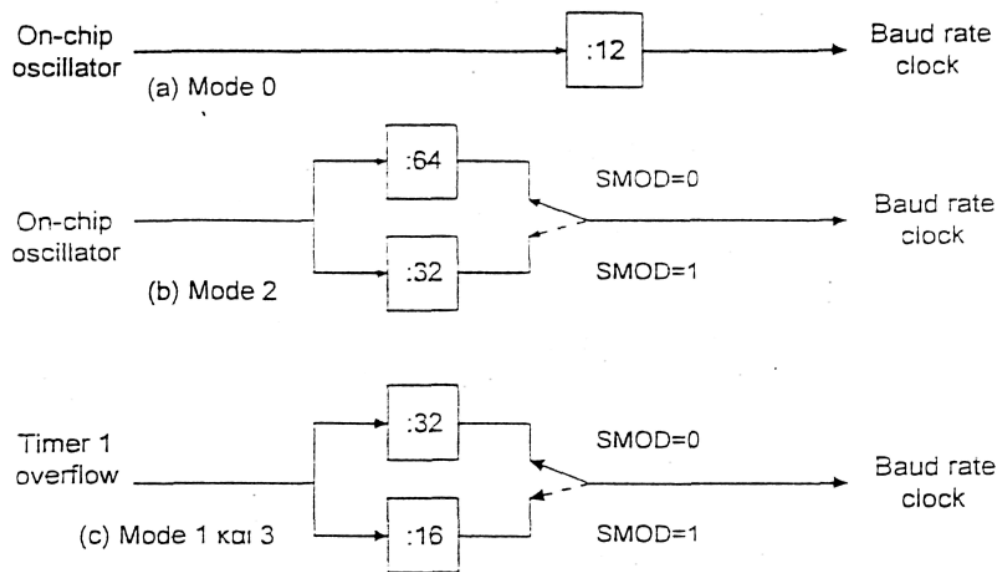
5.7 Baud Rates της Σειριακής Θύρας

Όπως φαίνεται στον Πίνακα 5.2 το baud rate είναι σταθερό στα modes 0 και 2. Στο mode 0 διαιρούμε το συχνότητα του ταλαντωτή δια του 12. Για παράδειγμα, αν η συχνότητα είναι 12 MHz, τότε το baud rate για το mode 0 είναι 1 MHz (βλέπε Σχήμα 5.7a).

Το baud rate για το mode 2, έπειτα από ένα reset του συστήματος, είναι η συχνότητα του ταλαντωτή δια του 64. Επίσης, το baud rate-επιβεβαιώνεται από ένα bit στον καταχωρητή ελέγχου ισχύος (power control register - PCON), το 7ο bit, το οποίο λέγεται SMOD bit. Όταν θέτουμε το SMOD=1 διπλασιάζουμε το baud rate των modes 1, 2 και 3. Για παράδειγμα, στο mode 2 (βλέπε Σχήμα 5.7b):

- Αν SMOD=0 τότε το baud rate είναι ίσο με το $1/64$ της συχνότητας του ταλαντωτή
- Αν SMOD=1 τότε το baud rate είναι ίσο με το $1/32$ της συχνότητας του ταλαντωτή

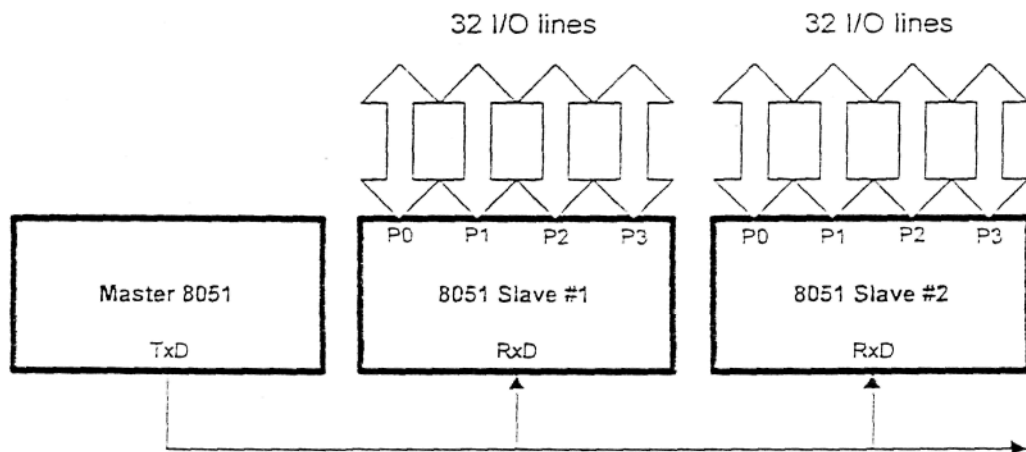
Τα baud rates στα modes 1 και 3 ρυμίζονται από το overflow rate του timer 1. Επειδή ο timer λειτουργεί σε σχετικά υψηλές συχνότητες, η συχνότητα διαιρείται δια του 32 (ή δια του 16, εάν SMOD=1), πριν χρησιμοποιηθεί για το baud rate clock της σειριακής (βλέπε Σχήμα 5.7c).



Σχήμα 5.7 (Serial port clocking sources. a: Mode 0, b: Mode 2, c: Mode 1 & 3)

5.8 Επικοινωνίες μικροεπεξεργαστών

Στα modes 2 και 3 υπάρχει μία ειδική πρόβλεψη για επικοινωνία πολλών μικροεπεξεργαστών. Στα modes αυτά, 9 bits λαμβάνονται και το ένατο φορτώνεται στο RB8 bit του καταχωρητή SCON. Η πόρτα μπορεί να προγραμματισθεί έτσι, ώστε όταν λαμβάνεται το stop bit, η διακοπή της σειριακής πόρτας ενεργοποιείται μόνο εάν το RB8 είναι "1". Αυτό επιτυγχάνεται θέτοντας στον καταχωρητή SCON το bit SM2=1. Αυτό το χαρακτηριστικό το χρησιμοποιούμε για να δημιουργήσουμε ένα δίκτυο από 8051, που επικοινωνούν μεταξύ τους με τη δομή master / slave (βλέπε Σχήμα 5.8).



Σχήμα 5.8 (Επικοινωνία Μικροεπεξεργαστών)

Όταν ο master μικροεπεξεργαστής θέλει να στείλει ένα μπλοκ δεδομένων σε έναν από τους υπόλοιπους, πρώτα στέλνει ένα byte διεύθυνσης που προσδιορίζει τον συγκεκριμένο μικροεπεξεργαστή που θα πάρει τα δεδομένα. Το address byte διαφέρει από το data byte στο ένατο bit, το οποίο είναι "1" για το address byte και "0" για το data byte. Το address byte που εκπέμπεται προκαλεί interrupt σε όλους τους slaves μικροεπεξεργαστές, έτσι, ώστε ο καθένας να εξετάσει αν πρόκειται για τη δικιά του διεύθυνση ή όχι. Ο μικροεπεξεργαστής του οποίου αναφέρεται η διεύθυνση θα θέσει στον καταχωρητή SCON το bit SM2=0, ώστε να

προετοιμαστεί να λάβει το byte δεδομένων που ακολουθεί. Οι υπόλοιποι μικροεπεξεργαστές αφήνουν το bit SM2=1 και συνεχίζουν την εργασία που εκτελούσαν. Με κατάλληλο hardware μπορεί να πραγματοποιηθεί εκπομπή δεδομένων και από έναν slave μικροεπεξεργαστή στον master του δικτύου. Το bit SM2 δεν έχει καμία επίδραση στο mode 0. Στα υπόλοιπα modes μπορεί να επιτευχθεί επικοινωνία δικτύου, μόνον όταν το bit SM2=1 και το stop bit=0. Σε κάθε άλλη περίπτωση το receive interrupt (RI) ενεργοποιείται μετά τη λήψη και η λειτουργία της σειριακής είναι αυτή που αναφέρεται παραπάνω για τα modes 1, 2 και 3.

6

Το σετ εντολών του 8051

Αριθμητικές Εντολές

Mnemonic		Description	Bytes	Cycles
ADD	A,Rn	Add register to accumulator	1	1
ADD	A,direct	Add direct byte to accumulator	2	1
ADD	A, @Ri	Add indirect RAM to accumulator	1	1
ADD	A,#data	Add immediate data to accumulator	2	1
ADDC	A,Rn	Add register to accumulator with carry flag	1	1
ADDC	A,direct	Add direct byte to A with carry flag	2	1
ADDC	A, @Ri	Add indirect RAM to A with carry flag	1	1
ADDC	A, #data	Add immediate data to A with carry flag	2	1
SUBB	A,Rn	Subtract register from A with borrow	1	1
SUBB	A,direct	Subtract direct byte from A with borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with borrow	1	1
SUBB	A,#data	Subtract immediate data from A with borrow	2	1
INC	A	Increment accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Increment indirect RAM	1	1
DEC	A	Decrement accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
INC	DPTR	Increment data pointer	1	2
MUL	AB	Multiply A and B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal adjust accumulator	1	1

Λογικές Εντολές

Mnemonic		Description	Bytes	Cycles
ANL	A,Rn	AND register to accumulator	1	1
ANL	A,direct	AND direct byte to accumulator	2	1
ANL	A,@Ri	AND indirect RAM to accumulator	1	1
ANL	A,#data	AND immediate data to accumulator	2	1
ANL	direct,A	AND accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to accumulator	1	1
ORL	A,direct	OR direct byte to accumulator	2	1
ORL	A,@Ri	OR indirect RAM to accumulator	1	1
ORL	A,#data	OR immediate data to accumulator	2	1
ORL	direct,A	OR accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive OR register to accumulator	1	1
XRL	A direct	Exclusive OR direct byte to accumulator	2	1
XRL	A,@Ri	Exclusive OR indirect RAM to accumulator	1	1
XRL	A,#data	Exclusive OR immediate data to accumulator	2	1
XRL	direct,A	Exclusive OR accumulator to direct byte	2	1
XRL	direct,#data	Exclusive OR immediate data to direct byte	3	2
CLR	A	Clear accumulator	1	1
CPL	A	Complement accumulator	1	1
RL	A	Rotate accumulator left	1	1
RLC	A	Rotate accumulator left through carry	1	1
RR	A	Rotate accumulator right	1	1
RRC	A	Rotate accumulator right through carry	1	1
SWAP	A	Swap nibbles within the accumulator	1	1

Εντολές Μεταφοράς Δεδομένων

Mnemonic		Description	Bytes	Cycles
MOV	A,Rn	Move register to accumulator	1	1
MOV	A,direct	Move direct byte to accumulator	2	1
MOV	A,@Ri	Move indirect RAM to accumulator	1	1
MOV	A,#data	Move immediate data to accumulator	2	1
MOV	Rn,A	Move accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct byte	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri, #data	Move immediate data to indirect RAM	2	1
MOV	DPTR, #data16	Load data pointer with a 16-bit constant	3	2
MOVC	A,@A + DPTR	Move code byte relative to DPTR to accumulator	1	2
MOVC	A,@A + PC	Move code byte relative to PC to accumulator	1	2
MOVX	A,@Ri	Move external RAM (8-bit addr.) to A	1	2
MOVX	A,@DPTR	Move external RAM (16-bit addr.) to A	1	2
MOVX	@Ri,A	Move A to external RAM (8-bit addr.)	1	2
MOVX	@DPTR,A	Move A to external RAM (16-bit addr.)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte from stack	2	2
XCH	A,Rn	Exchange register with accumulator	1	1
XCH	A,direct	Exchange direct byte with accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with accumulator	1	1
XCHD	A,@Ri	Exchange low-order nibble indir. RAM with A	1	1

Εντολές ενός Bit

Mnemonic		Description	Bytes	Cycles
CLR	C	Clear carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set carry flag	1	1
SETB	bit	Set direct bit	2	1
CPL	C	Complement carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to carry flag	2	2
ANL	C,/bit	AND complement of direct bit to carry	2	2
ORL	C,bit	OR direct bit to carry flag	2	2
ORL	C,/bit	OR complement of direct bit to carry	2	2
MOV	C,bit	Move direct bit to carry flag	2	1
MOV	bit,C	Move carry flag to direct bit	2	2

Εντολές Ελέγχου ροής Προγράμματος

Mnemonic	Description	Cycles	Bytes
ACALL addr11	Absolute subroutine call	2	2
LCALL addr16	Long subroutine call	3	2
RET	Return from subroutine	1	2
RETI	Return from interrupt	1	2
AJMP addr11	Absolute jump	2	2
LJMP addr16	Long jump	3	2
SJMP rel	Short jump (relative addr.)	2	2
JMP @A + DPTR	Jump indirect relative to the DPTR	1	2
JZ rel	Jump if accumulator is zero	2	2
JNZ rel	Jump if accumulator is not zero	2	2
JC rel	Jump if carry flag is set	2	2
JNC rel	Jump if carry flag is not set	2	2
JB bit,rel	Jump if direct bit is set	3	2
JNB bit,rel	Jump if direct bit is not set	3	2
JBC bit,rel	Jump if direct bit is set and clear bit	3	2
CJNE A,direct,rel	Compare direct byte to A and jump if not equal	3	2
CJNE A,#data,rel	Compare immediate to A and jump if not equal	3	2
CJNE Rn,#data rel	Compare immed. to reg. and jump if not equal	3	2
CJNE @Ri,#data,rel	Compare immed. to ind. and jump if not equal	3	2
DJNZ Rn,rel	Decrement register and jump if not zero	2	2
DJNZ direct,rel	Decrement direct byte and jump if not zero	3	2
NOP	No operation	1	1