AXI\_PCI\_v1\_00 мост между интерфейсом PCI и AXI Memory Mapped, имеет AXI\_MM\_Master для доступа к ресурсам FPGA со стороны PCI, AXI\_MM\_Slave для отправки данных на PCI устройство из FPGA. Шины AXI\_Cntrl используется для управления и контроля состояния AXI\_PCI\_v1\_00.

Описание карты регистров AXI\_Cntrl

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение адреса | Название | Значение по умолчанию | Примечания |
| 0x00 | Регистр контроля  Control\_reg | 0x00000000 |  |
| 0x04 | Начальный адрес PCI\_0  axibar2pcibar\_0 | 0x00000000 |  |
| 0x08 | Начальный адрес PCI\_1  axibar2pcibar\_1 | 0x00000000 |  |

Описание регистра контроля Control\_reg

|  |  |
| --- | --- |
| Бит регистра | Описание |
| 0 | Запись в этот бит значения 1 разрешает доступ для логики пользователя из ПЛИС по S\_AXI к BAR PCI устройства с начальным адресом axibar2pcibar\_0. Поддерживается только возможность отправки данных по S\_AXI, все записи адресное пространство для S\_AXI перекладываются на адрес PCI\_0, смещение адреса на S\_AXI относительно S\_AXI\_Base\_address задает такое же смещение на шине PCI относительно axibar2pcibar\_0 |
| 1 | Все аналогично биту 0, но для axibar2pcibar\_1 |
| 2 | Чтение значения 1 из этого бита говорит о глобальной ошибке в AXI\_PCI\_v1\_00 дальнейшая работа логики невозможна, решается путем перезагрузки |
| 3 | Чтение значения 1 из этого бита говорит о выходе адреса AXI за допустимые границы, стирается записью в Control\_reg(3) = 1 |

AXI\_PCI\_v1\_00 использует IP CORE 32bit Initiator/Target PCI из IP каталога. Заложены следующие параметры:

1. Используется только BAR\_0 размером в 1 Мбайт
2. Определяется как устройство с ID 0403\_0002

Для переконфигурирования ядра PCI необходимо, используя IP CORE GENERATOR в Xilinx ISE сгенерировать PCI корку с названием pci32\_spng\_v4\_14\_0, определить ей все необходимые параметры в директории текущего проекта перейти в папку с примером для PCI, найти pci32\_spng\_v4\_14\_0.vhd и путем сравнения с аналогичным файлом в папке vhdl AXI\_PCI\_v1\_00 привести новый файл к виду старого.

Параметры AXI\_PCI\_v1\_00:

**с\_axibar\_0, с\_axibar\_1** базовые адреса AXI баров, используют косвенную адресацию, при обращении по смещениям лежащим в диапазоне от с\_axibar\_0 до с\_axibar\_highaddr\_0 попадаем в область PCI устройства c axibar2pcibar\_0 + (текущее смещение относительно с\_axibar\_0), при обращении по смещениям лежащим в диапазоне от с\_axibar\_1 до с\_axibar\_highaddr\_1 попадаем в область PCI устройства c axibar2pcibar\_1 + (текущее смещение относительно с\_axibar\_1) .

**C\_PCIBAR2AXIBAR\_0** адрес на AXI привязанный к PCI\_BAR\_0 AXI\_PCI\_v1\_00. Чтение/запись по pci\_bar\_0 со смещение DelADD задает чтение/запись на AXI шине по адресу C\_PCIBAR2AXIBAR\_0 + DelADD

**C\_PCIBAR2AXIBAR\_1** адрес на AXI привязанный к PCI\_BAR\_0 AXI\_PCI\_v1\_00. Чтение/запись по pci\_bar\_1 со смещение DelADD задает чтение/запись на AXI шине по адресу C\_PCIBAR2AXIBAR\_1 + DelADD

**C\_PCIBAR2AXIBAR\_2** адрес на AXI привязанный к PCI\_BAR\_2 AXI\_PCI\_v1\_00. Чтение/запись по pci\_bar\_2 со смещение DelADD задает чтение/запись на AXI шине по адресу C\_PCIBAR2AXIBAR\_2 + DelADD

**C\_PCI\_BAR\_LEN0 : C\_PCI\_BAR\_LEN2** определяют размеры PCI\_BAR0 : PCI\_BAR2