

BE Électronique Numérique, 2ème séance

Réalisation de F et G : Utilisation d'une LUT 4

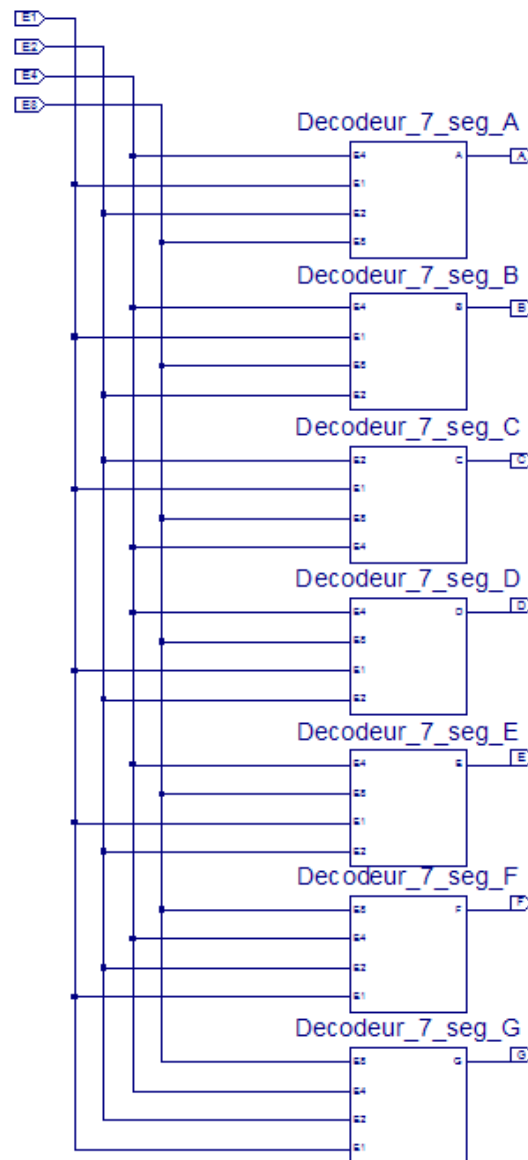
Comme nous l'avons fait pour D et E, on câble F et G de la manière suivante :

$$F = 0b0000000010001110 = 0x008E$$

$$G = 0b0011000010000011 = 0x3083$$

Simulation du décodeur

On commence par intégrer tout les composants précédemment synthétisés dans un seul schéma :



Puis on associe les différents ports à l'aide de PlanAhead :

```

4  NET "A" LOC = L18;
5  NET "B" LOC = F18;
6  NET "C" LOC = D17;
7  NET "D" LOC = D16;
8  NET "E" LOC = G14;
9  NET "F" LOC = J17;
10 NET "G" LOC = H14;

```

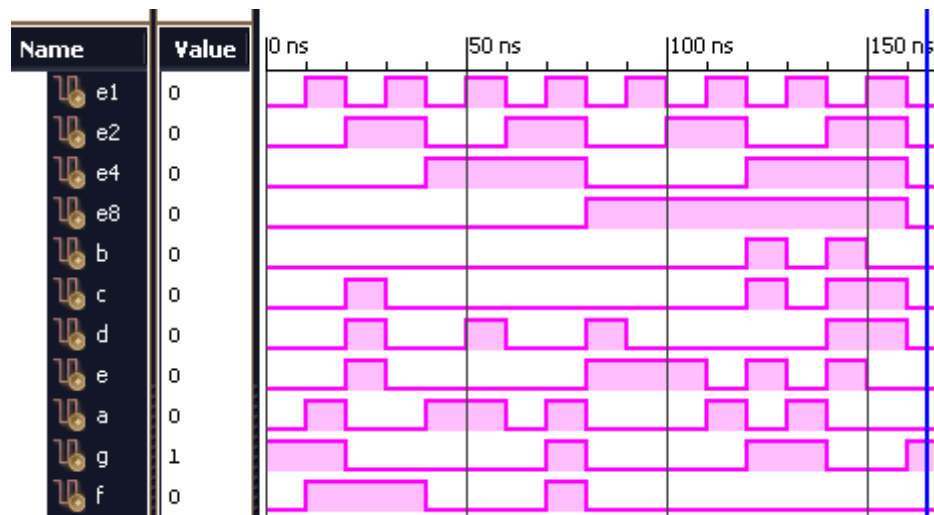
Et enfin on fait commuter les différentes entrées dans le fichier VHDL :

```

67  tb : PROCESS (e1,e2,e4,e8)
68  BEGIN
69      E1 <= not E1 after 10 ns;
70      E2 <= not E2 after 20 ns;
71      E4 <= not E4 after 40 ns;
72      E8 <= not E8 after 80 ns;
73
74      END PROCESS;

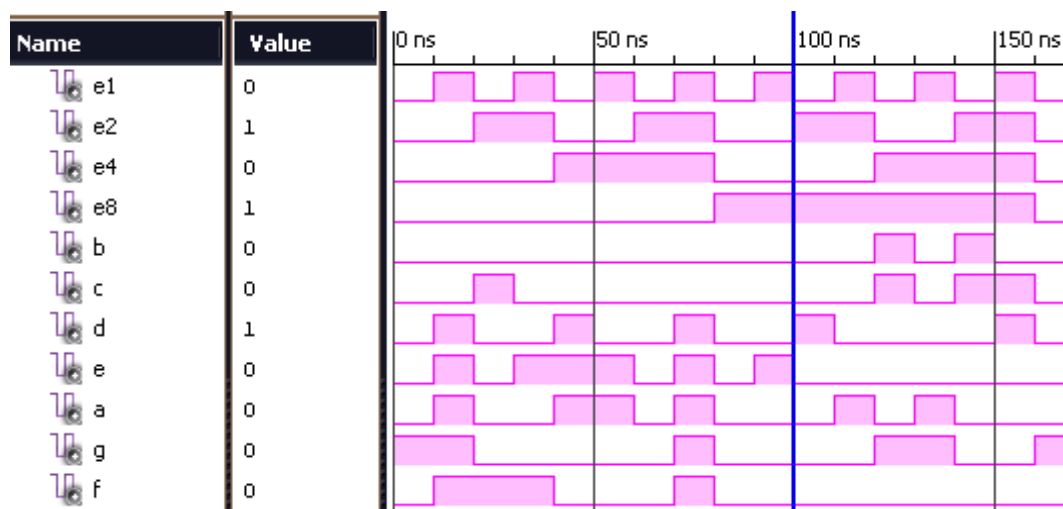
```

On obtient alors la simulation suivante sous ISim :



On note ici un problème sur les sorties D et E. Après Débuggage, on se rend compte qu'il fallait inverser les entrées sur les démultiplexeurs (E1 correspond à S0 et pas à S3).

On relance la simulation :

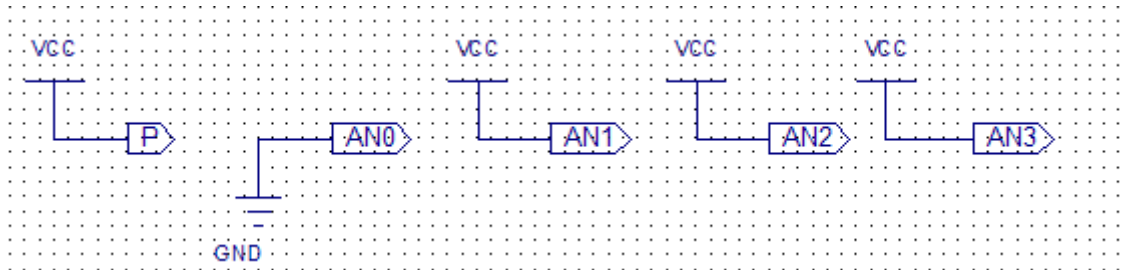


Gestion du point

Le point est activé quand H17 est activé (c'est l'afficheur 7 segments qui correspond à l'unité des heures), et désactivé sinon. Or les afficheurs 7 segments sont activés par un niveau logique 0. Son équation logique est donc, en utilisant les noms des pates sur la carte Nexys 2, $C17 = \neg H17$, ou en utilisant la désignation des composants, $DP = \neg AN1$.

Implémentation sur la carte

On décide d'afficher le compteur sur le dernier afficheur 7 segments, donc on pose $AN0=0$ et $AN1=AN2=AN3=DP=1$.



De plus, pour pouvoir voir les chiffres defiler, notre fichier VHDL Test Bench n'est plus valable, donc on route les switch de la carte sur les entrées de notre algorithme.

```

1  NET "A" LOC = L18;
2  NET "B" LOC = F18;
3  NET "C" LOC = D17;
4  NET "D" LOC = D16;
5  NET "E" LOC = G14;
6  NET "F" LOC = J17;
7  NET "G" LOC = H14;
8  NET "AN0" LOC = F17;
9  NET "AN1" LOC = H17;
10 NET "AN2" LOC = C18;
11 NET "AN3" LOC = F15;
12 NET "P" LOC = C17;
13 NET "E1" LOC = R17;
14 NET "E2" LOC = N17;
15 NET "E4" LOC = L13;
16 NET "E8" LOC = L14;

```

On constate alors sur la carte un certain nombre de bugs :

Numéro	5	6	7	B	D	E	F
En trop	b	b		b		a	b
En moins	a		a		a		

On recommence donc les équations logiques pour a et b :

$$a = E_1 \overline{E_2} \overline{E_4} \overline{E_8} + E_1 \overline{E_2} E_4 E_8 + \overline{E_1} \overline{E_2} E_4 \overline{E_8} + \overline{E_1} E_2 \overline{E_4} E_8$$

$$b = \overline{E_1} E_2 E_4 \overline{E_8} + E_1 \overline{E_2} E_4 \overline{E_8} + E_1 E_2 E_8 + \overline{E_1} E_4 E_8$$

Et après quelques autres corrections sur les LUT, tout fonctionne.