BE Électronique Numérique, 5ème séance

Puisque lors de la séance précédente, les composants marchaient correctement un à un, il ne reste plus qu'à créer un schéma global, reprenant les divers composants.

On ajoute pour cela les composants h2s & h1ms qui permettent d'avoir une fréquence de comptage d'un hertz et une fréquence d'affichage d'1kHz. L'horloge globale étant reliée directement au quartz du FPGA, sur la patte B8.

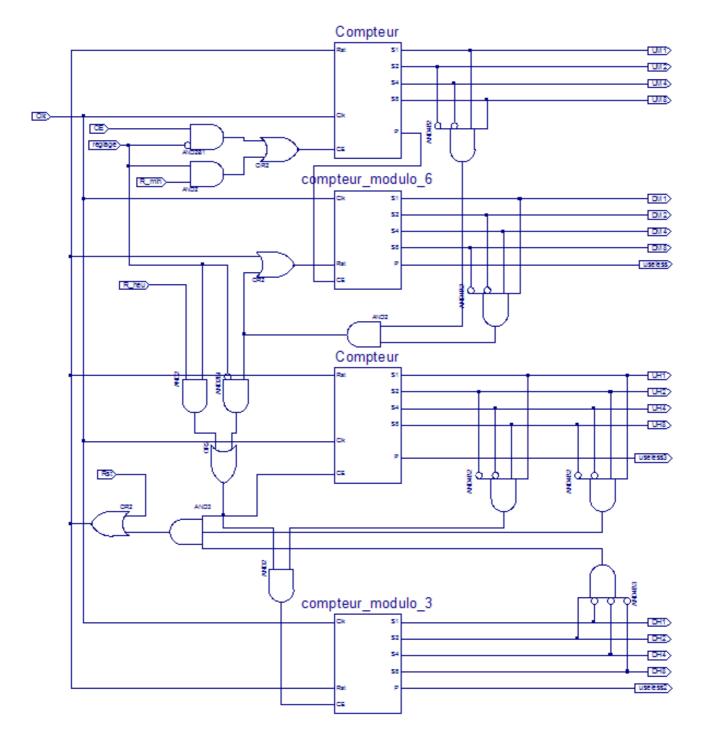
Bien sûr, pour compter des minutes, il faudrait diviser la fréquence initiale par 60, ce qui n'est pas bien difficile, mais qui a l'inconvénient de compliquer énormément les tests (il faudrait attendre une journée complete à regarder l'horloge pour vérifier qu'elle marche...)

Après un léger bug sur les différence de convention sur le reset actif au niveau haut ou au niveau bas, le tout fonctionne.

Il reste alors à implémenter une fonction permettant de régler l'heure.

Pour cela, on décide d'utiliser un switch qui passera l'horloge en mode « réglage », ainsi que deux boutons poussoirs, un pour faire défiler les heures et l'autre les minutes.

On modifie alors le bloc « chaîne_comptage » comme suit :

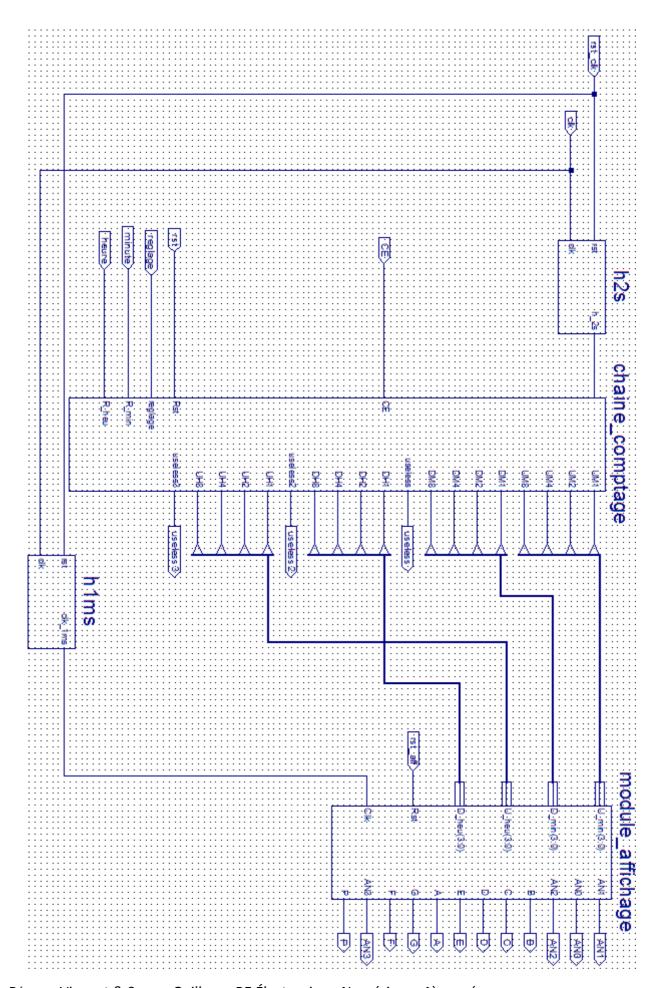


Dans ce schéma, on a juste rajouté l'entrée « reglage », qui désactive l'entrée CE des bascules D. Cette entrée peut alors être réactivée soit par R_min, soit par R_heu, suivant l'appui sur un bouton poussoir correspondant aux heures ou aux minutes.

Dans cette configuration, régler les minutes revient donc à les faire défiler de la même façon que lorsque l'on est pas en mode réglage, mais il faut garder à l'esprit qu'il manque un facteur 60 dans le fonctionnement normal.

Le schéma « comptage_et_affichage » final est donc celui-ci :

PÉTILLAT Vincent & SAUREL Guilhem: BE Électronique Numérique, 4ème séance



PÉTILLAT Vincent & SAUREL Guilhem: BE Électronique Numérique, 4ème séance