

BE Électronique Numérique, 5ème séance

Puisque lors de la séance précédente, les composants marchaient correctement un à un, il ne reste plus qu'à créer un schéma global, reprenant les divers composants.

On ajoute pour cela les composants h2s & h1ms qui permettent d'avoir une fréquence de comptage d'un hertz et une fréquence d'affichage d'1kHz. L'horloge globale étant reliée directement au quartz du FPGA, sur la patte B8.

Bien sûr, pour compter des minutes, il faudrait diviser la fréquence initiale par 60, ce qui n'est pas bien difficile, mais qui a l'inconvénient de compliquer énormément les tests (il faudrait attendre une journée complète à regarder l'horloge pour vérifier qu'elle marche...)

Après un léger bug sur les différence de convention sur le reset actif au niveau haut ou au niveau bas, le tout fonctionne.

Il reste alors à implémenter une fonction permettant de régler l'heure.

Pour cela, on décide d'utiliser un switch qui passera l'horloge en mode « réglage », ainsi que deux boutons poussoirs, un pour faire défiler les heures et l'autre les minutes.

On modifie alors le bloc « chaîne_comptage » comme suit :

