



# LA32精简版开源开发平台 chiplab

汪文祥 陈泽帅

# 目录

---

- 01 LA32精简版及百芯计划
- 02 chiplab组成及功能概述
- 03 chiplab使用流程介绍
- 04 chiplab后续研发计划

# 目录

---

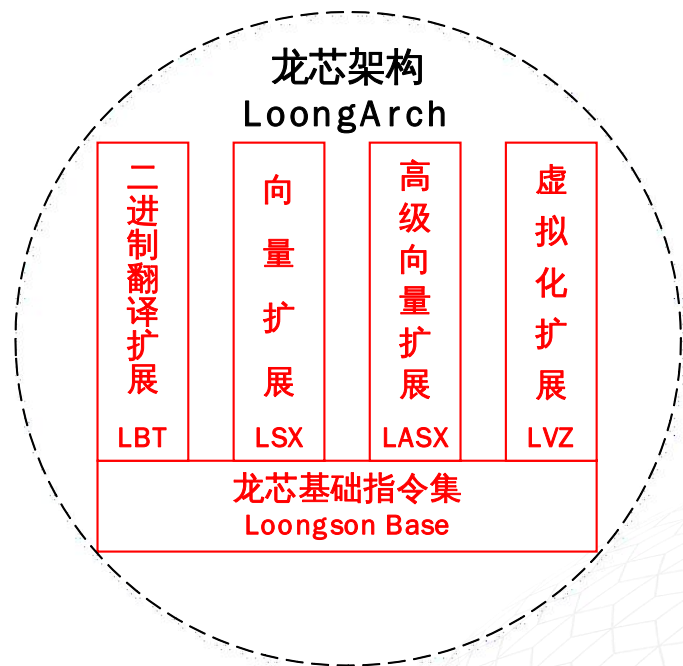
- 01 LA32精简版及百芯计划
- 02 chiplab组成及功能概述
- 03 chiplab使用流程介绍
- 04 chiplab后续研发计划



# 龙芯自主指令系统架构 LoongArch

龙芯中科  
LOONGSON TECHNOLOGY

- “充分考虑兼容需求的自主指令系统”
- 采用基础部分加扩展部分的整体架构
  - 基础部分（指令337条）
  - 虚拟机扩展（LVZ，指令~10条）
  - 二进制翻译扩展（LBT，指令~170条）
  - 128位SIMD扩展（LSX，指令~700条）
  - 256位SIMD扩展（LASX，指令~700条）
- 32位定长指令编码风格
  - 3种无立即数指令格式
  - 7种有立即数指令格式
- 32个通用寄存器
- 32个浮点/向量寄存器



3	3	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
																					rj				rd						
																rk				rj				rd							
												fa				fk				fj				fd							

3	3	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
																IMM6				rj				rd							
														IMM8				rj				rd									
										IMM12				rj				rd													
								IMM14				rj				rd															
						IMM16				rj				rd																	
						IMM[15:0]				rj				IMM[20:16]																	
						IMM[15:0]								IMM[24:16]																	



# 面向高校教学科研的LoongArch32 Reduced

- 基于LoongArch 32位版本的精简子集——LoongArch32 Reduced
- 用户态：保留典型应用中最常用的指令
  - 整数指令~50条，访存指令仅“基址+偏移”寻址方式且要求地址对齐
  - 浮点数指令可以不实现，也可以只实现单精度部分
  - 原子同步指令仅LL/SC，软件维护指令与数据Cache的数据一致性
- 核心态：支持主流类Unix操作系统
  - 仅包含PLV0和PLV3两个特权等级
  - 支持例外与中断，但入口为同一个
  - 支持TLB MMU，软件负责TLB重填
- 软件生态：维护一个独立的小系统
  - QEMU、GCC、.....
  - U-boot、Linux kernel、busybox





# 龙芯“百芯计划”

- 龙芯“百芯计划”旨在让高校学生参与完成**处理器芯片全流程设计**。参与项目的高校学生将：
  - 基于LA32精简版指令集的进行IP核开发；
  - 并将其与总线、外设接口等IP（如AMBA总线、SDRAM、SDIO、MAC、SPI、I2C、UART、GPIO等）一起集成为一款SoC；
  - 完成裸机执行环境、U-boot、Linux-kernel等基础软件的迁移适配；
  - 经验证通过的SoC设计将进一步完成后端物理设计并最终流片。



# 面向处理器芯片全流程设计实践

龙芯中科  
LOONGSON TECHNOLOGY

处理器核结构  
设计与验证

加速器核结构  
设计与验证

SoC中IP集成  
与系统级验证  
(FPGA)

芯片物理设计

全芯片物理设计

在开发板对芯  
片各功能进行  
系统调试与验  
证

基于芯片研制  
具体问题的解  
决方案

IP核结构设计

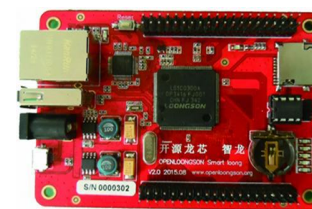
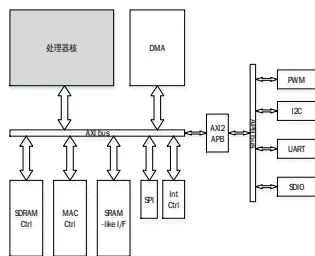
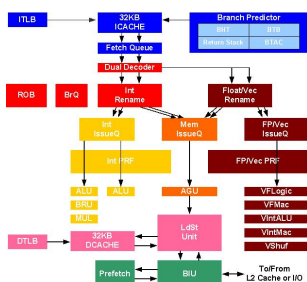
SoC芯片结构设计

芯片后端物理设计

芯片流片封装

硅后系统验证

应用系统开发



提供处理器核  
的验证环境与  
测试用例；  
提供参考处理  
器核设计

提供成套外围  
IP的代码；  
提供各接口的  
驱动程序；  
提供专用  
FPGA实验平

提供物理设计  
参考设计flow；  
提供核外部分  
的GDS。

提供开发板参  
考设计

# 目录

---

- 01 LA精简版及百芯计划
- 02 chiplab组成及功能概述
- 03 chiplab使用流程介绍
- 04 chiplab后续研发计划



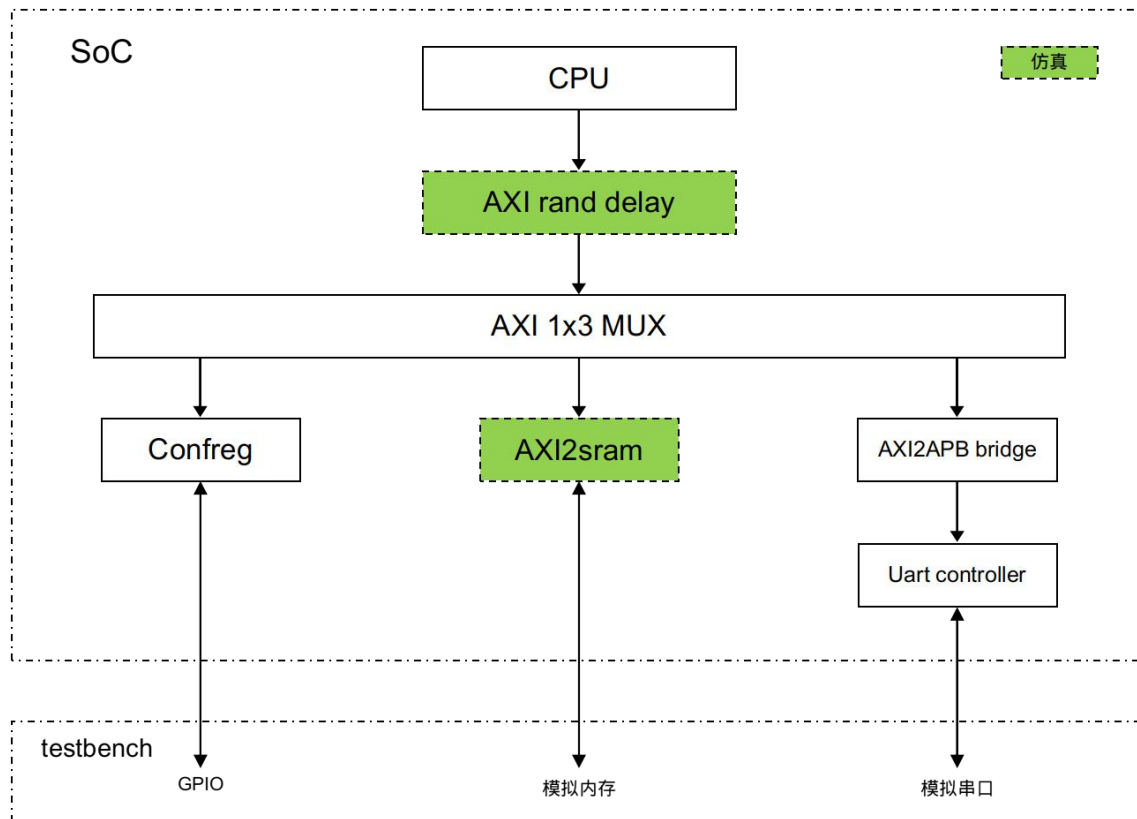


chiplab项目致力于构建基于Loongarch primary的SoC敏捷开发平台是基于LoongArch32 Reduced指令集的处理器核开源开发平台

## 六大组件

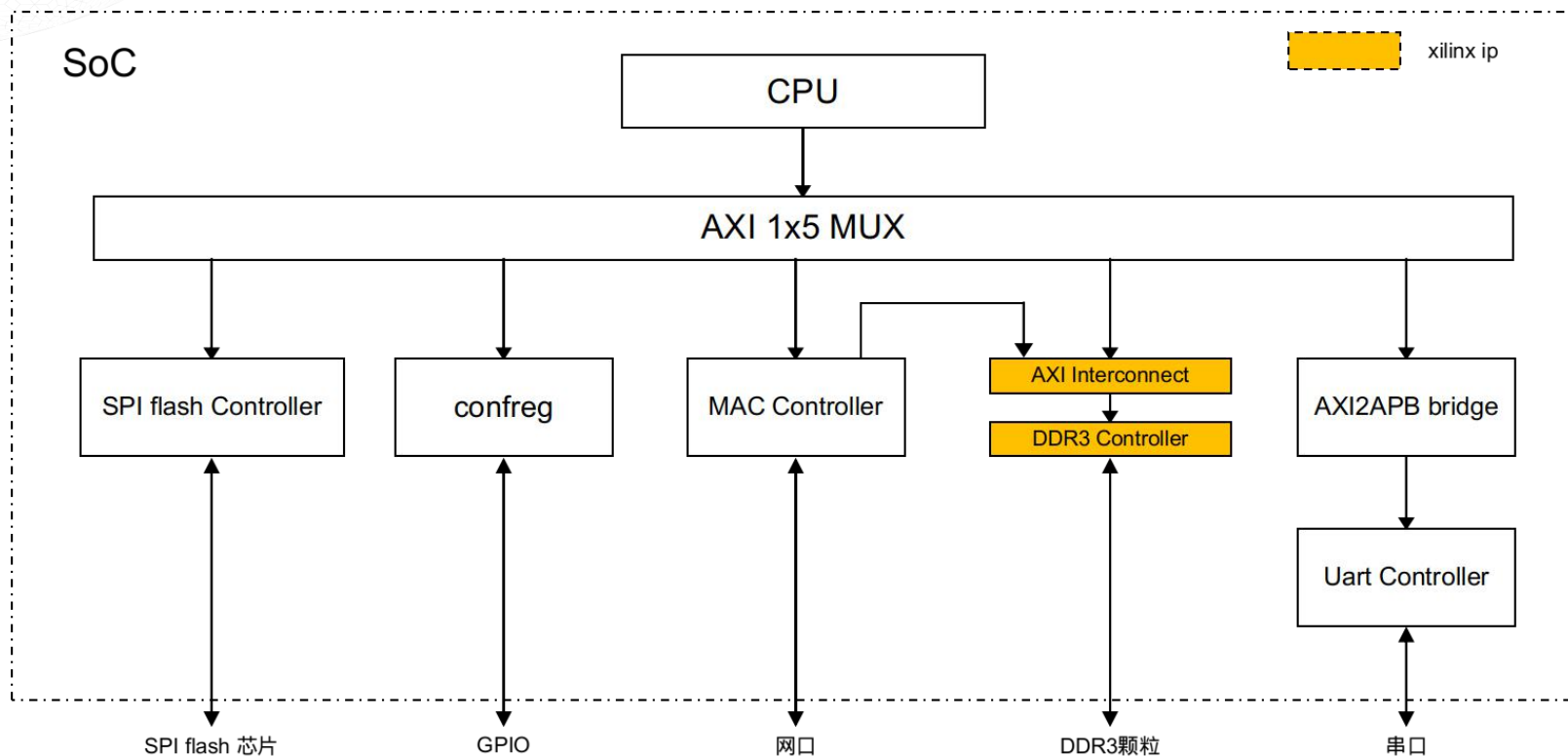
- chip
  - 目前有四套顶层SoC代码，可用于纯仿真、FPGA实现或ASIC实现。
- IP
  - 搭建SoC所需的IP，包括处理器核、设备控制器以及互联模块的代码
- software
  - 基本功能测试集（func）
  - 裸金属环境下的性能测试程序（dhrystone、coremark、.....）
  - 随机指令序列
  - linux内核
- toolchains
  - gcc工具链
  - NEMU-LA32R
  - newlib-LA32R
- sims
  - 仿真工作目录以及存放 testbench 源码（基于 verilator仿真工具）
- fpga
  - 用于FPGA综合实现及下板（目前仅支持 vivado）

- 用于仿真的SoC



- AXI rand delay  
为创造更为真实的仿真环境，在AXI中引入随机延迟
- AXI2sram  
将AXI转换为sram接口，能够直接与testbench中由C++模拟的内存进行交互
- 该环境仅支持添加了AXI总线的处理器核

- 用于“龙芯CPU设计与体系结构教学实验系统”的SoC



- 处理器核对外有一个AXI接口，连接到AXI互网络上与外设相连。对外连接的设备共有6个：SPI Flash、GPIO（数码管、LED灯、开关灯）、网口、DDR3颗粒和串口
- 目前支持其它FPGA开发板包括：百芯开发板、Nexys4ddr



- 搭建SoC所需的开源IP，其中myCPU目录存放处理器核代码
- 目前已有一款单发射五级流水的公版处理器核，能够通过仿真及FPGA上板测试
- 单发射五级流水简介
  - TLB大小为32项，全相连结构，随机替换策略
  - 指令和数据Cache为两路组相连，每路大小为4KB，Cache行大小为16 bytes
  - 分支预测器，32项BTB及8项RAS
  - 可运行频率50MHz
  - 对外接口为32位AXI接口



- 目录结构

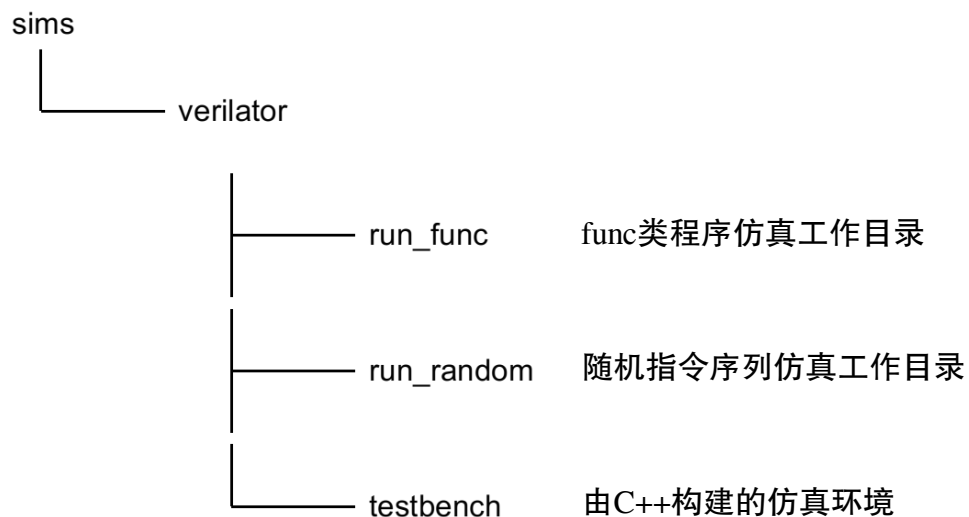
IP		
—	AMBA	AXI总线相关模块，比如AXI 1X5
—	APB_DEV	APB总线上的设备，包括uart
—	AXI_DELAY_RAND	AXI引入随机延迟
—	AXI_SRAM_BRIDGE	AXI转SRAM
—	DMA	DMA通道
—	MAC	MAC Controller
—	SPI	SPI Flash Controller
—	CONFREG	对于LED、键盘等设备的控制逻辑
—	myCPU	处理器核
—	xilinx_ip	



## software组件

- 作为存放测试用例的目录，提供的程序包括：
  - func 分为9个实验阶段，共79个测试点
  - dhrystone 裸金属环境下的性能测试程序
  - coremark
  - my\_program 可编写C程序，运行于裸机环境下，支持的库函数包括malloc、times、printf（通过模拟SoC中的假串口打印）等，支持软浮点
  - random\_boot 进行随机指令测试时所用的启动代码
  - rtthread RT-Thread操作系统的内核。目前仅适配了仿真SoC
  - linux Linux内核，目前可启动busybox，与testbench配合能够与终端进行交互。busybox上存有SPEC2000、unixbench、embench等性能测试程序

- 目录结构



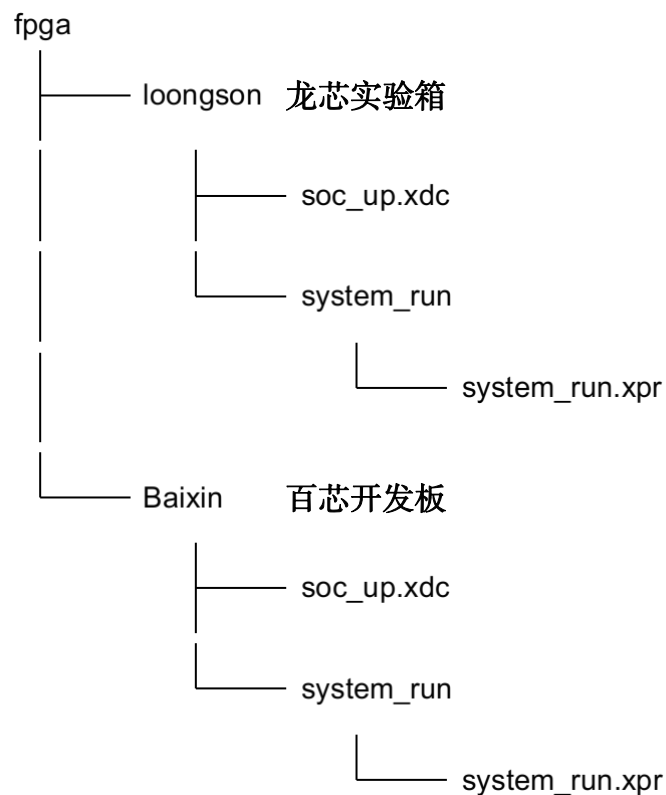
- 仿真流程相当简易，configure对编译参数及运行参数进行配置后，make即可开始整个仿真流程
- 拥有KHz级别的仿真速度，使得内核的启动运行成为可能。具体的频率由机器的性能决定
- 设置了充足的可配置化内容，使得环境更为灵活，适配尽可能多的使用场景，便于用户进行开发、验证、调试

- 该目录下内容由用户根据README中的指示单独自行下载
  - gcc工具链 最新版配有glibc，可直接编译运行于内核的程序，可编译内核
  - NEMU 基于NEMU开发的LA32R版本，配合difftest功能。最新版可用于内核的开发
  - newlib 轻量C库，用于编译C程序运行于裸机环境下，实现的底层系统函数包括sbrk、times、print，支持软浮点，能够满足大部分需求



- 进入FPGA开发板对应目录，打开vivado项目，添加处理器核设计，即可进行综合下板的流程

- 目录结构



# 目录

---

- 01 LA精简版及百芯计划
- 02 chiplab组成及功能概述
- 03 chiplab使用流程介绍
- 04 chiplab后续研发计划



## 使用说明文档

<https://chiplab.readthedocs.io/zh/latest/>

# 目录

---

- 01 LA精简版及百芯计划
- 02 chiplab组成及功能概述
- 03 chiplab使用流程介绍
- 04 chiplab后续研发计划





## 后续研发计划

- chip组件： 依据百芯计划参考SoC的流片版本完善代码
- ip组件： 开源参考处理器核持续完善（浮点、多核）；  
依据百芯计划参考SoC的流片版本完善外设IP
- software组件： 继续丰富测试用例；内核集成各外设驱动；提供buildroot类似的环境
- fpga组件： 完善百芯计划FPGA实验平台的综合实现参考流程
- 择机加入后端设计流程



谢谢！



为人民做龙芯