

本应用笔记提供了一组简单易用的指南和一系列在 Cyclone® IV 设计中需要考虑的因素。Altera 建议在设计过程中遵循本应用笔记中介绍的指南。Altera® Cyclone IV 器件提供了一个最低功耗下的逻辑、存储器和输出信号处理 (DSP) 丰富组合。Cyclone IV 器件最适用于成本敏感的大批量应用，包括：显示器，无线基础设施，工业以太网，广播转换器和芯片到芯片桥接等。在设计初期阶段对 FPGA 和系统进行规划是您成功的保障。

本应用笔记介绍了 Cyclone IV 器件体系结构以及 Quartus® II 软件方面和在您的设计中使用的第三方软件。本应用笔记没有包括关于产品的全部详情，但通过本应用笔记中参考的其它文档，您可以获得详细的规范，器件特性描述和其它指南。

本应用笔记中设计指南能够提高生产力，并能够避免一些常见的设计错误。表 1 描述了设计流程的各个阶段（根据通常情况下每一阶段执行的顺序）。



 请参考第 41 页“设计检查列表”来验证是否遵循了本应用笔记中所介绍的设计指南。

表 1. 设计流程阶段和指南主题汇总

设计流程阶段	指南主题
第 1 页 “系统规范”	规划设计规范和 IP 选择
第 2 页 “器件选择”	器件信息，确定器件密度，封装类型，移植和速度等级
第 5 页 “早期系统和电路板规划”	早期功耗评估，规划配置方案和片上调试
第 11 页 “电路板设计的管脚连接考虑因素”	上电，电源管脚，PLL 连接，去耦电容，配置管脚，信号完整性和板级验证
第 18 页 “I/O 与时钟规划”	管脚约束，早期管脚规划，I/O 功能及连接，存储器接口，时钟和 PLL 选择，同步开关噪声 (SSN)
第 27 页 “设计入口”	编码风格和设计建议，SOPC Builder，层次或者基于团队设计的规划
第 32 页 “设计实现、分析、优化和验证”	综合工具，器件使用，消息，时序约束和分析，面积与时序优化，编译时间，验证和功耗分析与优化

 要了解关于 Cyclone IV 器件体系结构的详细信息，请参考 Altera 网站的资料：Cyclone IV 器件部分。要了解关于 Cyclone IV 器件的最新已知问题，请参考 Knowledge Database。

系统规范

在包含 Cyclone IV 器件的系统中，FPGA 通常在整个系统中扮演一个非常重要的角色，并影响着系统设计的其它部分。您必须在开始设计阶段对系统和 FPGA 创建详细的设计规范，并确定系统其它部分的 FPGA 输入和输出接口以开始设计过程。

创建设计规范

在创建您的逻辑设计或完成您的系统设计以前，详细的设计规范应该定义系统，指定 FPGA 的 I/O 接口，识别不同的时钟域，以及包括基本设计功能的结构图。关于包含知识产权 (IP) 模块的建议，请参考“[IP 选择](#)”。多用些时间在创建这些规范上将有助于提高设计效率。

1. ☐ 创建详细的设计规范，并在适当的情况下制定出测试计划。
2. ☐ 提早规划时钟域、时钟资源以及 I/O 接口，并提供相应的结构图。

制定功能验证计划，以确保团队能够了解如何验证系统。在此阶段制定一个测试计划还有助于根据可测试性和可制造性进行设计。您可能需要验证所有设计接口的能力，例如，如果要执行内置自测试功能来驱动接口，那么可以在 FPGA 器件内部使用基于 Nios® II 处理器的 UART 接口。器件安装到系统后，其分析和调试的相关指导，请参考第 10 页“[片上调试规划](#)”。

如果您的设计包括多个设计者，那么需要考虑一个公共设计目录结构。这样可以使设计整合阶段变得容易。关于基于团队设计的详细信息，请参考第 31 页“[层次及基于团队设计的规划](#)”。

IP 选择

Altera 及其第三方 IP 合作伙伴提供了针对 Altera 器件进行优化的大量现成的 IP 内核选择。您可以在设计中轻松地实现这些 IP 参数化模块，从而减少系统实现和验证时间，并使您能够专注于添加专属价值。

IP 的选择往往会影响到系统设计，特别是在 FPGA 与系统中的其它器件连接时。要考虑系统中的哪些 I/O 接口或者模块可以通过使用 IP 内核来实现，并计划在您的 FPGA 设计中组合这些内核。

在你购买 IP 许可之前，用于很多 IP 内核的 OpenCore Plus 功能使您能够对 FPGA 进行编程以验证硬件中的设计。这种评估支持非受限模式 (untethered mode) 或者受限模式 (tethered mode)，非受限模式的设计在有限时间内运行。受限模式需要一个 Altera 串行 JTAG 电缆连接板级上的 JTAG 端口与在硬件评估期间运行 Quartus II Programmer 的主机。

3. ☐ 选择影响您系统设计，特别是 I/O 接口的 IP。
4. ☐ 如果您打算将 OpenCore Plus 受限模式用于 IP，那么要确保您的电路板设计支持这一模式的操作。




要了解关于可用 IP 内核的详细信息，请参考 Altera 网站的 [Intellectual Property Solutions](#) 页面。

器件选择

本章节介绍了 Cyclone IV 设计过程中第一步 — 选择最适合您设计要求的器件系列种类、器件密度、功能、封装以及速度等级。Altera 建议目标器件的可移植器件，在本文档中也有所介绍。

5. ☐ 根据收发器、I/O 管脚数量、LVDS 通道、封装类型、逻辑 / 存储器 / 乘法器密度、PLL、时钟布线和速度等级对器件进行选择。

- 
- 要了解关于每种器件密度中可用功能的详细信息，包括：逻辑、存储器模块、乘法器、PLL、封装类型和 I/O 管脚数，请参考 *Cyclone IV 器件手册* 卷 1 中的 [Cyclone IV Device Family Overview](#) 章节。


器件系列种类与高速收发器

Cyclone IV 器件系列当前包括两个优化的系列，以满足不同的应用要求。Cyclone IV GX 器件包含多达八个全双工高速收发器，具有物理编码子层 (PCS) 和物理介质附加子层 (PMA) 支持和 PCI Express hard IP 模块，能够独立运行在高达 3.125 Gbps 数据速率上。Cyclone IV E 器件通过增强实现了最低功耗，并以最低成本实现最高功能性。如果您的应用需要高达 3.125 Gbps 数据速率的高速收发器，则要选择 GX 系列器件。否则，选择 E 系列器件以最低成本实现最高功能性。

逻辑、存储器和乘法器密度

具有多种密度的 Cyclone IV 器件提供不同数量的器件逻辑资源，包括 LE、存储器、乘法器。在设计规划过程中，确定所需的逻辑密度是具有挑战性的。具有更多逻辑资源的器件可以实现更大或者更复杂的设计，但一般都需要较高的成本。较小的器件消耗较低的静态功耗。Cyclone IV 器件支持纵向移植，提供了较高的灵活性，在[第 4 页 “纵向器件移植”](#) 中有所介绍。

很多下一代设计都使用当前设计作为起点。如果您有其它采用 Altera 目标器件的设计，那么可以通过它们的资源利用情况来评估新设计。通过使用 Quartus II 软件 **Settings** 对话框中的 **Auto device selected by the Fitter** 选项编译现有设计。根据资源利用情况来确定适用于设计的器件密度。需要考虑的是：在 Quartus II 软件中使用的编码风格，器件体系结构和优化选项都会显著地影响一个设计的资源利用率以及时序性能。要了解关于确定已编译设计的资源利用率的详细信息，请参考[第 33 页 “器件资源利用报告”](#)。

- 
- 要获得对某些配置的 Altera IP 设计的资源利用评估，请参考 Altera 网站上的 [IP and Megafunctions](#) 部分。

6. ☐ 保留器件资源，以用于将来的开发和调试。

选择一个符合设计要求的器件，并留有一定的安全余量，以便将来在设计周期中添加更多的逻辑，更新或者扩展您的设计。您可能需要器件中的额外空间，使您更容易对增量式设计或者基于团队的设计进行设计规划的创建，如[第 31 页 “层次及基于团队设计的规划”](#) 所介绍。此外，也需要考虑保留用于调试的资源，如[第 10 页 “片上调试规划”](#) 所介绍。

I/O 管脚数，LVDS 通道和封装类型

Cyclone IV GX 器件具有不同 I/O 管脚数的节省空间的 Quad Flat Pack No Lead (QFN) 和 FineLine BGA (FBGA) 封装可用。确定应用所需要的 I/O 管脚数，考虑与其它系统模块的设计接口要求。

更大的密度和封装管脚数对串化和解串化提供了更多的 LVDS 通道；要保证您的器件密度封装组合包括足够的 LVDS 通道。

其它因素也能够影响设计所需要的 I/O 管脚数量，其中包括同步开关噪声 (SSN) 问题、管脚布局指南、作为专有输入的管脚、每个 I/O bank 的 I/O 标准可用性、行与列 I/O bank 的 I/O 标准与速度之间的差别和封装移植选项。要了解关于选择管脚位置的详细信息，请参考第 11 页 “[电路板设计的管脚连接考虑因素](#)” 和第 18 页 “[I/O 与时钟规划](#)”。此外，需要考虑保留用于调试的 I/O 管脚，如第 10 页 “[片上调试规划](#)” 所介绍。

PLL 与时钟布线

Cyclone IV GX 器件包括两种 PLL—通用 PLL (GPLL) 和多用 PLL (MPLL)。Cyclone IV E 器件仅包含 GPLL。GPLL 用于 FPGA 架构和外设（例如外部存储器接口）中的通用应用，而 MPLL 用于对收发器模块提供时钟。如果不将 MPLL 用于收发器时钟，那么可将它们用于通用时钟。

Cyclone IV GX 器件提供了多达 12 个能够驱动全局时钟 (GCLK) 的专用时钟管脚 (CLK[15..4])。Cyclone IV GX 器件的每一侧（左侧除外）支持四个专用时钟管脚，这些时钟管脚能够驱动高达 30 个 GCLK。Cyclone IV E 器件提供了多达 15 个专用时钟管脚 (CLK[15..1])，能够驱动高达 20 个 GCLK。Cyclone IV E 器件的左侧支持三个专用时钟管脚，在顶端、底部及右侧支持四个专用时钟管脚 (EP4CE6 与 EP4CE10 器件除外)。EP4CE6 和 EP4CE10 器件仅在器件左侧支持三个专用时钟管脚，在器件右侧支持四个专用时钟管脚。检查您所选择的器件密度封装组合是否包含了您设计所需要的足够 PLL 和时钟布线资源。GCLK 资源可以在某些 PLL 之间共享，这会影响到哪些输入可用。要了解关于时钟管脚以及全局布线资源的详细信息，请参考第 18 页 “[I/O 与时钟规划](#)”。

速度等级

器件的速度等级会影响器件的时序性能和时序收敛以及功耗。Cyclone IV GX 器件支持三种速度等级—6、7 和 8 (6 最快)。Cyclone IV E 器件支持四种速度等级—6, 7, 8 和 9 (6 最快)。一般而言，越快的器件需要的成本就越高。通过考虑指定 I/O 接口的支持时钟速率来确定您设计所需的速度等级。



关于在不同速度等级下使用器件不同侧上的 I/O 管脚的存储器接口所支持时钟速率的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 的 [External Memory Interfaces in Cyclone IV Devices](#) 章节。

您可以在原型产品研发期间使用最高速度等级以缩短编译时间（因为使用更少的时间来优化设计以满足时序要求），然后在批量生产时转为较低的速度等级，以降低产品成本（如果设计满足时序要求）。

纵向器件移植

Cyclone IV 器件支持同一封装内的纵向移植。在指定封装内，移植到具有相同专用管脚、配置管脚和电源管脚的不同密度的器件中。因为通过此特性您可以使用不同密度的 Cyclone IV 器件替换板级上的 FPGA，因此将来对设计进行升级或变更时无需改变电路板布局。



关于移植器件列表，请参考 *Cyclone IV 器件手册* 卷 1 的 [Cyclone IV Device Family Overview](#) 章节中的 “Cyclone IV 器件封装类型” 表。

- 7.□ 考虑纵向器件移植可用性和要求。

确定是否将您的设计移植到其它密度的器件。选择您的器件密度和封装，在设计即将结束时允许最大的灵活性适配将来任何可能的器件移植。Altera 建议在您设计周期的开始阶段在 Quartus II 中指定任何可能的移植选项。由于 Fitter 会确保您的设计与所选器件相兼容，因此移植器件的选择会影响到设计的管脚布局。

您可以在设计周期的后期添加移植器件，但需要花费更多的精力来检查管脚分配，而且需要改变设计及电路板布局以适合新的目标器件。在设计周期的早期考虑这些问题要比设计周期的末期（设计接近完成并准备移植时）容易。

Quartus II Pin Planner 高显与当前所选器件相比那些改变移植器件功能的管脚，如第 18 页“实现 FPGA 管脚分配”所介绍。

早期系统和电路板规划

在 Quartus II 软件中完成设计之前，需要在设计的初始阶段对 FPGA 相关的系统信息进行规划。提早规划使 FPGA 团队能够对 PCB 电路板和系统设计者提供早期信息。本章节涵盖以下几方面内容：

- “早期功耗评估”
- 第 6 页“器件配置规划”
- 第 10 页“片上调试规划”

早期功耗评估

FPGA 功耗是一个重要的设计考虑因素。您必须对功耗进行准确的评估，以制定正确的功耗预算，和正确地设计电源、稳压器、解耦器，散热器和冷却系统。功耗评估与分析有两个重要的规划要求：

- 散热规划 — 冷却解决方案一定要充分地消散由器件产生的热量。特别是计算的结点温度一定要降到正常的器件规范内。
- 电源规划 — 电源供应必须提供足够的电流以支持器件操作。




8. □ 使用 PowerPlay Early Power Estimator (EPE) 电子数据表对功耗进行评估，在逻辑设计完成前规划冷却解决方案和电源。

FPGA 中的功耗取决于逻辑设计。在早期电路板规范与布局阶段，这种依赖性使得功耗估算具有很大的挑战性。通过对设计中将会用到的器件和器件资源信息，以及工作频率，切换率和环境因素的信息进行处理，Altera PowerPlay EPE 电子数据表使您能够在设计完成前对功耗进行评估。您可以使用该电子数据表，通过输入环境温度以及散热器，气流和电路板散热模型计算出器件的结温。EPE 然后计算出设计的功耗、电流估计值和散热分析。

如果您没有一个现成的设计，那么需要估算出设计中使用的器件资源的数量，然后手动输入。电子数据表的准确性取决于器件资源的输入和估算。如果此信息改变了（设计完成期间或者完成后），那么功耗估算的结果会不准确。如果您有一个现成的设计或者部分完成的已编译设计，那么使用 Quartus II 中的 **Generate PowerPlay Early Power Estimator File** 命令为电子数据表提供输入。

PowerPlay EPE 电子数据表包括 Import Data 宏，对 Quartus II 或者旧版 EPE 生成的功耗估算文件中的信息进行解析，然后将这些信息传输至电子数据表中。如果不想使用宏，则可以手动将数据传输至电子数据表中。如果现有的 Quartus II 工程仅代表整个设计的一部分，那么 Altera 建议您手动输入那些在最终设计中会用到的其它资源。导入功耗估算文件信息后，您可以编辑电子数据表并添加其它的器件资源，或者调整参数。

设计完成后，Altera 建议执行完整的功耗分析来更准确地检查功耗。Quartus II 软件中的 PowerPlay 功耗分析工具将提供功耗的准确评估，以保证不会超出散热及功耗预算。要得到最准确的功耗估算，需要使用含有来自第三方仿真工具的输出文件 (.vcd) 的门级仿真结果。关于更多信息，请参考第 37 页 “功耗分析”。

-  关于所支持器件系列的 PowerPlay EPE 电子数据表 and 用户指南详细信息，请参考 Altera 网站的 [PowerPlay Early Estimators \(EPE\) and Power Analyzer](#) 页面。
-  关于使用 PowerPlay EPE 电子数据表的详细信息，请参考 [PowerPlay Early Power Estimator User Guide](#)。
-  关于功耗评估与分析的详细信息，请参考 *Quartus II Handbook* 卷 3 的 [PowerPlay Power Analysis](#) 章节。

器件配置规划

由于 Cyclone IV 器件是基于 SRAM 单元的，而 SRAM 存储器又是易失的，因此在每次 Cyclone IV 器件上电时都必须下载配置数据到器件中。要考虑是否需要多种配置方案，例如：一个方案用于调试或者测试，而另一个方案用于生产环境。提前选择器件配置方法能使系统和电路板设计人员确定系统需要哪些配套器件。

电路板布局也取决于可编程器件使用的配置方法，这是因为不同的方案要求不同的连接。要了解与配置管脚相关的电路板设计指南以及配置的器件连接的详细信息，请参考第 11 页 “电路板设计的管脚连接考虑因素”。

此外，Cyclone IV 器件根据您的配置方案提供高级配置功能。Cyclone IV 器件还包括可选配置管脚和一个必须在设计过程初期（在 Quartus II 中设置）进行选择的重配置选项，从而获得电路板和系统设计要求的所有信息。

本章节包含以下几方面的内容：

- 第 6 页 “配置方案选择”
- 第 8 页 “配置功能”
- 第 9 页 “Quartus II 配置设置”

-  要了解关于配置的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 的 [Configuration and Remote System Upgrades in Cyclone IV Devices](#) 章节。
-  关于详细信息，请参考 [Configuration Center](#)。此网页包含 [JTAG Configuration & ISP Troubleshooter](#) 和 [FPGA Configuration Troubleshooter](#) 的链接，用于帮助调试配置问题。

配置方案选择

您可以使用下面四项配置方案中的一项对 Cyclone IV 器件进行配置：

- 快速被动并行配置 (FPP) — 控制器对 Cyclone IV 器件提供并行配置数据。

- 主动并行 (AP)—Cyclone IV 器件控制配置进程，并接收来自并行配置器件的配置数据。
- 主动串行 (AS)—Cyclone IV 器件控制配置进程，并接收来自串行配置 (EPCS) 器件的配置数据。
- 被动串行 (PS)—控制器对 Cyclone IV 器件串行提供配置数据。
- JTAG—使用与下载电缆连接的 IEEE Standard 1149.1 接口，或者带闪存的 MAX[®] II 器件或微处理器对 Cyclone IV 器件进行配置。

通过将 Cyclone IV 器件 MSEL 管脚驱动到电路板上的指定值来使能任何指定的配置方案。

9. ☐ 选择一个配置方案对配套器件和电路板连接进行规划。



AP 配置仅支持 Cyclone IV E 器件。



FPP 配置仅支持 EP4CGX30 (只限于 F484 封装)、EP4CGX50、EP4CGX75、EP4CGX110、EP4CGX150 和所有 Cyclone IV E 器件。



要使 Cyclone IV GX 器件满足 PCIe 100 ms 唤醒时间要求，您必须将 PS 配置模式用于 EP4CGX15、EP4CGX22 和 EP4CGX30 (除了 F484 封装) 器件，将 FPP 配置模式用于 EP4CGX30 (只限于 F484 封装)、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。

所有的配置方案都要至少使用配置器件、下载电缆、或者外部控制器 (例如：MAX II 器件或者微处理器) 中的一种。

串行配置器件

在 AS 配置方案中使用 Altera 串行配置器件 (EPCS)。串行配置器件提供一个低成本，低管脚数的配置解决方案。



要了解关于串行配置器件的详细信息，请参考 *Configuration Handbook* 卷 2 的 *Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet*。

您可以使用 Quartus II 软件，通过 USB-Blaster[™]、EthernetBlaster 或者 ByteBlaster[™] II 下载电缆对串行配置器件进行编程。或者，可以使用 Altera 编程单元 (APU)、支持的第三方编程器，例如 BP Microsystems 和 System General，或者使用带 SRunner 软件驱动器的微处理器。SRunner 是一个软件驱动器，专为嵌入式串行配置器件编程而开发，设计人员能够对其定制以适合不同的嵌入式系统。



要了解关于 SRunner 的详细信息，请参考 *AN 418: SRunner: An Embedded Solution for Serial Configuration Device Programming* 和 Altera 网站的 *Literature: Application Notes* 部分中的相关源代码。

串行配置器件不直接支持 JTAG 接口；然而，您可以使用 Quartus II 中的串行闪存加载器 (SFL) 功能，通过 JTAG 下载电缆对器件进行编程。此功能使用 FPGA 作为 JTAG 接口与配置器件之间的桥接，从而支持这两个器件使用同一 JTAG 接口。




SFL 解决方案会比标准 AS 配置方案慢，因为对配置器件编程前必须对 FPGA 进行配置。

- 
- 要了解关于 SFL 的详细信息，请参考
- AN 370: Using the Serial FlashLoader with the Quartus II Software*
- 。

下载电缆

Quartus II Programmer 通过使用与 Altera 编程下载电缆连接的 PS 或者 JTAG 接口，直接支持配置 Cyclone IV 器件。使用 Altera 下载电缆可以直接将设计变更下载到器件中，从而简化原型产品研发，并让您能够快速连续地创建多次设计迭代。您可以使用同一下载电缆对电路板上的配置器件进行编程，也可以使用 JTAG 调试工具，例如 SignalTap® II 嵌入式逻辑分析仪。要了解关于 JTAG 调试工具的详细信息，请参考第 10 页 “片上调试规划”。


- 
- 要了解关于如何使用 Altera 下载电缆的详细信息，请参考以下文档：

- *ByteBlaster II Download Cable User Guide*
- *USB-Blaster Download Cable User Guide*
- *EthernetBlaster Communications Cable User Guide*

MAX II Parallel Flash Loader

如果您的系统包含一个 CFI 闪存，那么可将其用于 Cyclone IV 器件配置存储器。MAX II 并行闪存加载器 (PFL) 特性使您能够通过 JTAG 接口对 CFI 闪存器件编程，并提供逻辑来控制从闪存到 Cyclone IV 器件的配置，并且支持压缩，从而减少配置数据的大小。PFL 功能支持 PS 以及 EPP 配置模式。

- 10.□ 如果要将闪存器件用于 PFL，请查看所支持器件的列表。


- 
- 要了解关于 PFL 的详细信息，请参考
- AN 386: Using the Parallel Flash Loader with the Quartus II Software*
- 。

配置功能

本章节介绍了 Cyclone IV 配置功能及其对设计过程的影响。

- 11.□ 要确保配置方案和电路板支持所有要求的特性：数据解压，远程更新和单粒子翻转 (SEU) 缓解。

- 
- 要了解关于数据解压缩和远程系统更新的详细信息，请参考
- Cyclone IV 器件手册*
- 卷 1 中的
- Cyclone IV 器件的配置和远程系统更新*
- 章节。

- 
- 要了解关于 SEU 缓解的详细信息，请参考
- Cyclone IV 器件手册*
- 卷 1 中的
- Cyclone IV 器件中的 SEU 缓解*
- 章节。

数据压缩

使能数据压缩功能后，Quartus II 会生成基于压缩配置数据的配置文件。这一压缩文件减少了对配置器件或闪存的存储需求，并且缩短了发送比特流至 Cyclone IV 器件所需的时间。Cyclone IV 器件解压缩一个配置文件所需的时间小于发送配置数据到该器件所需的时间。

Cyclone IV 支持 AS 和 PS 配置方案中的解压缩。如果使用 AS 或 PS 模式来缩短配置时间，那么 Altera 建议使用 Cyclone IV 解压缩功能。Cyclone IV 解压缩功能在 JTAG、AP 和 FPP 配置方案中不可用。

远程系统更新

远程系统更新有助于实现性能的增强以及漏洞的修复，而无需高成本召回，同时缩短了产品面市时间，延长产品使用寿命，并有助于避免系统故障。专用远程系统更新电路是 Cyclone IV 器件的一个特征。在 Cyclone IV 器件中实现的软逻辑 (Nios II 嵌入式处理器或者用户逻辑) 能够从远程位置下载新的配置镜像文件，并保存在配置存储器中，然后命令专用的远程系统更新电路来初始化重配置周期。

Cyclone IV 器件仅支持单一器件 (single-device) AP 和 AS 配置方案中的远程系统更新。通过与 AS 配置方案中的配置数据的实时解压缩一起使用可以实现远程系统更新。

要实现远程系统更新接口，您可以使用 ALTREMOTE_UPDATE 宏功能或者例化一个远程系统更新组合电路单元。



要了解关于 ALTREMOTE_UPDATE 宏功能的详细信息，请参考 *Remote Update Circuitry (ALTREMOTE_UPDATE) Megafunction User Guide*。

SEU 缓解与 CRC 错误检查

专用电路集成在 Cyclone IV 器件中以实现循环冗余校验 (CRC) 错误检测功能，此功能选择性地，连续自动地检查 SEU。这样能够确认 Cyclone IV 器件中存储的配置数据是否正确，也能提醒系统存在配置错误。要使用 SEU 缓解功能，需要使用适当的宏功能以实现 CRC 错误检测。使用 CRC_ERROR 管脚来标记错误，通过设计使您的系统正确运行。如果 CRC_ERROR 管脚没有用于 CRC 功能，那么可以用作 I/O 管脚。



SEU 缓解功能可用于所有的 Cyclone IV GX 器件和采用 1.2-V 核心电压的 Cyclone IV E 器件。

Quartus II 配置设置

本小节介绍了几个配置选项，在编译前在 Quartus II 软件中对这些选项进行设置以生成配置或者编程文件。由于电路板和系统设计会受到这些设置及管脚的影响，因此需要在规划阶段加以考虑。在 **Device and Pin Options** 对话框的 **General** 标签中设置这些选项。

可选的配置管脚

表 2 列出了可以在 Cyclone IV 器件中使能的可选配置管脚。

表 2. 可选的配置管脚

配置管脚	说明
CLKUSR	<ul style="list-style-type: none"> ■ Enable user-supplied start-up clock (CLKUSR) 选项用于选择初始化的时钟源，可以是内部振荡器，也可以是 CLKUSR 管脚上提供的外部时钟。 ■ Cyclone IV 器件提供在 AS 配置时 CLKUSR 可选作外部的时钟源为 DCLK 的选项。您可以从 Quartus II 软件中的 Device and Pin Options 对话框的 Configuration 标签中更改时钟源选项。
INIT_DONE	<ul style="list-style-type: none"> ■ 通过监控 INIT_DONE 管脚来检查器件是否完成了初始化和是否处于用户模式。通过 Enable INIT_DONE output 选项使能此管脚。INIT_DONE 管脚是一个开漏输出，需要一个连接到 I/O Bank (INIT_DONE 管脚位于其中) 的 V_{CCIO} 电源的外部 10-KΩ 上拉电阻。

12. ☐ 规划您的电路板设计以支持可选的 CLKUSR 和 INIT_DONE 配置管脚。

出现错误后重新开始配置 (Restart Configuration after Error)

通过使能 **Auto-restart configuration after error** 选项，当出现错误时器件会驱低 **nSTATUS** 信号，从内部复位器件。器件在一个复位超时周期后释放它的 **nSTATUS** 管脚。除非 **nSTATUS** 管脚连接到一个提供外部上拉的外部配置器件，否则 **nSTATUS** 管脚需要一个连接到 I/O bank (**nSTATUS** 管脚位于其中) 的 V_{CCIO} 电源的外部 10-K Ω 上拉电阻。



如果使用 Altera 下载电缆直接将设计变更下载到器件中，那么 Quartus II 软件会禁用 **Auto-restart configuration after error** 选项。

13. ☐ 规划您的电路板设计以使用 **Auto-restart configuration after error** 选项。


片上调试规划

片上调试是设计流程中的一个可选步骤。不同的系统和设计者需要使用不同的调试工具。在设计过程早期对各种片上调试选项进行评估，以确保系统板级、Quartus II 工程和设计能够支持相应的选项。通过早期规划可以缩短调试时间，并且可以避免稍后的设计变更，以适应首选的调试方法。由于器件内部信号以及 I/O 管脚的可存取性，仅添加调试管脚可能是不够的。首先，根据第 10 页 “**片上调试工具**” 来选择您的首选调试工具，然后参考第 11 页 “**调试工具的规划指南**”。

片上调试工具

Quartus II 系列的验证工具包含以下在系统调试功能：

- **SignalProbe 增量式布线** — 在不影响原始设计布线的情况下迅速将内部信号分配给 I/O 管脚。开始于完全布线设计，选择信号并布线到以前保留或者当前未使用的 I/O 管脚上进行调试。
- **SignalTap II Embedded Logic Analyzer** — 当设计在 FPGA 器件中全速运行时，此工具探测内部信号和 I/O 信号的状态，而无需使用外部设备或额外的 I/O 管脚。定义定制的触发条件逻辑可提高准确度以及隔离问题的能力。此工具不需要外部探针，或对设计进行修改来采集设计中内部节点或者 I/O 管脚的状态；在设计人员读取和分析数据以前，所有采集到的信号数据都存储在器件存储器中。SignalTap II Embedded Logic Analyzer 最适用于同步接口。对于调试异步接口，请考虑使用 SignalProbe 或者外部逻辑分析器来更准确地观测信号。
- **Logic Analyzer Interface** — 连接并传输内部 FPGA 信号到外部逻辑分析仪用于分析，并充分利用外部逻辑分析仪或者混合信号示波器的高级功能。通过这一功能可以将大量的内部器件信号连接到少量的输出管脚来进行调试。如果需要，可以通过设计 I/O 管脚对信号进行多路传输。
- **In-System Memory Content Editor** — 通过 JTAG 接口对 FPGA 在系统存储器和常量进行读写访问，当器件在系统中运行时，可以测试 FPGA 存储器内容和常量值的变化。
- **Virtual JTAG Megafunction** — 建立您自己的系统级调试基础结构，包括基于处理器的调试方案以及系统级调试的软件调试工具等。您可以直接在 HDL 代码中例化 SLD_VIRTUAL_JTAG 宏功能，提供一个或者多个透明通信通道，使用器件的 JTAG 接口访问 FPGA 设计的各个部分。

 要了解关于这些调试工具的详细信息，请参考 *Quartus II Handbook* 卷 3 中的 *Virtual JTAG (SLD_VIRTUAL_JTAG) Megafunction User Guide* 和 *Section IV. In-System Design Debugging*。此小节的概述部分提供了关于选择调试解决方案的更多信息。

14. ☐ 利用片上调试功能来分析内部信号和运用高级的调试方法。

调试工具的规划指南

如果您打算使用片上调试工具，则需要在开发系统电路板、Quartus II 工程和设计时对工具进行规划，如下列清单所述：

15. ☐ 提前选择片上调试方案，以规划存储器和逻辑要求，I/O 管脚连接和电路板连接。
- 如果要使用 SignalTap II Embedded Logic Analyzer、Logic Analyzer Interface、
16. ☐ In-System Memory Content Editor 或者 Virtual JTAG Megafunction，那么需要通过可用于调试的 JTAG 连接来对系统和电路板进行规划。
17. ☐ 规划用于实现 JTAG 调试功能的 JTAG 集线器逻辑的少量的其它逻辑资源。
18. ☐ 使用 SignalTap II Embedded Logic Analyzer 进行调试时，需要保留器件存储器资源，以在系统操作期间采集数据。
19. ☐ 保留 I/O 管脚，以用于 SignalProbe 或 Logic Analyzer Interface 的调试。这样以后就不必更改设计或者电路板以适应调试信号。
20. ☐ 确保您的电路板要支持调试信号不会影响系统操作的调试模式。
21. ☐ 根据外部逻辑分析仪或者混合信号示波器的要求来整合 pin header 或者 mictor connector。
22. ☐ 要增量式使用调试工具和减少编译时间，需要确保增量式编译功能是使能的，这样就不必重新编译设计来更改调试工具。
23. ☐ 要将 Virtual JTAG megafunction 用于定制的调试应用，作为设计过程的一部分，需要在 HDL 代码中对其例化。
24. ☐ 对 RAM 或者 ROM 模块或者 LPM_CONSTANT megafunction 使用 In-System Memory Content Editor，需要在 MegaWizard Plug-In Manager 中开启存储器模块的 **Allow In-System Memory Content Editor to capture and update content independently of the system clock** 选项。

电路板设计的管脚连接考虑因素

当设计连接到 Cyclone IV 器件的接口时，存在多种影响 PCB 设计的因素。本小节涵盖以下方面的重要指南：

- “ 器件上电 ”
- 第 13 页 “ 电源管脚连接和电源 ”
- 第 14 页 “ 配置管脚连接 ”
- 第 16 页 “ 与电路板相关的 Quartus II 设置 ”
- 第 17 页 “ 信号完整性考量 ”
- 第 17 页 “ 板级仿真与高级 I/O 时序分析 ”

接下来的部分（第 18 页 “I/O 与时钟规划”）介绍了影响电路板设计的 FPGA I/O 信号连接。



关于电路板设计指南的详细信息，请参考 [Board Design Resource Center](#)。该 Resource Center 指向相关的应用笔记和其它文档，帮助您成功实现集成 Altera 器件与其它单元的高速 PCB。

器件上电

Cyclone IV 器件 I/O 管脚支持热插拔的特性，无需外部组件。您可以从上电系统电路板插入或者移除 Cyclone IV 器件，而不会损坏或者干扰正常的系统和电路板操作。

- 25. ☐ 设计您的电路板来实现上电 — 配置器件和配置管脚驱出 (drive out) 前，Cyclone IV 输出缓存处于三态。
- 26. ☐ 设计供电电压单调上升。

您可以在上电或断电之前或期间驱动信号到 I/O 管脚，而无损器件。Cyclone IV 器件支持 VCCINT、VCCA 和 VCCIO 管脚任意顺序的上电和断电以简化系统级设计。单个电源的上升和下降率的范围从 50 μ s 到 50 ms。电源斜升必须是单调的。

在热插拔的情况下，Cyclone IV 器件的输出缓存在系统上电或者断电期间被关闭。此外，Cyclone IV 器件直到被配置并在建议的操作条件下运行之后才驱出 (drive out)。

由于配置期间需要使用配置管脚 CONF_DONE、nCEO 和 nSTATUS，因此热插拔电路在这些管脚上不可用。所以，这些管脚在上电和断电序列中驱出 (drive out) 属于正常行为。

POR 电路保持整个系统处于复位状态，直到上电后电源电压电平已经稳定。上电后，器件不会释放 nSTATUS，直到包含配置管脚的 I/O bank 的 V_{CCINT}、V_{CCA} 和 V_{CCIO} 高于器件的 POR 跳闸点。断电后，如果 V_{CCINT} 或 V_{CCA} 电压下降至 POR 跳闸点以下，那么将出现欠压。

在 Cyclone IV 器件中，您可以根据 MSEL 管脚设置选择快速或者标准的 POR 时间。对于快速配置时间，快速 POR 时间为 $3\text{ ms} < T_{\text{POR}} < 9\text{ ms}$ 。标准 POR 时间为 $50\text{ ms} < T_{\text{POR}} < 200\text{ ms}$ ，有一个较低的电源斜升率 (power-ramp rate)。

- 27. ☐ 设置 POR 时间以确保电源电压稳定。

当对 Cyclone IV 器件上电时，如果电源在某一时间（指定为最大电源上电时间 t_{RAMP} ）内达到建议的操作范围，那么出现 POR 事件。对于 Cyclone IV 器件，标准 POR 的最大电源上电时间为 50 ms，快速 POR 的最大电源上电时间为 3 ms，而最小电源上电时间为 50 μ s。

尽管电源排序不是正确操作所要求的，但 Altera 建议考虑每个轨的上电时序，以防止设计多轨供电系统时出现长期器件可靠性方面的问题。通过正确的排序和电压调节器设计可以降低器件的浪涌电流 (in-rush current)。



Altera 强烈建议在连接电源前连接电路板之间的 GND，以确保器件的可靠性并符合热插拔规范。

- 28. ☐ 设计上电顺序、电压调节器和 GND 连接以实现最佳的器件可靠性。



关于详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 [Cyclone IV 器件的电源要求](#) 章节。

电源管脚连接和电源

查看电源管脚连接指南来确定您系统所需要的电源和哪些电压输入能够共享电源。Cyclone IV GX 核心电压 V_{CCINT} 是 1.2 V，Cyclone IV E 核心电压 V_{CCINT} 是 1.2 V 或 1.0 V。

I/O 电压 V_{CCIO} 连接取决于设计的 I/O 标准，支持 1.2、1.5、1.8、2.5、3.0 和 3.3 V。



如果 V_{CCIO} 电平超出建议的 I/O 标准操作范围，那么器件输出管脚就不满足 I/O 标准规范。



要了解关于 Cyclone IV 器件所要求的电源电压以及它们的建议操作条件的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 [Cyclone IV 器件的电源要求](#) 章节。

电压参考 (VREF) 管脚用作某些 I/O 标准的电压参考。VREF 管脚主要用于电压偏置，不提供或者吸收大量电流。通过使用变压器或者电阻分频器网络可以创建电压。关于不同 I/O bank 的 V_{CCIO} 电压和 VREF 管脚的详细信息，请参考第 20 页 “[可选 I/O 标准和灵活的 I/O Bank](#)”。



关于电源类型和电源共享或隔离的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

去耦电容

随着不断提高的电源要求，电路板去耦对于改善总体电源的信号完整性变得更加重要。

Cyclone IV 器件包括嵌入式封装上 (on-package) 和片上 (on-die) 去耦电容以提供高频去耦。这些低电感电容抑制电源噪声，从而实现优良的信号完整性，并减少外部 PCB 去耦电容的数目，节省电路板空间，降低成本并极大地简化 PCB 设计。

Altera 已经开发出一种易用配电网络 (PDN) 设计工具，以图形方式对板级 PDN 进行优化。板级 PDN 的用途是配电并将来自电压调节模块 (VRM) 的电流返回给 FPGA 电源，同时支持最佳的收发器信号完整性和 FPGA 性能。

对于每一种电源，您都必须选择一个大容量去耦电容网络。您可以使用 SPICE 仿真电路，而 PDN 设计工具提供了一种快速、准确和交互的方式来确定实现最佳性价比的去耦电容的正确数量。



关于 PDN 设计和优化进程的详细信息，请参考 *Power Delivery Network (PDN) Tool User Guide*。您也可以下载 [Power Delivery Network \(PDN\) Tool](#)。

29. ☐ 使用 PDN 工具来规划您的电源分配网表和去耦电容。

PLL 电路板设计指南

关于设计您的时钟和 PLL 方案的详细信息，请参考第 25 页 “[时钟和 PLL 选择](#)” 和第 26 页 “[PLL 特性指南](#)”。以下检查列表提供了使用 PLL 和使 jitter 最小化的电源系统设计时（由于 PLL 包含嵌入在数字器件中的模拟组件）需要考虑的几个因素。

30. ☐ 连接所有的 PLL 电源管脚以降低噪声，即便设计不使用所有的 PLL— V_{CCA} to 2.5 V 和 V_{CCD_PLL} to 1.2 V 或 1.0 V。
31. ☐ 从电源提供到每个 PLL 电源管脚提供一个至少 20 mils 的宽走线。
32. ☐ 将所有的 PLL 数字电源管脚连接到电路板上最静的数字电源。
33. ☐ 使用铁氧体磁芯从数字电源隔离 PLL 电源。



要了解关于 PLL 电源的电路板设计指南的详细信息，请参考 [Board Design Resource Center](#) 的 [General Board Design Considerations/Guidelines](#) 部分。

配置管脚连接

根据不同的配置方案，可能应用不同的上拉和下拉电阻或者信号完整性要求。在未使用情况下，一些配置管脚也有一些指定的要求。您必须正确连接配置管脚。本小节提供了解决常见配置管脚连接问题的指南。

34. ☐ 检查所有配置管脚连接和上拉和下拉电阻是否根据您的配置方案正确设置。



关于专用和复用配置管脚列表以及功能和连接指南的描述，请参考 *Cyclone IV Device Handbook* 卷 1 中的 [Configuration and Remote System Upgrades in Cyclone IV Devices](#) 章节。

DCLK 和 TCK 信号完整性

TCK 或 DCLK 走线（或两者）必须产生无过冲、无下冲或无振铃的干净信号。

35. ☐ 设计保证 DCLK 和 TCK 配置管脚无噪声干扰。

设计电路板时，使用与布局时钟线路相同的技术方法来布局 TCK 和 DCLK 走线。TCK 信号上的任何过冲、下冲、振铃或者其它噪声都会影响到 JTAG 配置。一个嘈杂的 DCLK 信号能够影响到 AP、AS、PS 或 FPP 配置并导致 CRC 错误。就器件链而言，链中任何 TCK 或者 DCLK 管脚上的噪声都可能会导致整个链的 JTAG 编程或者配置失败。



关于连接链中器件的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 [Cyclone IV 器件的配置和远程系统更新](#) 章节。

JTAG 管脚

由于 JTAG 配置优先于其它所有的配置方法，因此如果不使用 JTAG 接口，那么在配置期间一定不要使 JTAG 管脚悬空或者翻转。

36. ☐ 将未使用的 JTAG 管脚连接到一个稳定的电压电平。

如果使用 JTAG 接口，则需要遵循本节中的指导方法。

JTAG 管脚连接

运行在 JTAG 模式的 Cyclone IV 器件使用四个需要的管脚（TDI、TDO、TMS 和 TCK）。TCK 管脚有一个内部弱下拉电阻，TDI 和 TMS 管脚有内部弱上拉电阻（通常是 25 K Ω ）。全部 JTAG 管脚都是由它们所位于的 I/O bank 的 V_{CCIO} 电源供电。

37. ☐ 将 JTAG 管脚正确地连接到下载电缆头。确保管脚顺序不要颠倒。

如果链中有多个器件，那么连接一个器件的 TDO 管脚到链中下一个器件的 TDI 管脚。在配置、用户模式或者上电过程中，JTAG 引脚上的噪声可导致器件进入某种未定义的状态或模式。

38. ☐ 要在上电期间禁用 JTAG 状态机，需要通过一个电阻拉低 TCK 管脚以确保 TCK 上不会出现意外的上升沿。
39. ☐ 通过一个电阻拉高 TMS。

下载电缆操作电压

目标电路板通过 10 管脚头 (10-pin header) 向 Altera 下载电缆提供的操作电压决定了下载电缆的操作电压电平。

40. □ 由于下载电缆连接到您器件的 JTAG 管脚，因此要保证下载电缆与 JTAG 管脚电压相互兼容。

在包含不同电压的器件的 JTAG 链中，具有较高电压的器件必须驱动具有相同或更低电压的器件。在这种器件布局下，在链的末端需要一个电平转换器 (level shifter)。如果这种布局不能实现，那么您必须在链中添加更多的电平转换器。



要了解关于连接链中多器件电压 JTAG 链的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 *Cyclone IV 器件的 JTAG 边界扫描测试* 章节。

JTAG 信号缓冲

根据 JTAG 信号完整性，特别是 TCK 信号（因为它是 JTAG 时钟和最快的开关 JTAG 信号），您可能需要在 JTAG 链上添加一些缓存。Altera 建议缓冲连接器上信号，这是因为电缆和电路板连接器往往会使传输线路变差，并将噪声引入信号当中。在连接器上的这一初始缓存之后，随着链不断变长或者信号穿过电路板连接器时，都需要添加缓存。

如果一个电缆驱动三个或者更多的器件，那么需要在电缆连接器上对 JTAG 信号进行缓冲，以防止信号损耗。然而，这也取决于电路板布局、电路板上的加载、连接器、跳线以及开关。添加到电路板上，影响 JTAG 信号的电感或电容的任何组件都会增加在链中添加缓存的可能性。

每个缓存必须驱动不超过 8 个的 TCK 和 TMS 信号加载，并且以并行方式驱动。如果在路径上添加跳线或者开关，则会减少加载数量。

41. □ 按照建议对 JTAG 信号进行缓冲，特别是对于连接器，或者电缆驱动三个以上器件时。
42. □ 如果您的器件在一个配置链中，则要确保链中所有器件正确连接。

MSEL 配置模式管脚

通过驱动 Cyclone IV 器件 MSEL 管脚为高电平或低电平来选择配置方案。JTAG 配置始终可用，与 MSEL 管脚选择无关。MSEL 管脚由 V_{CCINT} 电源供电。MSEL 管脚含有始终有效 (active) 的 9-K Ω 内部下拉电阻。为了避免检测到错误的配置方案，需要硬线连接 MSEL 管脚至 V_{CCA} 或者 GND，而不使用上拉或者下拉电阻。请不要使用微处理器或其它器件驱动 MSEL 管脚。

43. □ 连接 MSEL 管脚来选择配置方案，不要让这些管脚悬空。在测试或调试过程中，为实现在配置模式之间进行转换的最大灵活性，需要设置电路板使用一个 0- Ω 电阻来连接每一个管脚至 V_{CCA} 或者 GND。

其它配置管脚

确保正确连接所有的专用和复用配置管脚，包括 nCE 管脚。

44. □ 在配置、初始化以及用户模式期间，保持 nCE（芯片选通）管脚为低电平。

在单器件配置或者 JTAG 编程中，要拉低 nCE 管脚。在多器件配置中，在第一个器件中拉低 nCE 管脚，并将其 nCEO 管脚连接至链中下一个器件的 nCE 管脚。

与电路板相关的 Quartus II 设置

Quartus II 软件提供了电路板设计过程中您必须考虑的 FPGA I/O 管脚的相关选项。创建 Quartus II 工程时，要确保正确设置这些选项，并在电路板设计期间对它们的功能性进行规划。

Device-Wide Output Enable 管脚

Cyclone IV 器件支持一个可选的全芯片 (chip-wide) 输出使能管脚，用于覆盖器件 I/O 上的所有三态。驱低 DEV_OE 管脚时，所有的 I/O 管脚均为三态；驱高此管脚时，所有的 I/O 管脚均根据编程运行。要使用此全芯片 (chip-wide) 输出使能管脚，编译您的设计前在 Quartus II 中的 **Device & Pin Options** 对话框中的 **General** 标签上开启 **Enable device-wide output enable (DEV_OE)**。

45. ☐ 如果需要，开启 device-wide output enable 选项。

未使用管脚

为实现电路板设计的灵活性，需要在 Quartus II 软件中将未使用管脚的状态指定为下面五种状态中一种状态：

- As inputs that are tri-stated (三态输入)
- As outputs that drive ground(驱动 GND 的输出)
- As outputs that drive an unspecified signal(驱动未指定信号的输出)
- As input tri-stated with bus-hold(总线保持的输入三态)
- As input tri-stated with weak pull-up(弱上拉的输入三态)



一定不要将未使用的管脚与驱动 GND 到 V_{CC} 或者其它时钟源的输出连接，因为这样会导致损坏器件输出驱动器的问题。

46. ☐ 指定未使用 I/O 管脚的保留状态。

为提高信号完整性，需要将未使用管脚的状态设为输出驱动到地 (as outputs that drive ground)，并将这些未使用管脚直接连接到电路板上的接地平面 (ground plane)。这样可以通过形成一个更短的返回路径来降低电感，也可以减少相邻 I/O 上的噪声。要降低功耗，需要设置时钟管脚为驱动 GND(drive ground)，并将其它未使用 I/O 管脚状态设置为 as inputs that are tri-stated。如果对未使用管脚设置保留的状态，那么一定不要将这些管脚连接到电路板上的其它器件。要进行正确的设置，需要在 **Device & Pin Options** 对话框中的 **Unused Pins** 标签上的 **Reserve all unused pins** 选项中选择五种支持的状态中的一种，或者在 Pin Planner 中应用 **Reserve Pin** 约束到指定的管脚。

47. ☐ 仔细检查 Quartus II 软件生成的 Pin-Put File (**.pin**) 中的管脚连接。不要连接 RESERVED 管脚。

编译您的设计时，Quartus II 软件生成 **.pin** 文件来指定如何连接器件管脚。根据在 Quartus II 中设置的未使用管脚选项，在报告文件中标记未使用的 I/O 管脚。指定为 GND 的所有 I/O 管脚既能够接地以提高器件的抗噪性，也能够悬空。使电路板上的所有的 RESERVED I/O 管脚悬空，因为这些 I/O 管脚驱动未指定的信号。连接 RESERVED I/O 管脚到 V_{CC} ，GND 或者其它信号源能够导致损坏器件输出驱动器的问题。您可以将 RESERVED_INPUT I/O 管脚连接到电路板上的高电平或者低电平信号，并将 RESERVED_INPUT_WITH_WEAK_PULLUP 和 RESERVED_INPUT_WITH_BUS_HOLD 管脚悬空。

信号完整性考量

本小节介绍了关于电压参考管脚，同步切换噪声和 I/O 匹配的电路板设计指南。

电压参考管脚


VREF 管脚上的电压偏差会影响输入的阈值灵敏度。

48. ☐ 设计无噪声的 VREF 管脚。

关于电压参考管脚和 I/O 标准的详细信息，请参考第 20 页 “I/O 特性与管脚连接”。

同步切换噪声 (SSN)

当很多管脚（彼此临近）同时改变电压电平时，便会出现同步切换噪声 (SSN) 问题。SSN 产生的噪声能够降低噪声容限，并导致错误的切换。

 尽管 SSN 问题在器件封装中普遍存在，但也要参考 [Board Design Resource Center](#) 中的 PCB 指南，以获得能够帮助减少噪声的电路板布局的建议。

例如，考虑以下两点：

49. ☐ 分解靠近器件的电路板层上的大总线信号，以减少串扰。
50. ☐ 如果两个信号彼此相邻，则尽可能地正交布线。使用 2 到 3 倍的走线宽的间隔。

I/O 匹配

电压参考 I/O 标准需要一个输入参考电压 V_{REF} 以及一个匹配电压 V_{TT} 。接收器件的参考电压跟踪发送器件的匹配电压。每一个电压参考 I/O 标准都需要一个独特的匹配设置。例如，在 SSTL2 标准中，一个正确的电阻信号匹配方案是产生一个具有高噪声容限的可靠 DDR 存储器系统的关键。

尽管单端和非电压参考 I/O 标准并不需要匹配电阻，但阻抗匹配是降低反射和改善信号完整性所必需的。

Cyclone IV 片上串联和并联匹配提供了无外部组件的便利性。或者，您也可以使用外部上拉电阻来匹配电压参考 I/O 标准，例如 SSTL 和 HSTL。

差分 I/O 标准通常在接收器的两个信号之间需要一个匹配电阻。该匹配电阻必须匹配信号线的差分负载阻抗。

51. ☐ 检查所选 I/O 标准的 I/O 匹配和阻抗匹配，特别是电压参考标准。


要了解关于片上匹配 (OCT) 功能和限制的详细信息，请参考第 20 页 “I/O 特性与管脚连接”。

板级仿真与高级 I/O 时序分析

为了确保 I/O 信号满足电路板设置上的接收器阈值电平，需要通过第三方板级仿真工具使用 IBIS 模型来执行完整的电路板布线仿真。

当该功能在 Quartus II 软件中可用时，在 **Settings** 对话框的 **EDA Tool Settings** 页面上的 **Board-level signal integrity analysis** 下面选择 IBIS。


52. ☐ 使用 IBIS 模型（可用情况下）执行板级仿真。

 关于仿真流程的详细信息，请参考 *Quartus II Handbook* 卷 3 中的 *Signal Integrity with Third-Party Tools* 章节。

当您在电路板设计中包括一个具有高速接口的 FPGA 器件时，获知信号完整性和电路板布线传输延迟对系统的正常运行至关重要。作为 I/O 和电路板规划的一部分，Altera 建议分析板级时序，特别是在高速设计中。

53. □ 配置电路板走线模型，进行 Quartus II 高级 I/O 时序分析。

您可以使用 Quartus II 软件配置所选 I/O 标准的电路板走线模型，然后生成 “board-aware” 信号完整性报告。当开启 **Enable Advanced I/O Timing** 选项后，TimeQuest Timing Analyzer 将仿真结果用于 I/O 缓冲、封装和电路板走线模型以生成更精确的 I/O 延迟和其它报告，从而深入了解系统级信号行为。您可以将这些高级时序报告用作更改 I/O 约束和电路板设计的指南，以改善时序和信号完整性。

 要了解关于 I/O 分析的电路板走线模型的详细信息，请参考 *Quartus II Handbook* 卷 2 的 *I/O Management* 章节。

I/O 与时钟规划

Cyclone IV 器件中的高管脚数，高级时钟管理以及收发器特性使规划使分配 I/O 以及时钟资源成为一项重要的任务。有效地规划可用 I/O 资源来最大化资源利用，并防止出现与信号完整性相关的问题，需要考虑各种重要因素。良好的时钟管理系统对于 FPGA 设计的性能也是至关重要的。

您的 FPGA 的 I/O 和时钟连接会影响系统和电路板设计的其它部分，因此在设计周期的初期就要对这些连接进行规划。

本小节涵盖以下几方面内容：

- “实现 FPGA 管脚分配”
- 第 19 页 “早期管脚规划与 I/O 约束分析”
- 第 20 页 “I/O 特性与管脚连接”
- 第 25 页 “时钟和 PLL 选择”
- 第 26 页 “PLL 特性指南”
- 第 27 页 “时钟控制模块”
- 第 27 页 “同步切换噪声”

实现 FPGA 管脚分配

通过使用 Quartus II Pin Planner GUI，可以识别 I/O bank、 V_{REF} 组以及差分管脚对，以帮助完成 I/O 规划。在 Pin Planner 电子数据表界面右击鼠标，然后点击 **Pin Finder** 来查找指定管脚。如果选择了移植器件，如第 4 页 “纵向器件移植” 所述，与当前选择的器件相比较时，Pin Migration 视图高亮显示那些改变移植器件中功能的管脚。

54. □ 使用 Quartus II Pin Planner 创建管脚分配。

如果在设计流程中通常使用电子数据表，那么可以选择将 Microsoft Excel 电子数据表导入 Quartus II 软件中以开始 I/O 规划进程。分配所有管脚后，您也可以导出一个包含 I/O 约束的 Comma-Separated Value File(.csv) 文件以用于电子数据表。

在 Quartus II 软件中编译设计时，Fitter 中的 I/O Assignment Analysis 会验证这些约束是否满足所有的器件要求，如果出现问题会生成相关的错误信息。

- 55.□ 将 Quartus II Fitter 信息和报告用于管脚分配的签核 (sign-off)。

Quartus II 设计人员然后将管脚位置信息发送给 PCB 设计人员。Quartus II 软件和原理图及电路板布局工具之间的管脚分配必须匹配，以确保设计在它位于的电路板上能够正常工作，特别是在必须修改管脚的情况下。Pin Planner 与某些 PCB 设计 EDA 工具紧密集成，并且能够从这些工具读取管脚位置变化。当您编译设计时，Quartus II 软件生成 .pin 文件。可以使用这一文件来验证电路板原理图中的每个管脚是否正确连接。

- 56.□ 验证 Quartus II 管脚分配是否匹配原理图和电路板布局工具中的管脚分配。

 关于使用 Pin Planner 创建 I/O 约束的详细信息，请参考 *Quartus II Handbook* 卷 2 中的 *I/O Management* 章节。关于在 Quartus II 软件与第三方 EDA 工具之间传递 I/O 信息的更多信息，请参考 *Quartus II Handbook* 卷 2 中的 *Mentor Graphics PCB Design Tools Support* 和 *Cadence PCB Design Tools Support* 章节。

早期管脚规划与 I/O 约束分析

在许多设计环境中，FPGA 设计人员都想提前规划顶层 FPGA I/O 管脚，这样电路板设计人员就能够开始进行 PCB 设计和布局。FPGA 器件的 I/O 容量和电路板布局指南会影响管脚位置和其它类型的约束。电路板设计团队在指定 FPGA 管脚时，要尽可能早在 FPGA 布局与布线软件中校验管脚位置，以避免电路板设计变更，这样做是至关重要的。

您可以使用 Quartus II Pin Planner 来实现 I/O 管脚约束规划、约束和验证，如第 18 页“实现 FPGA 管脚分配”所述。Quartus II 的 **Start I/O Assignment Analysis** 命令用于检查目标 FPGA 体系结构中是否支持这些管脚位置和约束。检查的内容包括参考电压管脚使用、管脚位置约束和 I/O 标准混用。您可以使用 I/O Assignment Analysis，来对在整个设计过程中制定或者修改的 I/O 相关约束进行验证。

提早开始 FPGA 管脚规划可以增强对早期电路板布局的信心，降低错误几率，并缩短设计的总体面市时间。设计源代码之前，通过使用 Quartus II Pin Planner，您可以创建 Altera FPGA 的起始外管脚。

- 57.□ 设计完成前，通过 I/O Assignment Analysis，使用 **Create Top-Level Design File** 命令来检查 I/O 约束。

在设计过程的早期，系统结构通常含有标准 I/O 接口（例如：存储器和总线接口）、设计中使用的 IP 内核以及其它有系统要求定义的 I/O 相关约束等信息。Pin Planner **Create/Import Megafunction** 功能与 MegaWizard™ Plug-In Manager 相连，使您能够创建或者导入定制宏功能和使用 I/O 接口的 IP 内核。输入 PLL，LVDS 和收发器模块，这些模块会影响管脚的放置规则。在尽可能详细地输入 I/O 相关信息后，使用 Pin Planner 中 **Create Top-Level Design File** 命令生成一个顶层设计网表文件。您可以利用 I/O 分析结果来修改管脚约束或者 IP 参数，并重复检查程序，直到 I/O 接口满足您的设计要求并通过 Quartus II 软件的管脚检查为止。

完成规划后，可将初始的管脚位置信息传递给 PCB 设计人员，如前面章节所述。完成设计后，使用 Quartus II Fitter 生成的报告和消息，进行管脚约束的最终签核。



关于 I/O 约束和分析的详细信息，请参考 *Quartus II Handbook* 卷 2 中的 *I/O Management* 章节。

I/O 特性与管脚连接

Cyclone IV I/O 为易用性和快速系统集成而设计，并同时提供高带宽和支持通用接口。基于通用 bank 结构的独立模块化 I/O bank 对于高速 I/O 的纵向移植具有很好的高效性和灵活性。本章节介绍了 I/O 特性和管脚连接相关的一些指导原则，也阐述了对器件 I/O bank 中不同 I/O 信号类型和 I/O 标准的支持，以及其它可用于设计的 I/O 特性。本章节还介绍了存储器接口、焊盘布局原则以及特殊管脚连接的相关信息。



关于管脚连接的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

I/O 信号类型

Cyclone IV 器件支持广泛的工业 I/O 标准，包括单端、电压参考单端和差分 I/O 标准。本章节介绍了选择信号类型的一些通用原则。

单端 I/O 信号提供了一个简单的轨到轨 (rail-to-rail) 接口，其速度受大电压摆幅和噪声的限制。单端 I/O 不需要匹配电阻，除非系统中的反射导致了不良影响。

电压参考信号可以减少由多个管脚同时改变电压电平导致的同步切换输出 (SSO) 影响（例如：外部存储器接口数据和地址总线）。电压参考信号也对为更高的逻辑跳变率提供了更低的电压摆幅，并且通过端接要求来最小化由反射导致的噪声。然而，参考电压源 (V_{TT}) 需要额外的端接组件。

由于使用具有反向且耦合的一对数据信号，差分信号具有超高的传输速率，差分信号消除了单端和电压参考信号的接口性能障碍。差分信号还消除了对干净参考电压的要求。这是可以实现的，因为共模噪声抑制能力带来的更低摆幅电压和抗噪性。这一实现需要考虑的因素包括：专用 PLL 生成一个采样时钟的要求，以及消除正反信号相位差的匹配导线长度。

Cyclone IV I/O 管脚成对出现以支持差分标准。每一个 I/O 管脚对都可支持差分输入或者输出操作，但不包括仅支持差分输入操作的某些时钟管脚。在您的设计源代码中，只需定义一个管脚来代表某个差分对，并为该对的正端进行管脚约束。当您指定差分 I/O 标准时，Quartus II 软件会自动对相应的负管脚进行布局。

- 58. ☐ 根据您的系统要求规划 I/O 信号类型。
- 69. ☐ 允许软件对差分管脚对的负管脚进行位置约束。

可选 I/O 标准和灵活的 I/O Bank

Cyclone IV I/O 管脚集成在 I/O bank 中，每个 bank 都有各自的电源总线。每个器件 I/O 管脚都与一个 I/O bank 相关联。Cyclone IV E 器件有八个 I/O bank。Cyclone IV GX 器件有高达 10 个 I/O bank 和 1 个配置 bank。Cyclone IV GX 配置 I/O bank 包含三个基于次级配置编程功能的用户 I/O 管脚。这些管脚如果没有用于配置模式，那么可用作普通用户 I/O 管脚。

- 60. ☐ 对每一个 I/O 管脚选择一个合适的信号类型和 I/O 标准。
- 61. ☐ 确保目标 I/O bank 支持相应的 I/O 标准。

除了 HSTL-12 Class II (仅被列 I/O bank 支持), 所有的单端 I/O 标准都被支持。所有的 I/O 差分标准都被顶端、底部和右侧的 I/O bank 支持。唯一的例外是 HSTL-12 Class II, 它仅被列 I/O bank 支持。Cyclone IV GX 器件的整个左侧包含专用高速收发器模块, 用于高速收发器接口应用。

您可以在 Pin Planner 中分配 I/O 标准和进行其它 I/O 相关设置。一定要为信号选择正确的专用管脚输入, 例如: 时钟和全局控制信号, 如第 25 页 “时钟和 PLL 选择” 所述。

- 62. ☐ 将具有相同电压的 I/O 管脚放在同一个 I/O bank 中。
- 63. ☐ 验证每个 I/O bank 的所有输出信号是否会以 bank 的 V_{CCIO} 电压电平输出。
- 64. ☐ 验证每个 I/O bank 的所有电压参考信号是否会使用 bank 的 V_{REF} 电压电平。

电路板必须为每个 bank 提供一个 V_{CCIO} 电压电平, 用于 bank 中的每一个 V_{CCIO} 管脚。每个 I/O bank 均由指定 bank 的 V_{CCIO} 管脚供电, 与其它 I/O bank 的 V_{CCIO} 无关。一个单 I/O bank 支持以 V_{CCIO} 相同电压驱动的输出信号。一个 I/O bank 可同时支持使用不同 I/O 标准的任意数量数的输入信号, 但一些电压参考输入例外。

电压参考标准被使用任意数量的单端或差分标准的 I/O bank 支持。只要这些 I/O bank 使用相同的 V_{REF} 和 V_{CCIO} 值。例如, 如果选择在 Cyclone IV 器件中实现 SSTL-2 和 SSTL-18, 那么使用这些标准的 I/O 管脚 (由于它们需要不同的 V_{REF} 值) 必须来自彼此不同的 bank 中。然而, 当 V_{CCIO} 设置为 2.5 V 和 V_{REF} 设置为 1.25 V 时, 相同的 I/O bank 可以支持 SSTL-2 和 2.5-V LVC MOS。



当 V_{REF} 管脚作为普通的 I/O 使用时, 它们有高于普通用户 I/O 管脚的电容。如果这些管脚用作输入和输出, 那么将对时序产生影响。



要了解关于 V_{REF} 管脚电容的详细信息, 请参考 *Cyclone IV Device Handbook* 卷 3 中的 *Cyclone IV Device Data Sheet* 章节中的 “Pin Capacitance” 部分。关于如何识别 V_{REF} 组的详细信息, 请参考 *Cyclone IV Device Family Pin-Out Files* 或者 Quartus II Pin Planner 工具。

- 65. ☐ 检查 I/O bank 是否支持 LVDS 和收发器特性。

不同的 I/O bank 包含不同的 LVDS 信号支持, Cyclone IV 收发器 bank 包含更多的支持。



要了解关于可用于 LVDS I/O 标准的通道数量的详细信息, 请参考 *Cyclone IV 器件手册* 卷 1 中的 *Cyclone IV 器件中的 I/O 特性* 章节。关于收发器 bank 的相关特性, 请参考 *Cyclone IV 器件手册* 卷 2 中的 *Cyclone IV 收发器体系结构* 章节。



关于 I/O 的详细信息, 请参考 *Cyclone IV 器件手册* 卷 1 中的 *Cyclone IV 器件中的 I/O 特性* 章节。请参考 Cyclone IV I/O bank 图表, 获得每个 I/O bank 的位置和支持信息。描述每个 bank 中 I/O 数量的图表提供了每种器件密度的 bank 信息。当使用 Cyclone IV 器件设计 LVTTTL 和 LVC MOS 输入时, 请参考介绍 I/O bank 指南的章节。



关于每种 I/O 标准的电气特性的详细信息, 请参考 *Cyclone IV Device Handbook* 卷 3 中的 *Cyclone IV Device Data Sheet* 章节。

关于差分 I/O 管脚的布局指南

相对于差分 LVDS I/O 管脚，对单端 I/O 管脚的布局有一定限制。要遵循指定 I/O 管脚数量的管脚布局准则，必须分离单端输出和 LVDS I/O。编译过程中，Quartus II Fitter 验证是否符合这些指导原则。编译完成后，Quartus II 软件生成 fitter 报告，对编译期间由 Quartus II 检查的指导原则进行总结。

- 66.□ 当对位于 LVDS I/O 附近的管脚布局时，要小心谨慎并遵循相关指导原则。

用于一个 bank 的 V_{CCIO} 电源易受该 bank 中的切换输出产生的噪声的影响。要维持 V_{CCIO} 电源上的一个可接受的噪声水平，需要限制与差分 pad 相关的单端 I/O pad 的布局。Quartus II 软件自动检查这些限制。

当一个 bank 中存在单端电压参考输入时，Quartus II 软件会自动检查与 V_{REF} pad 和电源对 (V_{CCIO} 和 GND) 相关的输出布局的限制。这一限制的目的是保持 V_{CCIO} 电源上的一个可接受的噪声水平，并防止输出切换噪声切换 V_{REF} 轨。

存储器接口

Cyclone IV 器件提供一种高效的体系结构，可利用其小型模块化 I/O bank 快速轻松地适应外部宽存储器接口。Cyclone IV 器件支持现有的和即将发布的外部 DDR 存储器标准，例如：DDR2 SDRAM、DDR SDRAM 和 QDR II SRAM。Cyclone IV 器件在顶端、底部和右侧 I/O bank 上支持 DDR 外部存储器。

- 67.□ 将 ALTMEPHY megafunction(或 IP core) 用于每个存储器接口，并遵循相关文档中的连接指南和限制。

经过优化自校准模块 (ALTMEPHY) 以利用 Cyclone IV I/O 结构和 Quartus II TimeQuest Timing Analyzer。此模块使您能够设置外部存储器接口功能，并帮助建立最适合您系统并具有最可靠的操作频率的物理接口 (PHY)。当使用 Altera 存储控制器 MegaCore® 功能时，ALTMEPHY 宏功能会被例化。

如果使用 Altera IP 将多个存储器接口设计到器件中，则需要对每一个实例生成一个唯一的接口，以此来保证获得良好的结果，而不是设计一次再例化多次。

- 68.□ 将专用 DQ/DQS 管脚和 DQ 组用于存储器接口。

Cyclone IV 器件中的数据选通 DQS 和数据 DQ 管脚位置是固定的。在设计器件管脚之前，请参考存储器接口指南，以了解这些及其它存储器相关信号连接的详细信息和重要规定。



要了解关于连接 Cyclone IV 器件与外部存储器件，包括不同的存储器标准所支持的最大时钟率以及管脚布局限制的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 *Cyclone IV 器件的外部存储器接口* 章节。关于其它资源的信息，请参考 [External Memory Solutions Center](#)。



要了解关于 Cyclone IV PLL 的详细信息，请参考 *Cyclone IV 器件手册* 中的 *Cyclone IV 器件中的时钟网路与 PLL* 章节。关于 ALTMEPHY megafunction 的详细信息，请参考 *External DDR Memory PHY Interface (ALTMEPHY) Megafunction User Guide*。

复用和特殊管脚连接

Cyclone IV 器件通过复用配置管脚实现了 I/O 灵活性。器件配置完成后，您可以将复用配置管脚用作一般 I/O。在 **Device and Pin Options** 对话框的 **Dual-Purpose Pins** 标签中，对每个复用管脚选择所需的设置。根据配置方案，这些管脚可保留为普通的 I/O 管脚、三状态输入、接地驱动输出、或者驱动一个未指定信号的输出。

如果用于驱动 GCLK 网络的专用时钟输入没有用作时钟管脚，那么可以用作通用输入管脚。当时钟输入用作通用输入时，由于时钟输入管脚不包括专用 I/O 寄存器，因此 I/O 寄存器将使用基于 LE 的寄存器。

如果 device-wide reset 和 clear 管脚未使能，那么可用作设计 I/O。关于详细信息，请参考第 16 页 “[Device-Wide Output Enable 管脚](#)” 和第 29 页 “[寄存器上电电平与控制信号](#)”。

- 69.□ 进行复用管脚设置，并在将这些管脚用作普通 I/O 时检查是否存在一些限制。

Cyclone IV I/O 特性

Cyclone IV IOE 提供了 I/O 管脚的一系列可编程的特性。这些特性增加了 I/O 使用的灵活性，并提供了另一种减少使用外部分离组件（例如上拉电阻和二极管）方法。[表 3](#) 列出了 Cyclone IV I/O 特性，提供了使用信息和设计考虑因素，以及关于器件特性的更多参考信息。

表 3. Cyclone IV I/O 特性 (1/2)

特性	使用	指南及更多信息
MultiVolt I/O Interface(多电压 I/O 接口)	支持所有封装与不同电源电压的系统连接。根据输出要求，VCCIO 管脚能够连接到 1.5-，1.8-，2.5-，3.0 或者 3.3-V 电源。输出电平兼容于使用与电源相同电压的系统。	关于 MultiVolt I/O 支持汇总，所支持的 I/O 标准列表和输入和输出 V _{CCIO} 、V _{REF} 和电路板匹配电压 (V _{TT}) 的典型值的详细信息，请参考 <i>Cyclone IV 器件手册</i> 卷 1 中的 Cyclone IV 器件中的 I/O 特性 章节。
3.3-V I/O Interface(3.3-V I/O 接口)	Cyclone IV I/O 缓存作为您系统中的发送器或接收器支持 3.3-V I/O 标准。当使用 3.3 V 供电 Cyclone IV V _{CCIO} 时，输出高电压 (V _{OH})，输出低电压 (V _{OL})，输入高电压 (V _{IH}) 和输入低电压 (V _{IL}) 电平满足 3.3-V I/O 标准规范。	为了确保连接 3.3-V I/O 系统时器件的可靠性和正常运行，一定不要超出 Cyclone IV 器件的绝对最大额定值。 Altera 建议通过执行 IBIS 仿真来确定过冲和下冲电压是否在指定范围内。关于详细信息，请参考 <i>Cyclone IV 器件手册</i> 卷 1 中的 Cyclone IV 器件中的 I/O 特性 章节。
Programmable Output Current Strength(可编程输出电流强度)	可编程电流强度控制可用于某些 I/O 标准。可减少远距离传输线路或者传统背板导致的高信号衰减影响。较高的电流强度可提高 I/O 性能，但同时也增加了接口上的噪声，因此您可以利用电流强度控制管理噪声。	确保输出缓冲电流强度足够高，并且不会导致超出 I/O 标准电压阈值参数的过多的过冲或者下冲。 Altera 建议执行 IBIS 或者 SPICE 仿真来确定特定应用确定的正确电流强度设置。关于标准和设置列表的详细信息，请参考 <i>Cyclone IV 器件手册</i> 卷 1 中的 Cyclone IV 器件中的 I/O 特性 章节。
Programmable Slew Rate Control(可编程摆率控制)	配置每个管脚以实现低噪声或者高速性能。更快的摆率实现了高速传输。在存储器接口应用中，或者输出管脚具有高容性负载的情况下，您可以使用更快的摆率来改善有效时序裕量。一个较慢的摆率有助于降低系统的噪声，但会增加上升和下降沿上的额定延迟。可以通过使用摆率来减少 SSN。	如果使用较慢的摆率，则要确认接口满足其性能要求。 Altera 建议执行 IBIS 或者 SPICE 仿真来确定对指定的应用是否设置了正确的摆率。

表 3. Cyclone IV I/O 特性 (2/2)

特性	使用	指南及更多信息
Programmable IOE Delay(可编程 IOE 延迟)	可编程延迟链能够保证零保持时间、最小化建立时间, 或者增加时钟到输出时间。可以将延迟用作抗扭斜电路, 来确保总线的比特均有相同的进出器件延迟。	Quartus II 编译器可编程这些延迟以自动最小化建立时间, 同时提供一个零保持时间。可编程延迟可以增加输出寄存器的寄存至管脚 (register-to-pin) 的延迟。关于延迟规范的详细信息, 请参考 <i>Cyclone IV Device Handbook</i> 卷 3 中的 <i>Cyclone IV Device Data Sheet</i> 章节。
Programmable Output Buffer Delay(可编程输出缓存延迟)	单端输出缓存中的延迟链可以独立控制输出缓存的上升沿和下降沿延迟。	可以通过使用延迟来调节输出缓冲占空比, 对通道至通道偏移进行补偿, 通过特意引入通道至通道偏移来减少 SS0 噪声, 并改善高速存储器接口时序裕量。
Open-Drain Output(开漏输出)	配置为开漏时, 输出的逻辑值为 high-z 或者 0。用于那些可以被系统中多个器件置位的系统级控制信号。	需要一个外部上拉电阻来提供逻辑高电平。
Bus Hold(总线保持)	弱保持 I/O 管脚上的信号在其最后驱动的状态直到出现下一个输入信号。利用这一特性, 总线处于三态时, 不再需要一个用于保持信号电平的外部上拉或者下拉电阻。当噪声导致意外高频切换时, 该电路也会将非驱动管脚拉离输入阈值电压。	如果使能总线保持功能, 则不能使用可编程上拉选项。如果 I/O 管脚配置为差分信号, 则要禁用总线保持功能。关于通过该电阻驱动的特定持续电流, 以及用于验证每个 V_{CCIO} 电压电平下一个驱动输入电平的过驱动电流的详细信息, 请参考 <i>Cyclone IV Device Handbook</i> 卷 3 中的 <i>Cyclone IV Device Data Sheet</i> 章节。
Programmable Pull-Up Resistor(可编程上拉电阻)	上拉电阻在用户模式中弱保持 I/O 至 V_{CCIO} 电平。可用于开漏输出, 消除对外部上拉电阻的需要。	如果使能可编程上拉选项, 则不能使用总线保持功能。
PCI Clamping Diode(PCI 钳位二极管)	用于保护管脚在 3.3-V LVTTTL, 3.3-V LVCMOS, 3.0-V LVTTTL, 3.0-V LVCMOS, 2.5-V LVTTTL/LVCMOS, PCI 和 PCI-X I/O 标准接口中免受超量过冲电压的影响。	如果输入 I/O 标准是 3.3-V LVTTTL, 3.3-V LVCMOS, 3.0-V LVTTTL, 3.0-V LVCMOS, 2.5-V LVTTTL/LVCMOS, PCI 或 PCI-X, 那么 PCI 钳位二极管在 Quartus II 中是默认使能的。
OCT(片上匹配电阻)	驱动器阻抗匹配对 I/O 驱动器提供受控输出阻抗, 其高度匹配传输线路阻抗, 从而极大地减少反射。OCT 维持信号质量, 节省电路板空间, 并降低外部组件成本。Cyclone IV 支持基于 / 不基于校准的 R_S OCT。Cyclone IV 器件提供 25- Ω 和 50- Ω 串行匹配电阻值。	R_S OCT 被所有的 I/O bank 支持。 V_{CCIO} 和 V_{REF} 必须兼容, 使所有的 I/O 管脚都能够使能指定 I/O bank 中的 R_S OCT。支持不同 R_S 值的 I/O 标准可位于同一 I/O bank 中, 只要它们的 V_{CCIO} 和 V_{REF} 彼此之间不冲突。关于详细信息, 请参考 <i>Cyclone IV 器件手册</i> 卷 1 中的 <i>Cyclone IV 器件中的 I/O 特性</i> 章节。
Programmable Pre-Emphasis and VOD(可编程预加重和 VOD)	增加输出信号高频部分振幅, 有助于补偿关于传输线路上的频率依赖衰减。	关于详细信息, 请参考 <i>Cyclone IV Device Handbook</i> 卷 1 中的 <i>Cyclone IV Device I/O Features</i> 章节。

关于更多信息, 请考虑以下检查列表中的相关项和参考相关文档:

70. ☐ 查看有助于 I/O 接口的可用器件 I/O 特性: 电流强度、摆率、I/O 延迟、开漏、总线保持、可编程上拉电阻、PCI 钳位二极管、可编程预加重和电压输出差分 (V_{OD})。

- 71. ☐ 考虑 OCT 特性，以节省电路板空间。
- 72. ☐ 检查所要求的匹配方案是否被所有管脚位置支持。

时钟和 PLL 选择

规划时钟方案的第一阶段是确定系统时钟要求。了解器件的可用时钟资源，并相应地规划设计时钟方案。需要考虑时序性能要求，以及一个特定时钟驱动多少逻辑。

Cyclone IV GX 器件提供高达 12 个专用时钟管脚 (CLK[15..4])，用于驱动全局时钟 (GCLK)。Cyclone IV GX 器件的每一侧（左侧除外）均支持四个专用时钟管脚，这些时钟管脚能够驱动高达 30 个 GCLK。Cyclone IV E 器件提供高达 15 个专用时钟管脚 (CLK[15..1])，用于驱动高达 20 个 GCLK。Cyclone IV E 器件的左侧支持三个专用时钟管脚，在顶端、底部及右侧支持四个专用时钟管脚 (EP4CE6 与 EP4CE10 器件除外)。EP4CE6 和 EP4CE10 器件仅在器件左侧支持三个专用时钟管脚，在器件右侧支持四个专用时钟管脚。

Cyclone IV GX 器件提供两种类型的 PLL：GPLL 和 MPLL。Cyclone IV E 器件仅包含 GPLL。GPLL 用于 FPGA 结构及外设（例如：外部存储器接口）中的通用应用，而 MPLL 则用于提供时钟给收发器模块。如果 MPLL 未用于收发器时钟，则可用于通用时钟。Cyclone IV GX 器件提供高达八个 GPLL 和 MPLL，对器件时钟管理、外部系统时钟管理以及高速 I/O 接口提供了可靠的时钟管理与综合。



关于每种器件密度中 GCLK 网络、GPLL 和 MPLL 数量的详细信息，请参考 *Cyclone IV 器件手册卷 1* 中的 [Cyclone IV FPGA 器件系列概述](#) 章节。

- 73. ☐ 使用正确的专用时钟管脚，并将布线信号用作时钟和全局控制信号。

专用时钟管脚直接驱动时钟网络，从而保证比其它 I/O 管脚更低的偏移。使用专用布线网络实现较低偏移的可预测延迟用于高扇出信号。您也可以使用时钟管脚和时钟网络来驱动像异步复位的控制信号。

- 74. ☐ 将器件 PLL 用于时钟管理。

指定时钟输入连接到驱动指定低偏移布线网络的指定 PLL。分析每个 PLL 的全局资源可用性和每个时钟输入管脚的 PLL 可用性。

根据下面的描述来决定哪些时钟网络适用于您设计中的时钟信号：

- 全局时钟 (GCLK) 网络能在整个器件中驱动，用作器件逻辑的低偏移时钟源。与其它时钟域相比，该时钟域具有最大延迟，并且允许信号到达器件内任何地方。该选项有利于布线布局复位 / 清除信号，或者布线分布在整个器件的时钟。
- IOE 和内部逻辑还可驱动 GCLK 来内部创建生成的 GCLK 以及其它高扇出控制信号；例如：同步或异步清除和时钟使能。
- PLL 不能由内部生成的 GCLK 驱动。PLL 的输入时钟必须来自专用时钟输入管脚，并由管脚驱动的专用 GCLK 驱动，或者通过时钟控制模块驱动（如果时钟控制模块由另一个 PLL 的输出或者一个管脚驱动专用 GCLK 来驱动）。

- 75. ☐ 分析每个 PLL 和时钟管脚的输入和输出布线连接。确保 PLL 输入来自专用时钟管脚或其它 PLL。




关于这些特性及详细的专用时钟连接信息，请参考 *Cyclone IV 器件手册卷 1* 中的 [Cyclone IV 器件中的时钟网络与 PLL](#) 章节。

如果您的系统需要比目标器件更多的时钟或者控制信号，可以考虑省去一些专用时钟资源，特别是低扇出和低频信号，其中的时钟延迟和时钟偏移对设计性能没有显著影响。使用 Quartus II Assignment Editor 的 **Global Signal** 约束选择全局布线类型，或者将分配设置为 **Off** 来指定信号不使用任何全局布线资源。


PLL 特性指南

根据您的系统要求对 FPGA 设计定义所要求的时钟频率以及用于 FPGA 的输入频率。使用这些规范来确定您的 PLL 方案。使用 Quartus II MegaWizard Plug-In Manager 输入 ALTPLL megafunction 的设置，并检查结果以验证是否能够在特定的 PLL 中实现特定的功能以及输入和输出频率。

76. ☐ 在 MegaWizard Plug-In Manager 中使能 PLL 功能并检查设置。

 关于设置时序约束用于 PLL 的详细信息，请参考 *AN 471: High-Performance FPGA PLL Analysis with TimeQuest*。

Cyclone IV PLL 器件对器件时钟管理、外部系统时钟管理以及高速 I/O 接口提供了可靠的时钟管理与综合。所有的 Cyclone IV PLL 均支持用于通用时钟管理的几种功能。当规划您的 PLL 设计时需要使用以下功能。

 关于 PLL 功能特性的详细信息，请参考 *Cyclone IV 器件手册 卷 I 中的 Cyclone IV 器件中的时钟网络与 PLL* 章节。

 关于设计你的 PLL 以及使用 ALTPLL megafunction 来应用本节中介绍的功能特性的详细信息，请参考 *Phase-Locked Loops (ALTPLL) Megafunction User Guide*。

时钟反馈模式

Cyclone IV PLL 支持下面五种时钟反馈模式：

- 源同步模式 (source synchronous mode)
- 无补偿模式 (no compensation mode)
- 正常模式 (normal mode)
- 零延迟缓存 (ZDB) 模式 (zero delay buffer (ZDB) mode)
- 确定性延迟补偿模式 (deterministic latency compensation mode)

每种模式对不同的时钟网络和延迟进行补偿，因此以不同的方式对齐时钟。对您的应用选择正确的反馈模式。

77. ☐ 要确保选择正确的 PLL 反馈补偿模式。

时钟切换

时钟切换功能使 PLL 能够在两个参考输入时钟之间进行切换。这一功能可用于时钟冗余或双时钟域的应用，例如：一个用于开启冗余时钟的系统（如果前一个时钟停止运行）。当时钟不再翻转，或者基于用户控制信号 (clkswitch) 时，您的设计能够自动执行时钟切换。

时钟控制模块

在 Cyclone IV 器件中，专用时钟输入管脚、PLL 计数器输出、复用时钟 I/O 输入和内部逻辑都可用于驱动每个 GCLK 的时钟控制模块。反过来，时钟控制模块上的输出也能够驱动相应的 GCLK。如果时钟控制模块输入是另一个 PLL 或者专用时钟输入管脚的输出，那么 GCLK 能够驱动 PLL 输入。根据不同的器件密度，器件的每一侧上会有五个或六个时钟控制模块。每一个 Cyclone IV GX 器件提供高达 30 个时钟控制模块。每一个 Cyclone IV E 器件提供高达 20 个时钟控制模块。

控制模块有两个功能：

- 动态 GCLK 时钟源选择（不适用于复用时钟（DPCLK）和内部逻辑输入）
- GCLK 网络断电（动态使能和禁用）

使用这些特性选择不同的时钟输入信号或者断电时钟网络来降低功耗，而无需在您的设计中使用任何的组合逻辑。在 Cyclone IV 器件中，在时钟网络层支持时钟使能信号，而不是在 PLL 输出计数器层。因此即使在 PLL 未使用时，您也可以关闭某个时钟。您可以静态地通过 Quartus II 中的设置，或者动态地通过内部逻辑驱动多路复用器选择输入来选择时钟源。

78. ☐ 将时钟控制模块用于时钟选择和断电。



关于使用 ALTCLKCTRL megafunction 建立时钟控制模块的详细信息，请参考 *Clock Control Block (ALTCLKCTRL) Megafunction User Guide*。

同步切换噪声

当很多管脚（彼此临近）同时改变电压电平时，便会出现同步切换噪声（SSN）问题。在规划 I/O 和时钟连接时，请考虑下列建议：

- 79. ☐ 对设计进行分析，检查是否可能存在 SSN 问题。
- 80. ☐ 尽可能减少在同一时间切换电压的管脚数。
- 81. ☐ 将差分 I/O 标准和低电压标准用于高速切换 I/O。
- 82. ☐ 将较低的驱动强度用于高速切换 I/O。驱动强度的默认设置有可能高于您设计所要求的。
- 83. ☐ 减少每个 bank 内同时切换输出管脚的数量。如果可能，将输出管脚分布在多个 bank 中。
- 84. ☐ 均匀切换 bank 中的 I/O 以减少给定区域中干扰源的数量，从而减低 SSN (bank 使用率实际低于 100% 时)。
- 85. ☐ 将同时切换管脚与易受 SSN 影响的输入管脚分隔开。
- 86. ☐ 在接地信号附近以及远离大切换总线的地方，对重要时钟和异步控制信号进行布局。
- 87. ☐ 避免将 I/O 管脚（即远离 PLL 电源管脚的一个或两个管脚）用于高切换或高驱动强度管脚。
- 88. ☐ 使用交错输出延迟通过时间来转移输出信号，或者也可以使用可调节摆率设置。

关于可用功能特性的详细信息，请参考第 23 页“Cyclone IV I/O 特性”。

设计入口

开发复杂的 FPGA 设计时，设计方法和编码风格的使用对器件的时序性能、逻辑使用和系统可靠性会产生巨大的影响。您也可以使用宏功能和 SOPC Builder 帮助设计您的 FPGA 系统。此外，规划和创建设计的同时，规划层次或团队设计可提高设计的生产效率。

设计建议

在同步设计中，时钟信号触发所有事件。当所有的寄存器时序要求都得到满足时，所有工艺、电压和温度 (PVT) 条件下，同步设计均以一种可预测和可靠的方式工作。您可以轻松地让同步设计面向不同的器件系列或者速度等级。

89. ☐ 使用同步设计方法。注意时钟信号。

异步设计方法存在的一些问题，包括器件中的传播延迟依赖性、不完整时序分析和潜在毛刺。

要特别注意您的时钟信号，因为它们会影响设计的时序准确性、性能以及可靠性。时钟信号问题可导致设计中的功能和时序问题。使用专用时钟管脚和时钟布线，可获得最佳的结果。对于时钟反转、倍频和分频，要使用器件 PLL。对于时钟多路传输和选通，要使用专用时钟控制模块或者 PLL 时钟切换特性，而不是组合逻辑。要了解详细信息，请参考第 13 页“PLL 电路板设计指南”。如果必须使用内部生成的时钟信号，那么需要寄存所有用作时钟信号的组合逻辑的输出，以减少毛刺。例如，如果使用组合逻辑分频一个时钟，则需要通过用于同步分频电路的时钟信号对最后阶段提供时钟。

90. ☐ 使用 Quartus II Design Assistant 检查设计可靠性。

Quartus II 软件中的 Design Assistant 是一种设计规则检查工具，使您能够在设计流程早期查出存在的设计问题。Design Assistant 根据 Altera 建议的设计原则或者设计规则对设计进行检查。要运行 Design Assistant，请在 Processing 菜单中，指向 **Start** 并点击 **Start Design Assistant**。要设置 Design Assistant 在编译期间自动运行，在 Settings 对话框中开启 **Run Design Assistant during compilation**。您也可以使用第三方“lint”工具来检查您的编码风格。



关于设计建议和使用 Design Assistant 特性的详细信息，请参考 *Quartus II Handbook* 卷 1 中的 *Design Recommendations for Altera Devices and the Quartus II Design Assistant* 章节。您也可以参考相关的行业文献来获得关于多时钟设计的更多信息。关于多异步时钟设计的良好分析，请参考 *Synthesis and Scripting Techniques for Designing Multi-Asynchronous Clock Designs*。

使用宏功能

Altera 提供了已优化的，用于 Altera 器件体系结构的可参数化宏功能。使用宏功能替换逻辑编码可以节省设计时间。此外，Altera 提供的宏功能可以提供更高效的逻辑综合和器件实现。宏功能包括参数化模块 (LPM) 和 Altera 器件指定的宏功能库。您还可以利用 Altera 及第三方 IP 和参考设计来节省设计时间，如第 2 页“IP 选择”所述。

Quartus II MegaWizard Plug-In Manager 提供了用于定制宏功能的用户接口。需要使用 MegaWizard Plug-In Manager 来建立或者修改宏功能参数，以确保正确地设置所有端口和参数。

91. ☐ 通过 MegaWizard Plug-In Manager 使用宏功能。



关于指定宏功能的详细信息，请参考 Quartus II Help 或者 [Literature: User Guides](#) 页面上的宏功能用户指南。

建议的 HDL 编码风格

HDL 编码风格对可编程逻辑设计的结果质量 (QoR) 有着显著的影响。采用 Altera 推荐的编码风格达到最佳的综合结果。在设计存储器和数字系统处理 (DSP) 功能时，理解器件体系结构会很有帮助，这样您才能利用专用逻辑模块尺寸和配置。

92. ☐ 遵循推荐的编码风格，特别是在映射例如存储器和 DSP 模块等器件专用模块时。



要了解具体的 HDL 编码实例和建议，请参考 *Quartus II Handbook* 卷 1 中的 *Recommended HDL Coding Styles* 章节。要了解其它专用工具的相关原则，请参考综合工具的文档。在 Quartus II 软件中，从文本编辑器的右键菜单中选择使用 Language Templates 中的 HDL 实例。

寄存器上电电平与控制信号

Cyclone IV 器件支持可选的芯片全复位 (chip-wide reset)，使您能够覆盖所有寄存器上的清零信号，包括存储器模块寄存器（但不是存储器内容本身）。当 DEV_CLRn 管脚被驱低时，所有寄存器均被清零或复位至 0。

以下部分介绍了综合执行一种称为 “NOT gate push back” 的优化的情况，其中被影响的寄存器表现为：DEV_CLRn 驱动为低电平时它们却被预置为高电平值。当 DEV_CLRn 管脚被驱高时，所有寄存器均表现为已编程。要使用此芯片全复位，需要在编译您的设计之前，在 **Device and Pin Options** 对话框的 **General** 标签中，开启 Quartus II 软件的 **Enable device-wide reset (DEV_CLRn)**。

93. ☐ 如果需要，启用芯片全复位清零所有寄存器。

每个 Cyclone IV 逻辑阵列模块 (LAB) 包含驱动寄存器控制信号到其 LE 的专用逻辑。控制信号包括两个时钟、两个时钟使能、两个异步清零、一个同步清零和一个异步加载。由于信号在 LAB 内共享，因此寄存器控制信号限制寄存器封装到 LAB 中的方式。在器件体系结构中，使用专用控制信号是非常重要的。在某些情况下，您需要限制设计中使用的各种控制信号的数量。



关于 LE 和 LAB 体系结构的详细信息，请参考 *Cyclone IV 器件手册* 卷 1 中的 *Cyclone IV 器件的逻辑单元和逻辑阵列模块* 章节。

如果复位被置位时时钟信号不可用，则通常会使用一个异步复位来对逻辑进行复位。推荐的复位体系结构支持对复位信号进行异步复位和同步释放。然后，复位信号的源连接至寄存器的异步端口，其可直接连接至全局布线资源。同步释放支持同时启用所有的状态机和寄存器。另外，如果异步复位信号靠近或者在触发器有效时钟沿被释放，那么 flip-flop 的输出会进入一种亚稳状态，而同步置低却能避免这种可能性的出现。



关于复位设计的详细信息，请参考相关行业文献。关于复位体系结构的良好分析，请参考 *Asynchronous & Synchronous Reset Design Techniques - Part Deux*。

默认情况下，Quartus II 集成综合使能 **Power-Up Don't Care** 逻辑选项，其假设您的设计不依赖器件体系结构的上电状态，并支持软件移除那些拉高的寄存器。其它综合工具可能使用类似的假设。

设计人员将一个明确的复位信号用于设计，复位后（但未必是上电时）强制所有寄存器设置成相应的值。通过创建您自己的设计，采用异步复位允许电路板在安全状态下运行。这样，便可以通过启用复位来初始化设计，从而不必依赖器件的上电条件。

如果要对设计强制一种特定的上电条件，则可以使用综合工具提供的一些综合选项。在 Quartus II 集成综合中，可以应用 Assignment Editor 中的 **Power-Up Level** 逻辑选项，使用 Tcl assignment 或在您的源代码中创建一个 altera_attribute assignment。

一些综合工具还能够读取源代码中的寄存信号的默认或初始值，并在器件中实现这种行为。例如，Quartus II 集成综合将寄存信号的 HDL 默认及初始值转换成 Power-Up Level 设置。这样，综合的行为便在功能仿真期间匹配 HDL 代码的上电状态。



Power-Up Level 选项和 altera_attribute assignment 在 *Quartus II Handbook* 卷 1 中 *Quartus II Integrated Synthesis* 章节中有所介绍。

在物理器件体系结构中，器件内核中的寄存器时钟上电至低 (0) 逻辑电平。如果指定一个高上电电平或者一个非零复位值（通常称为一个预置信号），那么综合工具通常使用寄存器中可用的清零信号，然后执行一次被称为 NOT-gate push back 的优化。NOT-gate push back 在寄存器的输入和输出上添加一个反向器 (inverter)。实际上，寄存器硬件上电并复位至低电平，但寄存器输出被反转，以使所有目的地的结果都是一个高逻辑值。如果综合执行 NOT-gate push back 优化，那么寄存器在复位或上电情况下像高 (1) 逻辑电平一样。由于信号在普通数据通路中被反转两次，因此不会影响普通的寄存器操作。此优化对您设计的布局布线及性能不会产生负面影响，但如果在片上验证期间抽头 (tap) 寄存器，或者在仿真期间查看寄存器，那么必须在输出反转后检查信号以获取正确的值。

如果对低复位的寄存器分配一个高上电电平，或者对一个预置为高的寄存器分配一个低上电值，那么综合工具不能使用 NOT-gate push back 优化方法，并且可能忽略上电条件。

- 94.□ 考虑可用于寄存器上电和控制信号的资源。不要同时将复位和预置信号用于一个寄存器。

要在同一寄存器上实现复位和预置信号，综合工具采用逻辑和锁存器来仿真控制，但由于寄存器不同路径之间的不同延迟，这些逻辑和锁存器往往会失败。此外，这些寄存器的上电值未被定义。

SOPC Builder

SOPC Builder 是一个强大的系统开发工具，根据处理器、外设和存储器创建系统。SOPC Builder 是一个可选的工具，与传统的手动集成方法相比，在更短的时间内定义并生成一个完整的 system-on-a-programmable-chip (SOPC)。通过使用 SOPC Builder，您可以在图形用户界面 GUI 中指定系统的组件，SOPC Builder 将自动生成互联逻辑。SOPC Builder 输出用于定义系统所有组件的 HDL 文件，以及输出一个将所有组件连接在一起的顶级 HDL 设计文件。

SOPC Builder 通常用作一种基于 Nios II 处理器创建系统的工具。然而，SOPC Builder 也是一种用于创建任意 SOPC 设计（可能包含处理器，但也可能不包含）的通用工具。SOPC Builder 组件将 Avalon 接口用于组件的物理连接，您可以使用 SOPC Builder 来连接包含 Avalon 接口的任何逻辑器件（芯片上或者芯片外）。Avalon® Memory-Mapped 接口使用地址映射读写协议，此协议使能灵活的拓扑结构以连接主组件与读 / 写从组件。Avalon Streaming 接口提供数据流组件之间的点到点连接，这些数据流组件通过使用一个高速单向系统互联发送和接收数据。



关于 Avalon 接口的详细信息，请参考 *Avalon Interface Specifications* 手册。

SOPC Builder 除了用作硬件生成工具，也可用作系统仿真和嵌入式软件创建的起始点。SOPC Builder 所提供的特性能够减轻软件写入和加速系统仿真。

95. ☐ 在系统和处理器设计中使用 SOPC Builder。



关于使用 SOPC builder 提高产量的详细信息，请参考 *Quartus II Handbook* 的 *Volume 4: SOPC Builder*。

层次及基于团队设计的规划

Quartus II 渐进式编译特性使您能够进行其它修改的同时保存设计中未修改逻辑的结果和性能。从而使您能够进行更多的设计迭代并更有效地达到时序收敛。在渐进式编译流程中，系统架构师将一个大型设计分解成许多可单独设计的更小部分。在团队设计环境中，团队成员可独立地对一些部分进行设计，这样可以简化设计过程，并缩短了编译时间。尽管对设计进行划分并非必需的，但其带来的好处对一些大 Cyclone IV 设计而言却很重要。

如果想通过 Quartus II 渐进式编译节省编译时间和维护性能，则需要在设计周期之初便规划渐进式编译流程。良好的划分和平面规划设计将有助于低层设计模块满足顶层设计要求，从而减少用在集成和验证顶层设计时序上的时间。



要了解关于在 Quartus II 软件中使用渐进式编译流程的详细信息，请参考 *Quartus II Handbook* 卷 1 中的 *Quartus II Incremental Compilation for Hierarchical and Team-Based Design* 章节。

规划设计分区

对设计进行 FPGA 分区时，要求进行规划以确保集成分区时获得最佳结果，并保证每个分区均相对器件中其它分区达到良好的布局。

创建设计分区时，需要遵循 Altera 的建议，以提高结果的整体质量。例如，寄存分区 I/O 边界可保存某个可单独优化分区中的一些关键时序路径。当指定设计分区时，需要使用 **Incremental Compilation Advisor** 以保证分区符合 Altera 的建议。

对您的源代码进行规划，以使每个设计模块分别在不同的文件中定义。这使软件能够自动检测对每个模块进行的修改。如果使用第三方综合工具，则需要在综合工具中对每个设计分别创建 Verilog Quartus Mapping(.vqm) 或 EDIF (.edf) 网表文件。如有必要，在您的综合工具中创建独立的工程，以使工具分别综合每个分区并生成独立的输出网表文件。关于 Quartus II 渐进式编译的支持信息，请参考您的综合工具文档。在您的设计中采用层次结构来提供分区时的更高灵活性。将您的设计逻辑放在层次结构树的枝叶位置；也就是说，层次结构的顶层应该只有极少的逻辑，而低层设计模块包含逻辑。

96. ☐ 按照建议建立源代码并对您的设计进行渐进式编译分区；在设计流程早期进行规划。
97. ☐ 执行时序预算和分区间的资源平衡，以达到最佳结果，特别是在基于团队的流程中。



关于帮助您创建设计分区的指导原则，请参考 *Quartus II Handbook* 卷 1 中的 *Best Practices for Incremental Compilation Partitions and Floorplan Assignments* 章节。

自下而上基于团队设计流程的规划

在自下而上的设计流程中，系统架构设计师必须对低级模块设计者提供相关指南，以确保每个分区都使用正确的器件资源。因为设计的开发是独立的，每个低层设计人员对总体设计及如何将他们的分区连接其它分区的方法都不是很了解，这种信息的缺乏在系统集成期间会导致问题的出现。在低层分区设计人员开始设计以前就应该让他们了解顶层工程信息，包括：管脚位置、物理限制和时序要求。

系统架构设计师能够在顶层规划设计分区并使用 Quartus II 渐进式编译通过自动生成的脚本与低层设计师进行通信。Quartus II 的 **Generate bottom-up design partition scripts** 选项自动将顶层工程信息传输到底层模块。此软件提供一个工程管理界面，用于管理顶层设计中的工程信息。

创建设计分区规划

要充分利用增量式编译，可以创建一个设计分区规划来避免设计分区之间的冲突，并确保每个分区都相对其它分区恰当地布局。当您为每个分区创建不同的位置约束时，不会出现约束冲突。另外，设计分区规划还有助于避免出现如下情况：要求 Fitter 将设计的某个部分放置或替换器件的某个区域，而该区域的大多数资源已经被占用。在一些自上而下的设计流程中，建议为时序关键分区使用平面规划分配。

98. □ 如果要求，对渐进式编译分区创建设计平面规划。

通过 Quartus II Chip Planner 中的 LogicLock[™] 区域约束可以对每个设计分区创建一个设计分区规划。通过使用顶层设计的基本设计框架，平面规划编辑器使您能够查看各区域之间的连接，评估片上物理时序延迟，并在器件分区规划周围移动区域。当对完整设计进行编译后，还可以检查逻辑布局，找出布线拥塞的区域，从而改善分区规划约束。



关于帮助您创建设计分区规划的指导原则，请参考 *Quartus II Handbook* 卷 1 中的 *Best Practices for Incremental Compilation Partitions and Floorplan Assignments* 章节。关于创建分区规划布局约束的详细信息，请参考 *Quartus II Handbook* 卷 2 中的 *Analyzing and Optimizing the Design Floorplan* 章节。

设计实现、分析、优化和验证

创建设计源代码并应用约束之后（包括器件选择和时序要求），您的综合工具对代码进行处理，并将其映射到器件体系结构的单元。Quartus II Fitter 然后进行布局和布线，实现指定器件资源中的设计单元。如果需要，您可以使用 Quartus II 软件来优化设计的资源利用并达到时序收敛，维持未修改设计模块的性能，以及减少将来迭代的编译时间。您也可以使用仿真或者形式验证来对设计功能进行验证。本章节介绍了这些编译流程阶段的一些原则。

选择综合工具

Quartus II 软件包括高级易用的集成综合，完全支持 Verilog HDL 和 VHDL，以及 Altera 硬件描述语言 (AHDL) 和原理图设计入口。您也可以使用一些业界领先的第三方 EDA 综合工具来综合您的 Verilog HDL 或者 VHDL 设计，然后在 Quartus II 软件中编译生成的输出网表文件。在 New Project Wizard 或者 **Settings** 对话框的 **EDA Tools Settings** 页面指定第三方综合工具，将正确的库映射文件 (Library Mapping File) 用于您的综合网表。

Altera 建议使用最新版本的第三方综合工具，因为供应商会不断添加新特性，修复问题，并针对 Altera 器件增强性能。

- 99.□ 指定您的第三方综合工具并使用正确的支持版本。

不同的综合工具会给出不同的结果。要对您的应用选择最佳工具，通过对您的应用和编码风格综合典型设计来进行试验，然后对比结果。一定要在 Quartus II 软件中执行布局 and 布线，以得到准确的时序分析和逻辑使用结果。

您的综合工具可能具有创建 Quartus II 工程并传递约束（例如：在综合工程中指定的 EDA 工具设置、器件选择和时序要求）的功能。在对您的 Quartus II 工程进行布局布线设置时，可以使用这一功能来节省时间。



关于支持的综合工具的详细信息，请参考 *Quartus II Handbook* 卷 1 中 [Section III. Synthesis](#) 中的相关章节。*Quartus II Release Notes* 列出了改版 Quartus II 软件官方支持的每种综合工具的版本。

器件资源利用报告

在 Quartus II 软件中编译后，查看器件资源利用信息，以确定将来添加的额外逻辑或其它设计修改是否会导致布局布线困难。当您的编译导致 no-fit 错误时，资源利用信息对分析设计中的布局布线问题会非常重要。

要确定资源使用情况，请参考 Compilation Report 中的 **Flow Summary** 部分获得代表总逻辑利用率的百分比，包括由于现有连接或逻辑使用而未能使用的一些资源的评估。

查看 Compilation Report 的 **Fitter** 部分中的 **Resource Section** 下面的报告，了解详细的资源信息。**Fitter Resource Usage Summary** 报告将逻辑使用信息分成几部分，并表明逻辑单元的使用情况和提供包括每一类存储器模块中比特数在内的其它资源信息。还有一些报告描述编译期间执行的一些优化。例如，如果使用 Quartus II 集成综合，那么 **Analysis & Synthesis** 部分中 **Optimization Results** 文件夹下面的报告会显示包括综合期间移除的寄存器的信息。使用此报告对某部分设计的器件资源利用情况进行评估，以确保寄存器不会因为丢失同设计其它部分的连接而被移除。

- 100.□ 编译后，检查资源利用和优化报告。

Quartus II 信息

编译流程的每个阶段都会产生信息，包括信息提示、警告和严重警告。通过查看这些信息可以查出所有的设计问题。一定要理解所有警告信息的重要性，并按要求修改设计或设置。在 Quartus II 用户界面中，使用 Message 窗口标签查看某些类型的信息。在 Quartus II 用户界面中，可以通过 Message 窗口选项卡来查看某类消息。如果您确定是不相关的信息，则可以抑制这些信息。

- 101.□ 需要查看所有的 Quartus II 信息，特别是所有警告或错误信息。



关于信息与信息抑制的详细信息，请参考 *Quartus II Handbook* 卷 2 中的 [Managing Quartus II Projects](#) 章节。

时序约束与分析

在 FPGA 设计流程中，精确的时序约束使时序驱动综合软件和布局布线软件能够获得最佳结果。时序约束对保证设计满足其时序要求至关重要，代表了器件正常运行必须满足的一些实际设计要求。Quartus II 软件对每种器件速度级别使用不同的时序模型，来对您的设计进行优化和分析，因此您必须执行正确速度级别的时序分析。如果时序路径没有得到完全约束、分析和验证来满足要求，则最终编程器件可能不会按预期运行。

Quartus II 软件包括 Quartus II TimeQuest Timing Analyzer，它是一种强大的 ASIC 类型的时序分析工具，对设计的所有逻辑的时序性能进行验证。此工具支持行业标准 Synopsys Design Constraints (SDC) 格式时序约束，并具有一种基于时序报告的简单易用的图形用户界面。Quartus II TimeQuest Timing Analyzer 是约束高速源同步接口和时钟复用设计结构的理想选择。（对于早期设计，Quartus II 也包括 Classic Timing Analyzer，此工具使用不同的设计约束和报告。对于 Cyclone IV 设计，要使用 TimeQuest Timing Analyzer。）

该软件还支持行业标准 Synopsys Primetime 软件中的静态时序分析。在 New Project Wizard 或者 **Settings** 对话框的 **EDA Tools Settings** 页面中，指定生成所需时序网表的工具。

一个全面的静态时序分析包括寄存器到寄存器、I/O 和异步复位路径的分析。对设计中的所有时钟指定频率和相互关系是很重要的。使用输入和输出延迟约束来指定外部器件或者电路板时序参数。对外部链接组件指定精确的时序要求，以反映确切的系统目的。

TimeQuest Timing Analyzer 通过使用数据要求时间、数据到达时间和时钟到达时间来执行整个系统的静态时序分析，从而验证电路性能并检测可能的时序违规。它确定了设计正常运行必须满足的时序关系。

使用 `report_datasheet` 命令来生成一个概括整个设计的 I/O 时序特征的数据表报告。

- 102. ☐ 确保时序约束完整并准确，包括所有时钟信号和 I/O 延迟。
- 103. ☐ 编译之后查看 TimeQuest Timing Analyzer 报告，确保没有时序违规。
- 104. ☐ 当提供数据到 Cyclone IV 器件时，要确保没有违反输入 I/O 时间。



关于时序分析的详细信息，请参考 *Quartus II TimeQuest Timing Analyzer* 和 *Quartus II Handbook* 卷 3 中 *Synopsys PrimeTime Support* 章节。

建议的时序优化和分析约束

本节中介绍的约束和设置在默认情况下并不是对所有设计开启的，但对于像 Cyclone IV 器件中的大型设计是非常重要的。

- 105. ☐ 在 **Settings** 对话框中的 **Fitter Settings** 页面中开启 **Optimize multi-corner timing** 选项。

此选项开启时，设计被优化以在 Fast Timing 进程转角和操作条件以及 Slow Timing 转角上满足其时序要求。因此，开启此选项将有助于创建一个在工艺，温度和电压变化下更可靠的设计实现。
- 106. ☐ 编译过程中，在 **Settings** 对话框中 **TimeQuest Timing Analyzer** 下开启 **Enable multi-corner timing analysis** 选项，或者使用 `--multicorner` 命令行选项。

此选项指导 TimeQuest Timing Analyzer 分析设计并生成慢速和快速转角的松弛报告 (slack report)。

在您的 TimeQuest Timing Analyzer .sdc 约束文件中, 对您的设计使用以下建议的约束:

- 107. ☐ 使用 `create_clock` 和 `create_generated_clock` 对您设计中的所有时钟指定频率和相互关系。
- 108. ☐ 使用 `set_input_delay` 和 `set_output_delay` 指定外部器件或电路板时序参数。
- 109. ☐ 使用 `derive_pll_clocks` 根据 PLL 宏功能中的设置来创建所有 PLL 输出的生成时钟。对 LVDS 发送器或接收器解串因子指定多周期关系。
- 110. ☐ 使用 `derive_clock_uncertainty` 自动应用 inter-clock、intra-clock 和 I/O 接口不确定性。
- 111. ☐ 使用 `check_timing` 生成设计或者应用约束问题报告, 包括缺失的约束。

面积与时序优化

本章介绍了 Quartus II 软件提供的一些特性, 帮助优化面积 (或资源利用) 和时序性能。如果时序分析报告您的设计要求没有得到满足, 那么您必须对设计或者设置进行修改, 并重新编译设计来达到时序收敛。如果您的编译产生 no-fit 消息, 那么您必须进行修改, 以实现成功的布局和布线。



要了解关于其它优化特性的详细信息, 请参考 *Quartus II Handbook* 卷 2 中的 *Area and Timing Optimization* 章节。

在软件执行全部布局和布线之前, 通过使用 Early Timing Estimation 特性来评估您设计的时序结果。运行分析和综合后, 在 Processing 菜单上, 指向 **Start** 并点击 **Start Early Timing Estimate** 来生成初始编译结果。使用这一特性提供时序评估要比运行完整的编译快 45%。拟合 (fit) 没有被完全优化或布线; 因此, 时序分析报告仅是评估。一般来说, 与最终的时序结果相比, 评估的延迟是那些通过完全编译获得延迟的 11% 以内。

- 112. ☐ 如果想在运行完整编译之前进行时序评估, 需要执行 Early Timing Estimation。

物理综合优化对网表进行指定布局的修改, 改善了针对指定 Altera 器件的结果。您可以指定 **Physical synthesis for performance** 或 **Physical synthesis for fitting** 选项。这些选项通常会显著增加编译时间, 但是通过按钮优化可以显著改善 QoR。如果开启这些选项, 则要保证它们能够改善设计的结果。如果不需要这些选项来满足你的设计时序要求, 那么需要关闭这些选项, 以减少编译时间。



关于更多信息, 请参考 *Quartus II Handbook* 卷 2 中的 *Netlist Optimizations and Physical Synthesis* 章节。

Design Space Explorer (DSE) 是一种根据您的设计自动查找最佳 Quartus II 软件设置集的工具。Exploration Settings 下面的 **Search for Best Performance** 和 **Search for Best Area** 选项, 均使用一个预先定义的浏览空间通过多次编译来达到设计性能或者面积的改善。您也可以在 DSE 窗口中, 使用 **Advanced** 标签, 将 **Optimization Goal** 设置为 **Optimize for Speed** 或者 **Optimize for Area**。如果对功耗优化感兴趣, 请参考第 38 页 “功耗优化”。



关于更多信息, 请参考 *Quartus II Handbook* 卷 2 中的 *Design Space Explorer* 章节。

Optimization Advisors 指导您如何进行设置来对您的设计进行优化。在 Tools 菜单中，指向 **Advisors** 并点击 **Resource Optimization Advisor** 或者 **Timing Optimization Advisor**。评估这些选项，并选择最符合要求的一些设置。

- 113. ☐ 使用 Quartus II 优化特性来达到时序收敛或者改善资源利用。
- 114. ☐ 使用 Timing and Area Optimization Advisors 建议优化设置。

保持性能并减少编译时间

利用增量式编译特性，维持设计未修改部分的逻辑，保持时序性能，更有效地达到时序收敛。利用增量式编译特性修改设计，您可以平均缩短 60% 的设计迭代时间。

- 115. ☐ 使用增量式编译来保持设计中未修改模块的性能，并减少编译时间。

关于指南和参考，请参阅第 31 页 “[层次及基于团队设计的规划](#)”。

- 116. ☐ 如果有多个处理器用于编译，则要设置成并行编译。

当有多个处理器用于编译设计时，Quartus II 软件能够以并行方式运行一些算法来利用多处理器并减少编译时间。要设置用于 Quartus II 编译的处理器数量，需要在 **Settings** 对话框的 **Compilation Process Settings** 页面上指定 **Maximum processors allows for parallel compilation**。默认情况下，此选项被设置成 **Use all available processors**，这样并行编译是默认开启的。

- 117. ☐ 使用 Compilation Time Advisor 建议的设置来减少编译时间。

Compilation Time Advisor 指导您如何进行设置来减少设计编译时间。在 Tools 菜单中，指向 **Advisors** 并点击 **Compilation Time Advisor**。通过使用其中的一些减少编译时间的方法，可以减低总体结果的质量 (QoR)。



关于更多信息，请参考 *Quartus II Handbook* 卷 2 中的 [Area and Timing Optimization](#) 章节。

仿真

Quartus II 软件同时支持功能和门级时序仿真。在您到设计流程初期执行仿真功能，以检查设计功能或者每个设计模块的逻辑行为。您不必完全编译您的设计；您可以生成一个未包含时序信息的功能仿真网表。时序仿真使用 TimeQuest Timing Analyzer 生成的时序网表，包括不同器件模块的延迟和布局布线信息。您可以在设计流程结尾执行顶层设计的时序仿真，以保证您的设计工作在目标器件中。

Altera 提供 ModelSim®-Altera 仿真器，使您能够利用高级测试台的功能及其它特性。此外，Quartus II EDA Netlist Writer 可以生成时序网表文件，以支持其它第三方仿真工具，例如 Synopsys VCS、Cadence NC-Sim 和 Aldec Active-HDL。在 **Settings** 对话框的 **EDA Tools Settings** 页面，指定您的仿真工具，以生成相应的输出仿真网表。

- 118. ☐ 指定第三方仿真工具，并使用相应的支持版本和仿真模型。

如果使用第三方仿真工具，则需要使用 Quartus II 支持的版本。[Quartus II Software Release Notes](#) 列出了 Quartus II 软件官方支持的每种仿真工具的版本。需使用 Quartus II 软件版本提供的模型库，因为各版本之间的库会有所不同，这样可能与您的仿真网表不匹配。要创建一个测试台，需要在 Processing 菜单中指向 **Start**，然后点击 **Start Testbench Template Writer**。



要了解关于仿真工具流程的详细信息，请参考 *Quartus II Handbook* 卷 3 中的 *Section I. Simulation* 中的相关章节。

形式验证

Quartus II 软件支持某些形式验证流程。需要考虑您的形式验证流程是否会影响您的设计及设计的编译阶段。

使用形式验证流程能够对性能结果产生影响，因为它要求关闭某些逻辑优化，例如：寄存器时序重构，并强制保留层次模块，从而限制了优化。形式验证将存储器当作黑匣子。因此，最好将存储器放置在不同的层次模块中，这样其它逻辑就不会介入黑匣子中进行验证。如果形式验证对您的设计很重要，那么相比在设计流程后期进行修改，在流程早期规划限制和规定要更容易一些。

Quartus II Release Notes 列出了 Quartus II 软件官方支持的每种形式验证工具的版本。在 **Settings** 对话框的 **EDA Tools Settings** 页面中指定您的形式验证工具来生成相应的输出网表。

- 119. ☐ 指定您的第三方形式验证工具，并使用正确的支持版本。
- 120. ☐ 如果使用形式验证，则要检查支持和设计限制。



关于形式验证流程的详细信息，请参考 *Quartus II Handbook* 卷 3 中的 *Section V. Formal Verification*。

功耗分析

设计完成以前，使用第 5 页“早期功耗评估”中的电子数据表对功耗进行评估。编译您的设计后，使用 Quartus II PowerPlay Power Analyzer 对功耗和散热进行分析，以确保设计没有超出功耗和散热预算。

- 121. ☐ 编译以后，使用 PowerPlay Power Analyzer 分析功耗和散热。
- 122. ☐ 对准确的典型信号活动首选提供门级仿真 .vcd 文件，以生成准确的功耗分析结果。

您必须编译设计（获得设计资源、布局布线以及 I/O 标准的相关信息），并提供信号活动数据（翻转率和静态概率）才能使用 PowerPlay Power Analyzer。您可以从仿真结果或者用户定义默认翻转率和矢量估计，获得信号活动数据。用于分析的信号活动必须代表实际的运行表现。

要获得最准确的功耗评估，需使用由 Quartus II Simulator 或第三方仿真工具生成的基于 .vcd 的门级仿真结果。这种仿真活动应该包括实际时间段的典型输入矢量，而非功能验证期间常用的个别情况。使用推荐的仿真器设置（例如：干扰滤波），以确保获得良好的结果。

- 123. ☐ 指定正确的功耗分析运行条件。

您也必须指定一些运行条件，包括内核电压、器件电源特性、环境及结点温度、冷却解决方案和电路板散热模型。在 **Settings** 对话框的 **Operating Conditions** 页面选择相应的设置。

要计算动态、静态和 I/O 散热功耗，需要在 Processing 菜单中，点击 **PowerPlay Power Analyzer Tool**。该工具还提供用于分析的所用信号活动的汇总，并提供了一个置信度量 (confidence metric)，反映信号活动数据源的整体质量状况。



该报告是一份基于所提供数据的功耗评估表，并非功耗规范。要始终参考器件的相关数据手册。



要了解关于功耗分析的详细信息，以及创建信号活动信息的仿真设置建议，请参考 *Quartus II Handbook* 卷 3 中的 *PowerPlay Power Analyzer* 章节。关于 Signal Activity Files (.saf) 及如何创建的详细信息，请参考 *Quartus II Handbook* 卷 3 中的 *Quartus II Simulator* 章节。

功耗优化

Cyclone IV 器件采用体系结构功耗减低技术以最小化功耗和实现高性能。

要降低 Cyclone IV 器件中的动态功耗，需要使用各种设计方法和软件技术来优化您的设计。

Quartus II 软件中的功耗优化取决于精确的功耗分析结果。采用前面章节介绍的一些原则，针对设计的运行表现和运行条件以确保软件对功耗利用率进行正确地优化。

器件和设计功耗优化技术

本章节列举了几种降低功耗的设计方法。这些方法所得到的结果会因设计的不同而有所不同。

124. ☐ 根据要求，使用推荐的设计方法和 Quartus II 选项对您的设计进行功耗优化。

125. ☐ 使用 Power Optimization Advisor 获得优化设置建议。



关于其它降低功耗的设计方法的更多信息，请参考 *Quartus II Handbook* 卷 2 中的 *Power Optimization* 章节。

时钟功耗管理

由于时钟的高开关活动和长路径的特性，时钟代表动态功耗的十分重要的部分。通过只启用那些要求给下游寄存器供电的时钟网络部分，Quartus II 软件自动优化时钟布线电源。您也可以使用时钟控制模块来动态地启用或者关闭时钟网络。当一个时钟网络掉电时，由时钟网络提供的所有逻辑均处于关闭状态，从而降低了器件的总功耗。



关于使用时钟控制模块的详细信息，请参考 *Clock Control Block (ALTCLKCTRL) Megafunction User Guide*。

在不禁用整个时钟树的情况下，要降低 LAB-wide 时钟功耗，需要使用 LAB-wide 时钟使能信号来门控 LAB-wide 时钟。Quartus II 软件自动将寄存器级时钟启用信号提升至 LAB 级。

存储器功耗的减低

降低存储器功耗的关键是通过在存储器端口中使用时钟门控 (clock gating) 或时钟使能 (clock-enable) 信号来减少存储器时钟事件的数量。需要使用 read-enable 信号来确保读操作仅在必要时出现。例如，如果您的设计不需要 read-during-write 操作，那么在写操作期间可以通过置低 read-enable 信号来降低功耗。Quartus II 软件会自动将未使用的存储器模块置于低功耗状态来降低静态功耗。

I/O 功耗指南

I/O 缓存中消耗的动态功耗与总负载电容成比例，因此电容越低，功耗就越低。

非端接 I/O 标准（例如：LVTTL 和 LVCMOS）具有一个与 V_{CCIO} 电源电压相等的轨至轨输出摆动。由于动态功耗与电压的平方成正比，因此可以使用低电压 I/O 标准来降低动态功耗。这些 I/O 标准消耗极少的静态功耗。

由于动态功耗与输出跳变频率也成正比，因此可以将 SSTL 等电阻端接 I/O 标准用于一些高频应用。输出负载电压以小于 V_{CCIO} 值在偏置点附近摆动，所以类似条件下动态功耗低于非端接 I/O。

由于电流不断地进入端接网络，因此电阻端接 I/O 标准消耗巨大的静态功耗。使用符合速度和波形要求的最低驱动强度，以最小化使用电阻端接 I/O 标准时的静态功耗。



外部器件使用的功耗并不包括在 PowerPlay EPE 计算中，因此一定要将其包括在您的系统功耗计算中。

Quartus II 功耗优化技术

Quartus II 软件提供了功耗优化的综合和布局布线，以降低核心动态功耗。默认设置是 **Normal compilation**。你可以选择 **Extra effort** 用于额外的功耗优化，但可能会影响设计的最大可实现性能。在 **Settings** 对话框的 **Analysis and Synthesis Settings** 和 **Fitter Settings** 页面下点击 **PowerPlay power optimization**。

由于使用更少的逻辑模块，因此通过对面积优化设计源代码可以降低功耗；因而会有更少的开关活动。您可以使用 DSE 和 Power Optimization Advisor 获得更多关于降低功耗的建议。



关于功耗驱动的编译和 Power Optimization Advisor 的详细信息，请参考 *Quartus II Handbook* 卷 2 中的 *Power Optimization* 章节。

DSE

DSE 工具自动对您的设计查找最佳的 Quartus II 设置。**Exploration Settings** 下的 **Search for Lowest Power** 选项使用预定义的浏览空间，通过多次编译来降低总体设计功耗。通过 DSE 窗口中的 **Advanced** 标签，可以将 **Optimization Goal** 设置成 **Optimize for Power**。



关于更多信息，请参考 *Quartus II Handbook* 卷 2 中的 *Design Space Explorer* 章节。

Power Optimization Advisor

Quartus II 软件包括 Power Optimization Advisor，根据当前设计工程的设置和约束提供具体的功耗优化意见和建议。在 **Tools** 菜单中，指向 **Advisors** 并点击 **Power Optimization Advisor**。完成被建议的修改后，重新编译您的设计，然后运行 Power Play Power Analyzer 以检查功耗结果的变化情况。

文档修订历史

表 4 列出了本应用笔记的修订历史。

表 4. 文档修订历史

日期	版本	修订内容
2012 年 3 月	1.2	更新了 “ 功耗优化 ” 部分。
2010 年 2 月	1.1	<ul style="list-style-type: none">■ 重新命名 “ 器件系列种类和高速收发器 ” 部分。■ 更新了 “ 器件选择 ”, “ I/O 管脚数, LVDS 通道和封装类型 ”, “ PLL 和时钟布线 ”, “ 器件配置的规划 ”, “ 时钟和 PLL 选择 ” 和 “ 时钟控制模块 ” 部分。
2009 年 11 月	1.0	首次发布。

设计检查列表

下面的检查列表汇总了本应用笔记中描述的指南。在您设计中的每个阶段使用此检查列表帮助您遵循这些指南。

完成 N/A 设计检查列表 (1/6)

1. ☐ ☐ 创建详细的设计规范，并在适当的情况下制定出测试计划。
2. ☐ ☐ 提早规划时钟域、时钟资源以及 I/O 接口，并提供相应的结构图。
3. ☐ ☐ 选择影响您系统设计，特别是 I/O 接口的 IP。
4. ☐ ☐ 如果您打算将 OpenCore Plus 受限模式用于 IP，那么要确保您的电路板设计支持这一模式的操作。
5. ☐ ☐ 根据收发器、I/O 管脚数量、LVDS 通道、封装类型、逻辑 / 存储器 / 乘法器密度、PLL、时钟布线和速度等级对器件进行选择。
6. ☐ ☐ 保留器件资源，以用于将来的开发和调试。
7. ☐ ☐ 考虑纵向器件移植可用性和要求。
8. ☐ ☐ 使用 PowerPlay Early Power Estimator (EPE) 电子数据表对功耗进行评估，在逻辑设计完成前规划冷却解决方案和电源。
9. ☐ ☐ 选择一个配置方案对配套器件和电路板连接进行规划。
10. ☐ ☐ 如果要将闪存器件用于 PFL，请查看所支持器件的列表。
11. ☐ ☐ 要确保配置方案和电路板支持所有要求的特性：数据解压，远程更新和单粒子翻转 (SEU) 缓解。
12. ☐ ☐ 规划您的电路板设计以支持可选的 CLKUSR 和 INIT_DONE 配置管脚。
13. ☐ ☐ 规划您的电路板设计以使用 Auto-restart configuration after error 选项。
14. ☐ ☐ 利用片上调试功能来分析内部信号和运用高级的调试方法。
15. ☐ ☐ 提前选择片上调试方案，以规划存储器和逻辑要求，I/O 管脚连接和电路板连接。
16. ☐ ☐ 如果要使用 SignalTap II Embedded Logic Analyzer、Logic Analyzer Interface、In-System Memory Content Editor 或者 Virtual JTAG Megafunction，那么需要通过可用于调试的 JTAG 连接来对系统和电路板进行规划。
17. ☐ ☐ 规划用于实现 JTAG 调试功能的 JTAG 集线器逻辑的少量的其它逻辑资源。
18. ☐ ☐ 使用 SignalTap II Embedded Logic Analyzer 进行调试时，需要保留器件存储器资源，以在系统操作期间采集数据。
19. ☐ ☐ 保留 I/O 管脚，以用于 SignalProbe 或 Logic Analyzer Interface 的调试。这样以后就不必更改设计或者电路板以适应调试信号。
20. ☐ ☐ 确保您的电路板要支持调试信号不会影响系统操作的调试模式。
21. ☐ ☐ 根据外部逻辑分析仪或者混合信号示波器的要求来整合 pin header 或者 mictor connector。

完成 N/A 设计检查列表 (2/6)

- 22. ☐ ☐ 要增量式使用调试工具和减少编译时间，需要确保增量式编译功能是使能的，这样就不必重新编译设计来更改调试工具。
- 23. ☐ ☐ 要将 Virtual JTAG megafunction 用于定制的调试应用，作为设计过程的一部分，需要在 HDL 代码中对其进行例化。
- 24. ☐ ☐ 对 RAM 或者 ROM 模块或者 LPM_CONSTANT megafunction 使用 In-System Memory Content Editor，需要在 MegaWizard Plug-In Manager 中开启存储器模块的 Allow In-System Memory Content Editor to capture and update content independently of the system clock 选项。
- 25. ☐ ☐ 设计您的电路板来实现上电 — 配置器件和配置管脚驱出 (drive out) 前，Cyclone IV 输出缓存处于三态。
- 26. ☐ ☐ 设计供电电压单调上升。
- 27. ☐ ☐ 设置 POR 时间以确保电源电压稳定。
- 28. ☐ ☐ 设计上电顺序、电压调节器和 GND 连接以实现最佳的器件可靠性。
- 29. ☐ ☐ 使用 PDN 工具来规划您的电源分配网表和去耦电容。
- 30. ☐ ☐ 连接所有的 PLL 电源管脚以降低噪声，即便设计不使用所有的 PLL— V_{CCA} to 2.5 V 和 V_{CCD_PLL} to 1.2 V 或 1.0 V。
- 31. ☐ ☐ 从电源提供到每个 PLL 电源管脚提供一个至少 20 mils 的宽走线。
- 32. ☐ ☐ 将所有的 PLL 数字电源管脚连接到电路板上最静的数字电源。
- 33. ☐ ☐ 使用铁氧体磁芯从数字电源隔离 PLL 电源。
- 34. ☐ ☐ 检查所有配置管脚连接和上拉和下拉电阻是否根据您的配置方案正确设置。
- 35. ☐ ☐ 设计保证 DCLK 和 TCK 配置管脚无噪声干扰。
- 36. ☐ ☐ 将未使用的 JTAG 管脚连接到一个稳定的电压电平。
- 37. ☐ ☐ 将 JTAG 管脚正确地连接到下载电缆头。确保管脚顺序不要颠倒。
- 38. ☐ ☐ 要在上电期间禁用 JTAG 状态机，需要通过一个电阻拉低 TCK 管脚以确保 TCK 上不会出现意外的上升沿。
- 39. ☐ ☐ 通过一个电阻拉高 TMS。
- 40. ☐ ☐ 由于下载电缆连接到您器件的 JTAG 管脚，因此要保证下载电缆与 JTAG 管脚电压相互兼容。
- 41. ☐ ☐ 按照建议对 JTAG 信号进行缓冲，特别是对于连接器，或者电缆驱动三个以上器件时。
- 42. ☐ ☐ 如果您的器件在一个配置链中，则要确保链中所有器件正确连接。
- 43. ☐ ☐ 连接 MSEL 管脚来选择配置方案，不要让这些管脚悬空。在测试或调试过程中，为实现在配置模式之间进行转换的最大灵活性，需要设置电路板使用一个 0- Ω 电阻来连接每一个管脚至 V_{CCA} 或者 GND。
- 44. ☐ ☐ 在配置、初始化以及用户模式期间，保持 nCE (芯片选通) 管脚为低电平。

完成 N/A 设计检查列表 (3/6)

- 45. ☐ ☐ 如果需要, 开启 device-wide output enable 选项。
- 46. ☐ ☐ 指定未使用 I/O 管脚的保留状态。
- 47. ☐ ☐ 仔细检查 Quartus II 软件生成的 Pin-Put File (.pin) 中的管脚连接。不要连接 RESERVED 管脚。
- 48. ☐ ☐ 设计无噪的 VREF 管脚。
- 49. ☐ ☐ 分解靠近器件的电路板层上的大总线信号, 以减少串扰。
- 50. ☐ ☐ 如果两个信号彼此相邻, 则尽可能地正交布线。使用 2 到 3 倍的走线宽的间隔。
- 51. ☐ ☐ 检查所选 I/O 标准的 I/O 匹配和阻抗匹配, 特别是电压参考标准。
- 52. ☐ ☐ 使用 IBIS 模型 (可用情况下) 执行板级仿真。
- 53. ☐ ☐ 配置电路板走线模型, 进行 Quartus II 高级 I/O 时序分析。
- 54. ☐ ☐ 使用 Quartus II Pin Planner 创建管脚分配。
- 55. ☐ ☐ 将 Quartus II Fitter 信息和报告用于管脚分配的签核 (sign-off)。
- 56. ☐ ☐ 验证 Quartus II 管脚分配是否匹配原理图和电路板布局工具中的管脚分配。
- 57. ☐ ☐ 设计完成前, 通过 I/O Assignment Analysis, 使用 Create Top-Level Design File 命令来检查 I/O 约束。
- 58. ☐ ☐ 根据您的系统要求规划 I/O 信号类型。
- 69. ☐ ☐ 允许软件对差分管脚对的负管脚进行位置约束。
- 60. ☐ ☐ 对每一个 I/O 管脚选择一个合适的信号类型和 I/O 标准。
- 61. ☐ ☐ 确保目标 I/O bank 支持相应的 I/O 标准。
- 62. ☐ ☐ 将具有相同电压的 I/O 管脚放置在同一个 I/O bank 中。
- 63. ☐ ☐ 验证每个 I/O bank 的所有输出信号是否会以 bank 的 V_{CCIO} 电压电平输出。
- 64. ☐ ☐ 验证每个 I/O bank 的所有电压参考信号是否会使用 bank 的 V_{REF} 电压电平。
- 65. ☐ ☐ 检查 I/O bank 是否支持 LVDS 和收发器特性。
- 66. ☐ ☐ 当对位于 LVDS I/O 附近的管脚布局时, 要小心谨慎并遵循相关指导原则。
- 67. ☐ ☐ 将 ALTMEMPHY megafunction (或 IP core) 用于每个存储器接口, 并遵循相关文档中的连接指南和限制。
- 68. ☐ ☐ 将专用 DQ/DQS 管脚和 DQ 组用于存储器接口。
- 69. ☐ ☐ 进行复用管脚设置, 并在将这些管脚用作普通 I/O 时检查是否存在一些限制。
- 70. ☐ ☐ 查看有助于 I/O 接口的可用器件 I/O 特性: 电流强度、摆率、I/O 延迟、开漏、总线保持、可编程上拉电阻、PCI 钳位二极管、可编程预加重和电压输出差分 (V_{OD})。

完成 N/A 设计检查列表 (4/6)

- 71. ☐ ☐ 考虑 OCT 特性，以节省电路板空间。
- 72. ☐ ☐ 检查所要求的匹配方案是否被所有管脚位置支持。
- 73. ☐ ☐ 使用正确的专用时钟管脚，并将布线信号用作时钟和全局控制信号。
- 74. ☐ ☐ 将器件 PLL 用于时钟管理。
- 75. ☐ ☐ 分析每个 PLL 和时钟管脚的输入和输出布线连接。确保 PLL 输入来自专用时钟管脚或者其它 PLL。
- 76. ☐ ☐ 在 MegaWizard Plug-In Manager 中使能 PLL 功能并检查设置。
- 77. ☐ ☐ 要确保选择正确的 PLL 反馈补偿模式。
- 78. ☐ ☐ 将时钟控制模块用于时钟选择和断电。
- 79. ☐ ☐ 对设计进行分析，检查是否可能存在 SSN 问题。
- 80. ☐ ☐ 尽可能减少在同一时间切换电压的管脚数。
- 81. ☐ ☐ 将差分 I/O 标准和低电压标准用于高速切换 I/O。
- 82. ☐ ☐ 将较低的驱动强度用于高速切换 I/O。驱动强度的默认设置有可能高于您设计所要求的。
- 83. ☐ ☐ 减少每个 bank 内同时切换输出管脚的数量。如果可能，将输出管脚分布在多个 bank 中。
- 84. ☐ ☐ 均匀切换 bank 中的 I/O 以减少给定区域中干扰源的数量，从而减低 SSN (bank 使用率实际低于 100% 时)。
- 85. ☐ ☐ 将同时切换管脚与易受 SSN 影响的输入管脚分隔开。
- 86. ☐ ☐ 在接地信号附近以及远离大切换总线的地方，对重要时钟和异步控制信号进行布局。
- 87. ☐ ☐ 避免将 I/O 管脚（即远离 PLL 电源管脚的一个或两个管脚）用于高切换或高驱动强度管脚。
- 88. ☐ ☐ 使用交错输出延迟通过时间来转移输出信号，或者也可以使用可调节摆率设置。
- 89. ☐ ☐ 使用同步设计方法。注意时钟信号。
- 90. ☐ ☐ 使用 Quartus II Design Assistant 检查设计可靠性。
- 91. ☐ ☐ 通过 MegaWizard Plug-In Manager 使用宏功能。
- 92. ☐ ☐ 遵循推荐的编码风格，特别是在映射例如存储器和 DSP 模块等器件专用模块时。
- 93. ☐ ☐ 如果需要，启用芯片全复位清零所有寄存器。
- 94. ☐ ☐ 考虑可用于寄存器上电和控制信号的资源。不要同时将复位和预置信号用于一个寄存器。
- 95. ☐ ☐ 在系统和处理器设计中使用 SOPC Builder。
- 96. ☐ ☐ 按照建议建立源代码并对您的设计进行渐进式编译分区；在设计流程早期进行规划。
- 97. ☐ ☐ 执行时序预算和分区间的资源平衡，以达到最佳结果，特别是在基于团队的流程中。

完成 N/A 设计检查列表 (5/6)

- 198. ☐ ☐ 如果要求，对渐进式编译分区创建设计平面规划。
- 199. ☐ ☐ 指定您的第三方综合工具并使用正确的支持版本。
- 100. ☐ ☐ 编译后，检查资源利用和优化报告。
- 101. ☐ ☐ 需要查看所有的 Quartus II 信息，特别是所有警告或错误信息。
- 102. ☐ ☐ 确保时序约束完整并准确，包括所有时钟信号和 I/O 延迟。
- 103. ☐ ☐ 编译之后查看 TimeQuest Timing Analyzer 报告，确保没有时序违规。
- 104. ☐ ☐ 当提供数据到 Cyclone IV 器件时，要确保没有违反输入 I/O 时间。
- 105. ☐ ☐ 在 Settings 对话框中的 Fitter Settings 页面中开启 Optimize multi-corner timing 选项。
- 106. ☐ ☐ 编译过程中，在 Settings 对话框中 TimeQuest Timing Analyzer 下开启 Enable multi-corner timing analysis 选项，或者使用 --multicorner 命令行选项。
- 107. ☐ ☐ 使用 create_clock 和 create_generated_clock 对您设计中的所有时钟指定频率和相互关系。
- 108. ☐ ☐ 使用 set_input_delay 和 set_output_delay 指定外部器件或电路板时序参数。
- 109. ☐ ☐ 使用 derive_pll_clocks 根据 PLL 宏功能中的设置来创建所有 PLL 输出的生成时钟。对 LVDS 发送器或接收器解串因子指定多周期关系。
- 110. ☐ ☐ 使用 derive_clock_uncertainty 自动应用 inter-clock、intra-clock 和 I/O 接口不确定性。
- 111. ☐ ☐ 使用 check_timing 生成设计或者应用约束问题报告，包括缺失的约束。
- 112. ☐ ☐ 如果想在运行完整编译之前进行时序评估，需要执行 Early Timing Estimation。
- 113. ☐ ☐ 使用 Quartus II 优化特性来达到时序收敛或者改善资源利用。
- 114. ☐ ☐ 使用 Timing and Area Optimization Advisors 建议优化设置。
- 115. ☐ ☐ 使用增量式编译来保持设计中未修改模块的性能，并减少编译时间。
- 116. ☐ ☐ 如果有多个处理器用于编译，则要设置成并行编译。
- 117. ☐ ☐ 使用 Compilation Time Advisor 建议的设置来减少编译时间。
- 118. ☐ ☐ 指定第三方仿真工具，并使用相应的支持版本和仿真模型。
- 119. ☐ ☐ 指定您的第三形式验证工具，并使用正确的支持版本。
- 120. ☐ ☐ 如果使用形式验证，则要检查支持和设计限制。
- 121. ☐ ☐ 编译以后，使用 PowerPlay Power Analyzer 分析功耗和散热。
- 122. ☐ ☐ 对准确的典型信号活动首选提供门级仿真 .vcd 文件，以生成准确的功耗分析结果。

完成 N/A 设计检查列表 (6/6)

- 123. ☐ ☐ 指定正确的功耗分析运行条件。
- 124. ☐ ☐ 根据要求，使用推荐的设计方法和 Quartus II 选项对您的设计进行功耗优化。
- 125. ☐ ☐ 使用 Power Optimization Advisor 获得优化设置建议。



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support
www.altera.com/support

Copyright © 2012 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001