

充分发挥 FPGA 浮点 IP 内核的优势

最近出现的 FPGA 设计工具和 IP 有效减少了计算占用的资源，大大简化了浮点数据通路的实现。而且，与数字信号处理器不同，FPGA 能够支持浮点和定点混合工作的 DSP 数据通路，实现的性能超过了 100 GFLOPS。在所有信号处理算法中，对于只需要动态范围浮点算法的很多高性能 DSP 应用，这是非常重要的优点。选择 FPGA 并结合浮点工具和 IP，设计人员能够灵活的处理定点数据宽度、浮点数据精度和达到的性能等级，而这是处理器体系结构所无法实现的。

引言

对于通信、军事、医疗等应用中的很多复杂系统，首先要使用浮点数据处理算法，利用 C 或者 MATLAB 软件进行仿真和建模。而最终实现几乎都采用定点或者整数算法。算法被仔细映射到有限动态范围内，调整数据通路中的每一功能。这就需要很多取整和饱和步骤，如果处理的不合适，就会对算法性能有不利的影

响。在集成过程中一般还需要进行大量的验证工作，以确保系统工作符合仿真结果。

以前，由于缺乏 FPGA 工具包的支持，FPGA 设计人员一般不选择浮点算法。使用很多浮点 FPGA 运算符时，由于需要大量逻辑和布线资源，因此，它的另一个缺点是性能太差。FPGA 高效实现复数浮点函数的关键是使用基于乘法器的算法，利用大量集成在 FPGA 器件中的硬件乘法器资源。用于实现这些非线性函数的乘法器必须有很高的精度，以保证乘法迭代过程中的精度要求。而且，高精度乘法器不需要在每一次乘法迭代中进行归一化和逆归一化处理，大大降低了对逻辑和布线的要求。


FPGA 采用硬件数字信号处理 (DSP) 模块，能够实现高效的 36 位 x 36 位乘法器，对于单精度浮点算法，提供足够的位数，满足一般的单精度 24 位尾数要求。这些乘法器还能够用于构建更大的乘法器，实现高达 72 位 x 72 位的双精度浮点算法。

由于浮点算法动态范围较大，相对于浮点仿真，大大简化了系统性能验证任务，因此，对于设计人员而言，这种算法通常能够提高性能。在某些应用中，定点算法是不可行的。动态范围要求使用浮点算法的一个常见的例子是矩阵求逆运算。

浮点 IP 内核

Altera 现在提供业界最全面的单精度和双精度浮点 IP 内核，其性能非常高。目前提供的浮点 IP 内核包括：

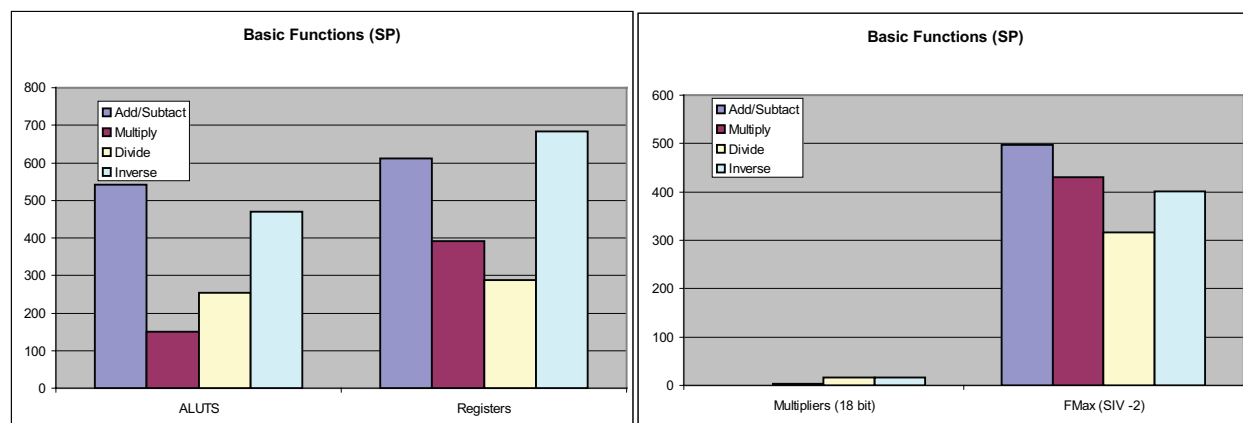
- 加法 / 减法
- 乘法
- 除法
- 倒数
- 指数
- 对数
- 平方根
- 逆平方根
- 矩阵乘法
- 矩阵求逆
- 快速傅立叶变换 (FFT)
- 对比
- 整数和分数转换

 本白皮书只提供单精度指标。对于双精度指标，请参考[浮点宏功能用户指南](#)。

基本功能

图 1 详细列出了基本浮点功能及其性能。对比浮点除法与加减法所需要的资源及其性能，表明系统设计人员不需要在算法中避开除法运算以简化硬件实现。

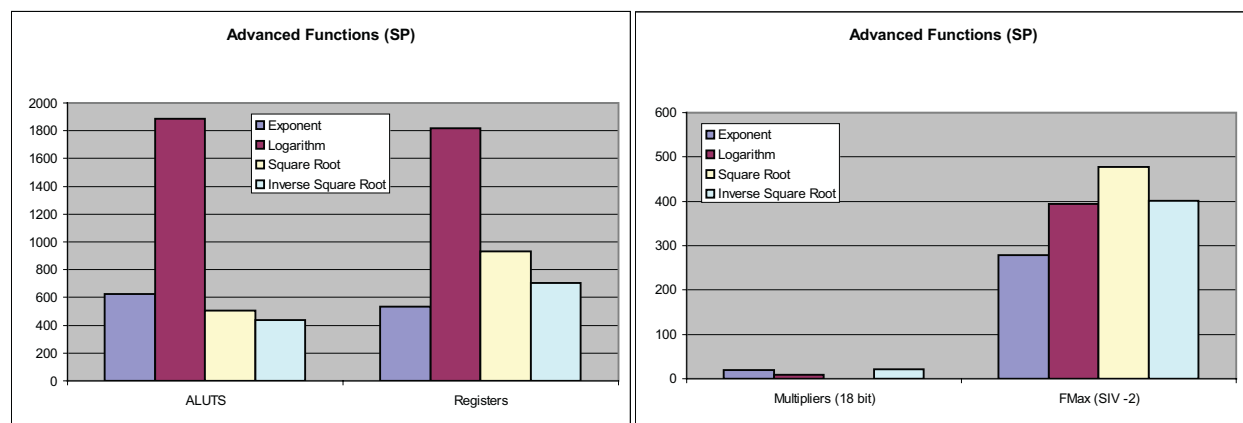
图 1. 逻辑和寄存器使用对比（左侧），以及乘法器和 f_{MAX} 对比（右侧）



高级功能

Altera 还提供更高级的浮点功能。由于使用了基于乘法器的算法，性能可以和更基本的功能进行比较，如图 2 所示。

图 2. 逻辑和寄存器使用对比（左侧），以及乘法器和 f_{MAX} 对比（右侧）



矩阵乘法

Altera 在提供基于 FPGA 的参数赋值浮点矩阵 IP 内核方面有其独到之处。这些运算符集成了数十甚至上百个浮点运算符，保持了较高的性能。矩阵乘法内核还可以用于完成标准测试或者 GFLOP/S 和 GFLOP/W。SGEMM 矩阵乘法内核的性能结果如表 1 所示，它实际是后编译时序逼近结果，与确定 GFLOP/S 通常使用的

纸笔浮点计算方法不同。任何其他 FPGA 供应商都不支持这类基准测试，用户使用 Altera Quartus® II 软件中提供的参数赋值矩阵乘法 IP 内核，很容易自己进行测试。

表 1. 单精度矩阵乘法性能结果

MatrixAA 大小	MatrixBB 大小	Vectorsize	使用的逻辑					GFLOPS	f _{MAX} (MHz)	功耗 (mW)			
			ALM (1)	DSP 使用 (2)	M9K	M144K	存储器 (bits)			静态	动态	I/O	总计
36x112	112x36	8	4,604	32	43	2	576,200	4	291	2,008	1,063	300	3,334
36x224	224x36	16	7,882	64	77	4	1,101,920	9	291	2,045	1,821	300	4,165
36x448	448x36	32	14,257	128	137	8	2,153,040	18	291	2,110	3,448	300	5,858
64x64	64x64	32	13,154	128	41	8	1,333,233	18	292	2,112	2,604	306	5,023
128x128	128x128	64	25,636	256	141	16	3,173,189	37	293	2,244	5,384	306	7,934

注释:

- (1) 自适应逻辑模块
- (2) 18x18 DSP 模块

使用 Quartus II 功耗估算器，很容易计算得到实际的每瓦每秒 giga 浮点结果 (GFLOPS/W)。使用 Altera® Stratix® IV EP4SE230 FPGA 部分资源时，结果达到了 5 GFLOPS/W。使用 Stratix IV EP4SE530 器件中更大的矩阵乘法内核，结果大约为 7 GFLOPS/W，计算密度为 200 GFLOPS。利用整个器件实现大规模浮点算法时，分散了 FPGA 静态功耗，效率非常高。

Altera 开发的浮点技术大大降低了实现大规模浮点数据通路的逻辑和布线资源要求。使用浮点数据通路优化工具非常关键，对资源要求的降低使得单位浮点逻辑 / 布线运算比达到了高端 FPGA 的水平。这反映在工具能够实现接近 300 MHz 的 f_{MAX}，与例化的矩阵乘法规模无关。通过这种方式，在大规模浮点设计中，用户能够可靠的使用 FPGA 80% 以上的资源，实现大于 200-MHz 的 f_{MAX} 性能。

矩阵求逆

FPGA 中浮点算法最常见的应用是矩阵求逆。大部分无线多输入多输出 (MIMO) 算法、雷达 STAP 系统、医疗成像聚束和很多高性能计算应用都需要进行矩阵求逆。参数赋值矩阵求逆浮点 IP 内核的实例性能 (表 2) 显示了非常高的矩阵吞吐量。4x4 矩阵求逆内核能够进行每秒 2 千万次矩阵求逆运算，速度足以支持 LTE 无线 MIMO 应用。

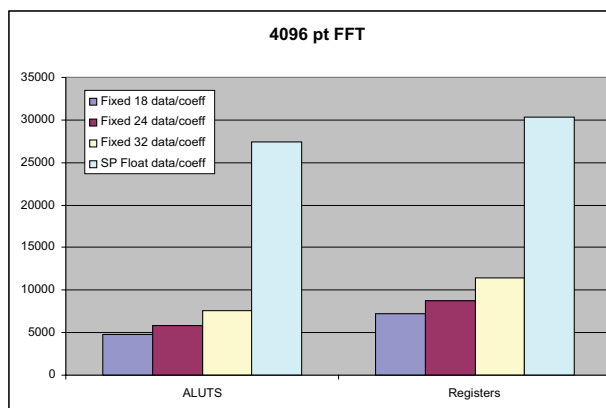
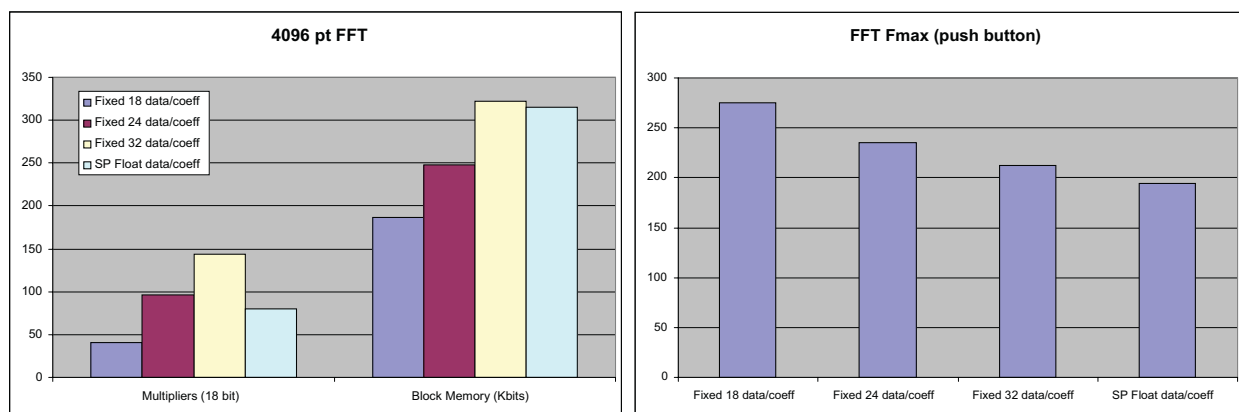
表 2. 单精度浮点矩阵求逆 (Cholesky 算法) 性能

大小	使用的逻辑					f _{MAX}	延时 (周期)	GFLOPS
	ALM	DSP	M9K	M144K	MemBits			
8x8 * 8x8	5,538	63	49	—	53,736	332	2,501	15.26
16x16 * 16x16	8,865	95	80	—	138,051	329	11,057	30.93
32x32 * 32x32	15,655	159	193	—	699,164	290	52,625	55.12
64x64 * 64x64	29,940	287	386	22	4,770,369	218	281,505	83.16

快速傅立叶变换

FFT 是另一种大动态范围应用实例。由于 FFT 算法的内在特性，位精度一般会随着 FFT 长度增加而增大。某些应用使用级联 FFT，需要更大的动态范围。很多雷达应用使用 FFT 进行定点算法，装入测距数据。这一般还需要第二次 FFT，装入多普勒测距数据，动态范围足够高，需要采用浮点算法。如图 3 和图 4 所示，相对于定点算法，需要增加逻辑以实现单精度浮点算法，而电路 f_{MAX}、存储器和乘法器基本相似。

图 3. FFT 逻辑和寄存器使用对比

图 4. FFT 乘法器和存储器使用对比（左侧），以及 FFT f_{MAX} 对比（右侧）

结论

Altera 新的浮点电路优化技术集成到浮点 IP 内核中，同时提高了密度，并提供更多的逻辑资源，实现了优异的 FPGA 浮点性能。其他供应商提供专用浮点处理器解决方案，但是，大部分都达不到 Altera FPGA 解决方案的 GFLOPS 高性能水平，而且没有一个能够实现 Stratix IV FPGA 解决方案的 GFLOP/W 性能。国家自然科学基金会 (NSF) 高性能配置计算中心 (CHREC) 的独立基准测试证明了这一点，认为 Stratix IV EP4SE530 双精度浮点处理的性能最好。

Altera FPGA 的其他优点包括业界领先的外部存储器带宽资源以及性能达到 12.5 Gbps 的 SERDES 收发器等。FPGA 平台还提供性能最好的定点数据通路，实现了非常灵活的 I/O 和存储器接口。通过这些功能，Stratix IV FPGA 成为构建高性能浮点数据通路的理想平台，可以用在多种应用中，从高性能计算到雷达和电子战，直至基于 MIMO 的 SDR/ 无线系统，以及无线聚束应用等。

详细信息

- 浮点宏功能用户指南：
www.altera.com/literature/ug/ug_altfp_mfug.pdf

致谢

- Michael Parker, 技术营销高级经理, IP 和技术产品营销, Altera 公司。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。