

## 采用业界成本最低、功耗最低的 FPGA 降低系统总成本

企业制定的目标，例如提高利润和销售收入，同时高效的进行研发等，给当今的设计工程团队带来了很大的压力。可以借助基于 FPGA 的设计理念来解决出现的系统级挑战——以更少的人力和资源，在更短的时间内开发新产品，或者降低现有“成功”产品的成本。使用 FPGA 作为体系结构的关键组成，不但降低了新产品开发的研发成本，而且还减小了整个产品生命周期的 TCO。Altera 成本最低、功耗最低的新器件——Cyclone IV FPGA 系列，将演示 FPGA 是怎样降低系统总成本的。

### 引言

在全球竞争和经济因素环境下，当今高技术产品利润和销售在不断下滑，工程设计团队在向市场推出低成本产品方面承受了很大的压力。新产品研发面临两种不同的系统挑战：利用最新的技术和功能开发全新的产品，或者采用市场上已有的解决方案，以降低开发成本。

在当今对成本和功耗都非常敏感的“绿色”环境下，对于高技术企业，第一种挑战意味着开发全新的产品，其功能是独一无二的，具有较低的价格以及较低的功耗。对于第二种挑战，通常通过降低产品原材料 (BOM) 中元器件的成本来降低现有成功产品的成本。设计团队的另一选择是重新设计产品，不是针对新功能，而是要大幅度的降低成本。

在目前的全球经济形势下，这些系统挑战都与第三种挑战有关：以更少的人员、更低的预算，在更短的时间内完成低成本新产品的研发。

本白皮书旨在提出一种设计理念，以解决产品开发面临的这三种挑战，同时降低产品在生命周期中的总成本。这一设计理念基于低成本、低功耗 FPGA。虽然大家都知道 FPGA 能够缩短新产品开发的面市时间，但是，很少有人知道 FPGA 还降低了产品整个生命周期中的总体拥有成本 (TCO)。设计工程师借助这一基于 FPGA 的设计理念，能够：

- 轻松快捷的在产品中增加新功能，同时降低总功耗。
- 降低现有产品的成本，而基本不改变产品功能。
- 降低产品的 TCO

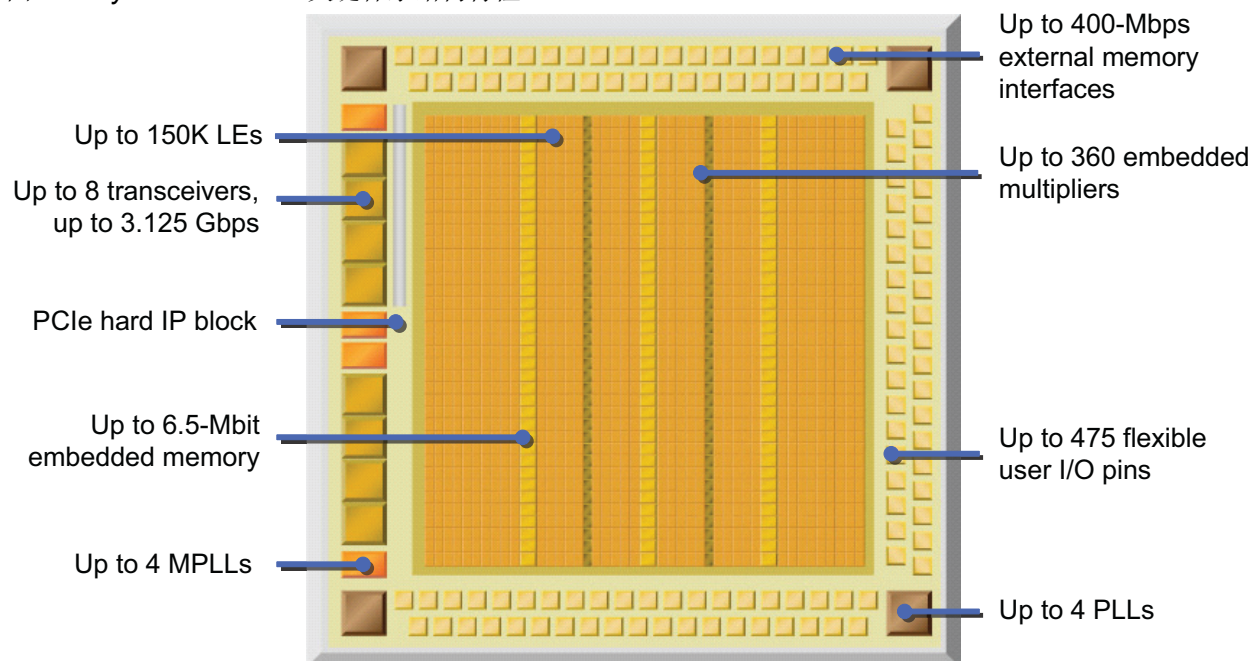
### Cyclone IV FPGA

Altera 的 Cyclone® IV FPGA 是成本最低、功耗最低并集成了收发器的器件，降低了系统总成本，即：

$$\text{系统总成本} = \text{BOM 成本} + \text{电路板成本} + \text{TCO}$$

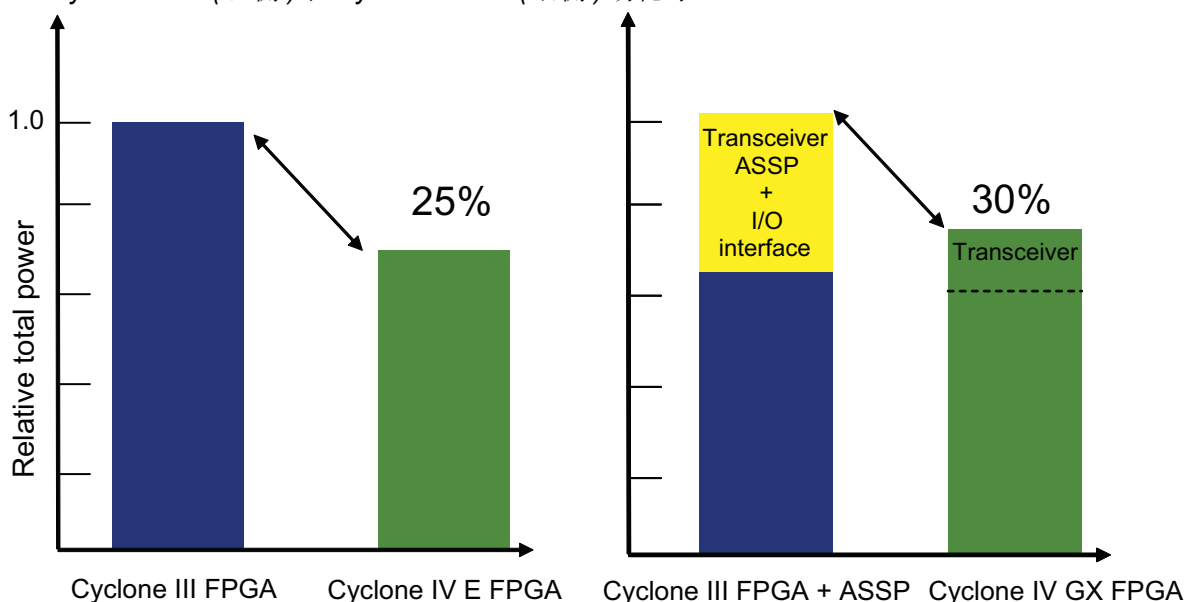
Cyclone IV 系列有两种不同的型号：逻辑“E”型和片内收发器 I/O 速率高达 3.125 Gbps 的“GX”型。这些高速收发器支持多种串行 I/O 协议，例如千兆以太网 (GbE)、PCI Express (PCIe)、CPRI、XAUI、3G 三速 SDI、Serial RapidIO®、SATA、DisplayPort、V-by-One 等，这些协议已经从前沿应用转变为主流应用。Cyclone IV GX FPGA 还含有嵌入式 PCIe 硬核 IP 模块 (图 1)，它不占用任何 FPGA 逻辑，设计工程师使用它时能够比任何其他竞争 FPGA 体系结构支持更多的功能。

图 1. Cyclone IV FPGA 关键体系结构特性



如图 2 所示，Altera 一直与长期合作伙伴 TSMC 密切协作，优化制造工艺，生产的 FPGA 降低了静态和动态功耗，相对于以前的 Cyclone 系列，总功耗分别降低了 25% 和 30%。

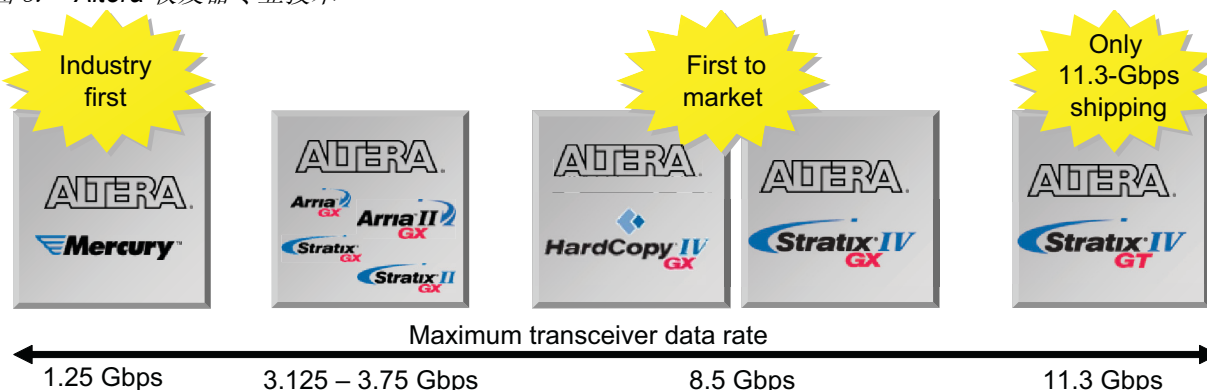
图 2. Cyclone IV E (左侧) 和 Cyclone IV GX (右侧) 功耗对比



FPGA 缩短了产品开发时间，意味着产品能够更迅速面市。Cyclone IV FPGA 内核性能提高了 25% (与竞争产品的低成本 FPGA 相比)，时序余量更大，因此，工程师选用它后，减少了时序逼近设计迭代次数。而且，Altera 的 Quartus® II 设计软件比竞争软件产品的编译时间快 50%，大大提高了工程师每时每刻的效率。

对于 Cyclone IV GX FPGA，Altera 设计尽可能小的收发器 I/O，以降低成本和功耗，而实现的方式是从几个片内锁相环 (PLL) 中提供多路时钟资源。由于主流应用要求降低产品成本，还要使用方便，因此，降低 Cyclone IV GX FPGA 中收发器 I/O 的成本和功耗非常重要，而且是必须的。Altera 发挥其关键技术优势，实现了这一点，成功设计并发售基于收发器的 FPGA。如图 3 所示，采用多种器件体系结构，Altera 已经向市场推出了 8 种不同的产品系列，这些都是由公司自己的设计团队设计开发的。

图 3. Altera 收发器专业技术

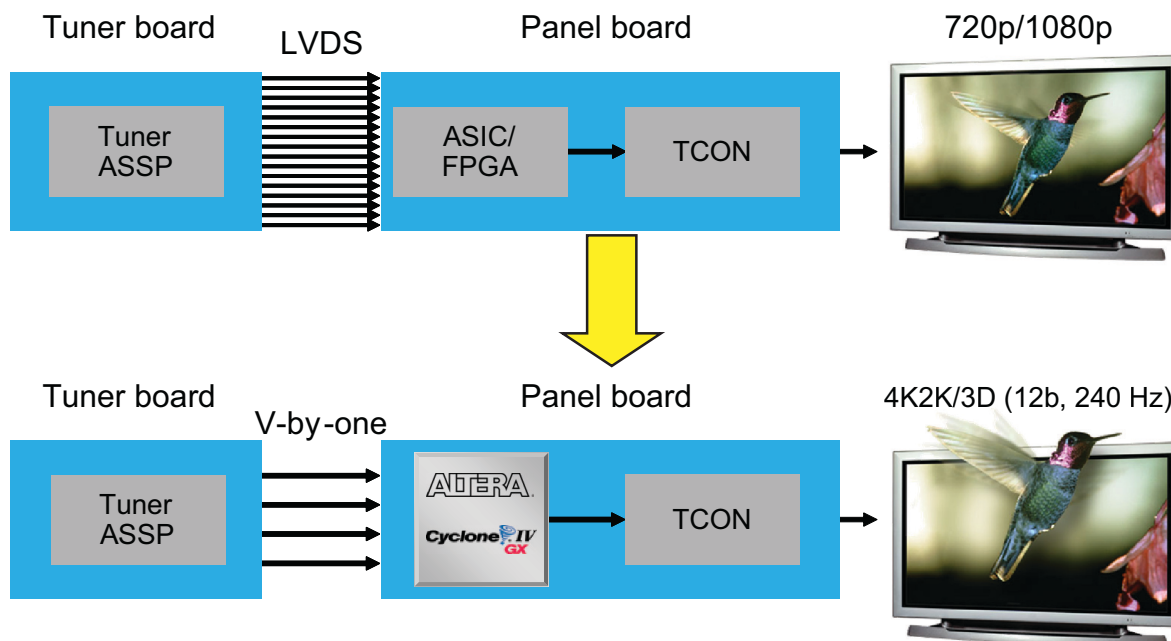


基于对 Cyclone IV FPGA 特性的理解，下面 5 个不同的应用实例将展示 FPGA 是怎样降低系统总成本的。

### 高清晰电视

这一例子 (图 4) 演示了 FPGA 中的低成本、低功耗收发器 I/O 提供新功能，支持更大的带宽 (使用 V-by-One 串行 I/O 协议)，同时降低了 BOM 和电路板成本，从而降低了系统总成本。这一 720p 高清晰数字电视 (HDTV) 在调谐器和显示屏印刷电路板之间采用了 16 路 LVDS I/O。

图 4. HDTV 显示实例



下一代 HDTV 需要的新功能包括：

- 支持视频新标准
- 提高图像分辨率
- 颜色从 10 位过渡到 12 位
- 刷新频率提高到 240 Hz
- 保持或者降低功耗和散热

如果保持调谐器和显示屏电路板之间的并行 I/O 体系结构，增加这些功能需要的带宽高达 36 路 LVDS I/O。这些 I/O 显著增加了 PCB 面积以及 PCB 板层数量，导致成本提高。而且，大量的 LVDS I/O 会明显增加功耗。但是，由于 HDTV 已经成为主流消费类产品，因此，必须降低成本和功耗。

解决这一系统挑战的一种方法是采用名为 V-by-One 的串行新协议标准，将电路板间的通信从 36 对 LVDS I/O 降到 4 对 I/O。这 4 对 V-by-One 有足够的带宽来支持全 HD 分辨率（例如，780p/1080p 到 4K2K）。在 I/O 标准上看起来很简单变化有助于解决这一系统挑战，体现在以下方面：

- 生产商通常在单位密度成本的基础上来衡量 FPGA。每一密度的 FPGA 都有一定数量的 I/O。由于显著减少了 I/O 数量（从 36 个到 4 个），降低了密度，因此，可以使用 I/O 数量更少、更便宜的 FPGA（降低了 BOM 成本）。
- 采用柔性电缆和连接器来实现调谐器和显示屏电路板之间的物理连接。通过减少 I/O 数量，生产商可以使用更细、更便宜的柔性电缆和相关的连接器（降低了 BOM 成本）。
- 由于只有 4 条 PCB 走线，而不是 36 条，因此，减小了 PCB 面积，降低了复杂度，从而减小了成本（降低了电路板成本）。
- Cyclone IV GX FPGA 只使用两路电源，与其他基于收发器的 FPGA 相比，减少了稳压器的数量（降低了 BOM 成本）。
- 如果 FPGA 的功耗较小，那么，设计可以使用低电压（即，降低了成本）稳压器。而且，不必对 Cyclone IV FPGA 进行有源制冷，因此，不需要购买风扇和热沉（降低了 BOM 和电路板成本）。

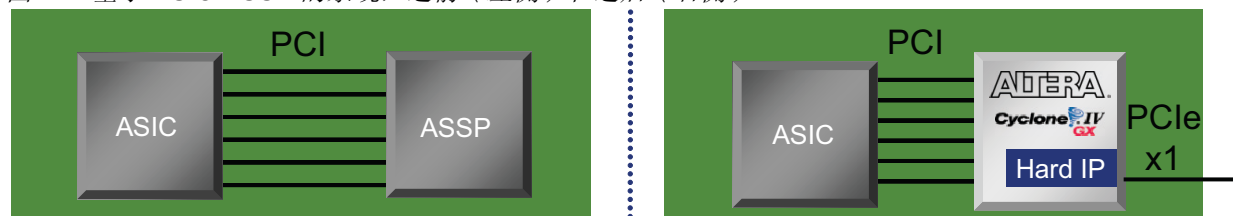
基于 Cyclone IV GX FPGA 的解决方案还提供：

- 使用片内数字信号处理 (DSP) 资源以及视频 IP 内核（设计在 FPGA 逻辑中）
- 使用更小的 V-by-One 协议，不采用 LVDS 电缆和连接器，因此，实现了更好的信号完整性。

## 替代 ASIC 和 ASSP

图 5 显示了使用低成本 ASIC 和 ASSP 器件的产品。假设 ASSP 器件还不支持新功能，或者 ASSP 过时了。FPGA 通常用于桥接具有不同电压电平、电压标准，或者协议完全不同的器件。FPGA 提供新功能，增大了带宽，但是，FPGA 单位成本比它要替代的 ASSP 相比怎样呢？

图 5. 基于 ASIC/ASSP 的系统，之前（左侧）和之后（右侧）



这个例子中使用 FPGA 降低的系统成本包括：

- 没有 ASIC 重制以支持 PCIe（节省了 TCO 成本）

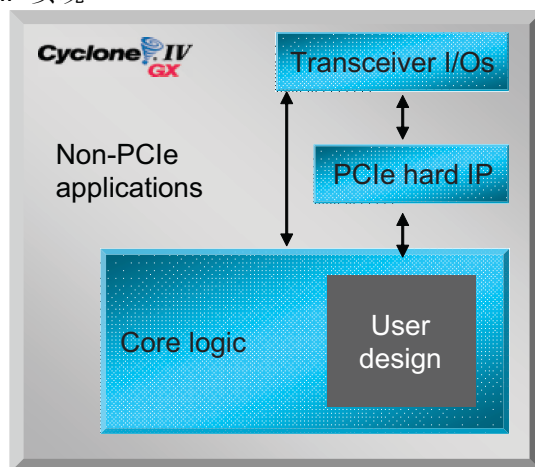
- 不需要 FPGA 逻辑来实现 PCIe (MAC + PHY) 功能，因此，可以使用更小、更便宜的 FPGA (降低了 BOM 成本)。
- 降低了库存成本 (节省 TCO 了成本)

由于 FPGA 本身不会过时，典型的 FPGA 生命周期为 10 到 15 年，有时候甚至是 20 年，因此，生产商使用 FPGA 后，并不需要购买大量的器件进行库存。作为对比，如果 ASSP 过时了，OEM 不得不大量购买，并长时间存放“最后一次购买”的元器件。

## PCI Express

前面的例子虽然只展示了 Cyclone IV GX FPGA 中嵌入的集成硬核 IP 模块的 PCIe x1 通路端点功能，PCIe 硬核 IP 模块 (图 6 所示) 实际上还有更多的功能。Cyclone IV GX 器件是唯一提供 PCIe 硬核 IP 的低成本 FPGA，为根端口和端点提供 x4 支持。

图 6. Cyclone IV PCIe 硬核 IP 实现



Cyclone IV GX PCIe 硬核 IP 模块的特性包括：

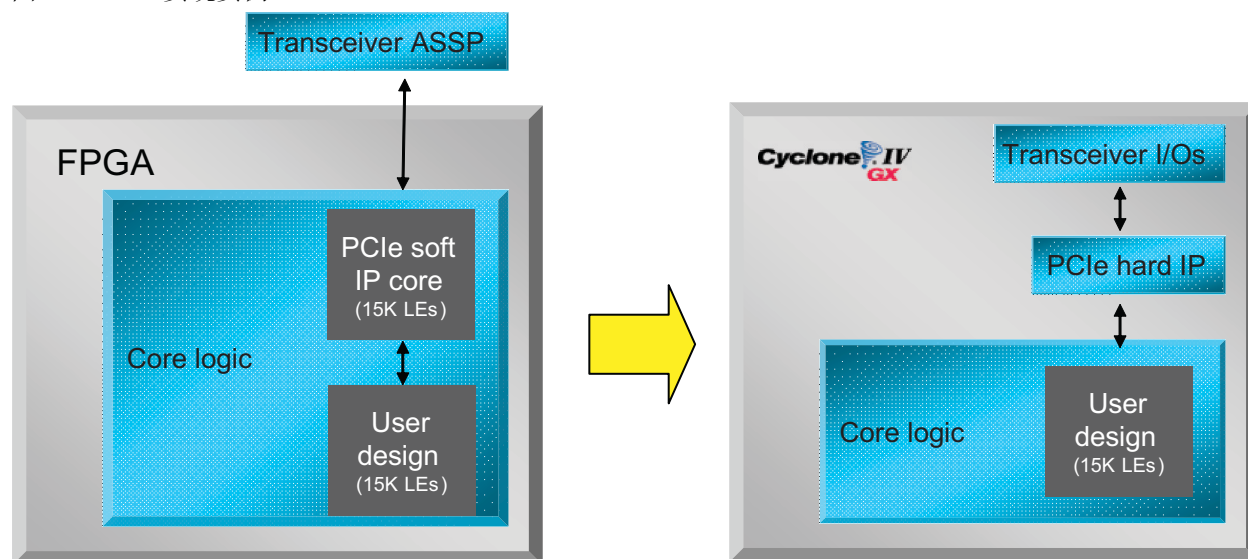
- PCIe Gen1 性能
- x1、x2、x4 通路支持
- 端点和根端口功能

Altera® PCIe 硬核 IP 模块节省的成本包括：

- 不需要购买 IP 内核 (节省了 TCO 成本)
- 比低成本 FPGA 中其他的硬核 IP 模块实现了更多的功能
- 没有占用 FPGA 逻辑，因此，可以使用更小、更便宜的 FPGA (降低了 BOM 成本) (图 7)。



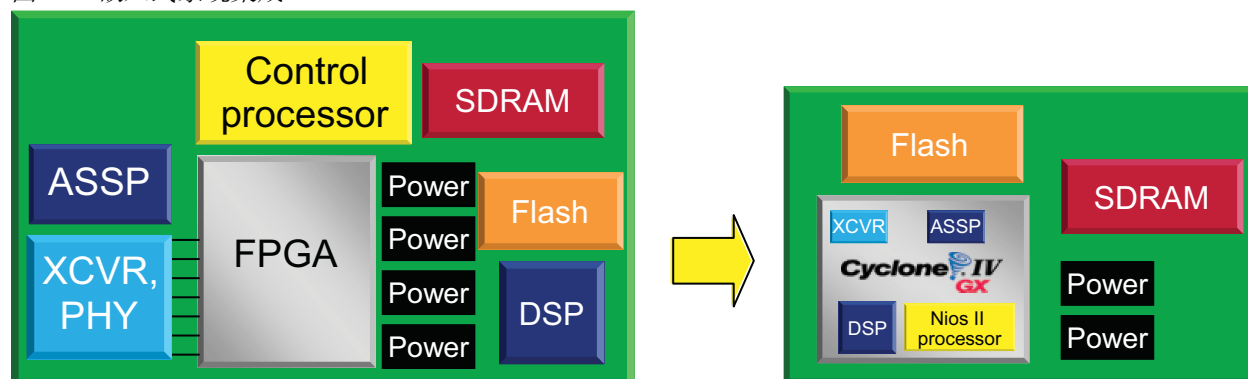
图 7. PCIe 实现实例



### 嵌入式控制器

由于摩尔定律（晶体管密度每两年翻倍）适用于 FPGA，因此，Cyclone IV FPGA 能够比以前集成更多的功能。FPGA 集成度的提高能够降低嵌入式控制器产品这一常见应用的成本吗？图 8 显示了含有 FPGA 的基于外部微控制器的老系统。过去几年中，采购部谈好以较低的价格购买这些产品 BOM 的所有元器件。很快，谈好的价格无法满足进一步降低成本的需求。进一步大幅度降低成本的另一方法是重新设计产品，尽量保持功能不变。

图 8. 嵌入式系统集成



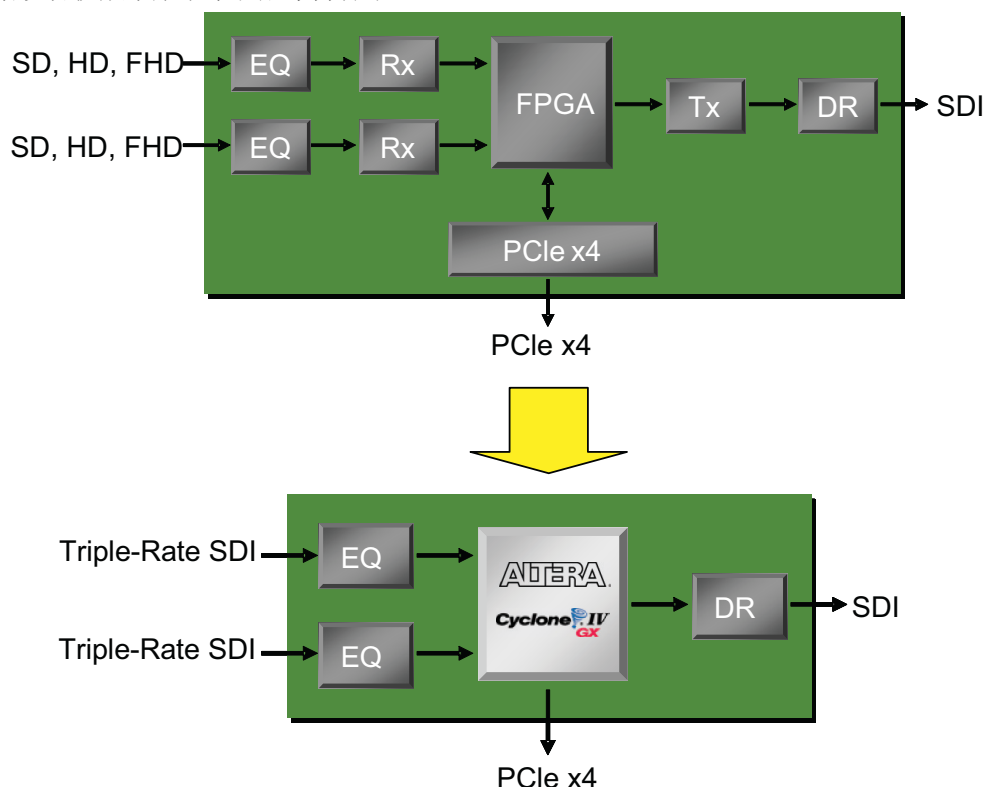
低成本 FPGA 以较低的价格提供大量的逻辑功能。设计人员可以使用 Altera 的 Nios® II 32 位软核 IP 处理器实现控制层应用，使用嵌入式 18x18 乘法器执行大量的并行 DSP 或者大计算量算法，同时使用外部收发器、SERDES 或者 PHY ASSP。与以前的产品以及竞争 FPGA 相比，由于 Cyclone IV FPGA 使用较少的电源，减少了电路板上的元件，因此，只需要很少的外部供电电源。所有这些特性都降低了 BOM 成本。元器件数量的减少还减小了 PCB 面积和板层数量，这都有助于降低电路板成本。

由于重新设计的产品减少了元器件数量，降低了总功耗，因此，提高了系统可靠性。系统可靠性的提高减少了在设备现场服务上的开支（降低现场维护成本 = 节省 TCO 成本）。

## 视频采集卡

最后一个例子是视频采集卡，介绍了当今的 FPGA 功能符合业界发展趋势，以更高的分辨率提供更丰富的视频内容。很多 CPU、GPU 和 ASSP(1)(2) 在 PCIe 上进行了标准化，以便处理电子系统中的宽带视频内容。Altera FPGA 系列提供几种类型的 PCIe 硬核 IP 模块。图 9 使用 Cyclone IV GX 型 PCIe 硬核 IP 模块，使得系统成本降低了 30%。

图 9. 广播设备视频采集卡系统成本降低了 30%



这一例子降低的成本包括：

- 外部 PCIe ASSP 集成到 FPGA 中，因此，其成本为零（降低了 BOM 成本）。
- 还降低了几个其他 ASSP 器件的成本。例如，成本更低的均衡器 ASSP 替代了均衡器和接收器 ASSP（降低了 BOM 成本）。
- 元件更小、数量更少，PCB 面积和层数也减少了，从而降低了 PCB 成本（降低了电路板成本）。
- 由于 Cyclone IV FPGA 需要较少的供电电源，因此，从两方面降低了成本：
  - 更少的稳压器（降低了 BOM 成本）。
  - 更少的稳压器降低了电路板成本，这是因为减少了电源以及相关滤波器电路，使得 PCB 面积更小，并且降低了 PCB 的复杂度。
- 使用 FPGA PCIe 硬核 IP 模块释放了大约 15K 逻辑单元 (LE)，因此，可以使用密度更小、更便宜的 FPGA（降低了 BOM 成本）。
- 不需要购买 PCIe 软核 IP 内核许可（降低了 TCO 成本）。

## FPGA 降低了总体拥有成本

有些 OEM 将低功耗、可靠性和灵活性作为其产品的卖点。中高层经理人很快发现，基于 FPGA 的产品开发能够降低产品在其整个生命周期中的 TCO。这里列出了 Altera FPGA 相对于 ASIC 和 ASSP 的优点，这些都有助于降低 TCO：

- 基于 FPGA 的开发将设计时间缩短了数星期甚至几个月 (3)，使设计人员能够以更合理的价格，更灵活、更迅速的将产品推向市场。
  - 产品迅速面市降低了研发成本 (4)
- 对现有“成功”产品更迅速的进行重新设计大大降低了成本，因此，生产商能够确保在出现模仿产品的情况下，其利润不会下滑，而且能跟上多变的市场，提供新功能适应特殊客户的需求。
- 很多客户使用一种“标准”产品，因此，可以大批量生产，获得稳定的收益，并具有较长的产品生命周期。
- 低功耗降低了对机械元件的依赖（例如，风扇和有源制冷器件），进一步提高了系统可靠性。
- 客户已经采用了支持远程更新的设备。
- 更少的 BOM 简化了元器件库存管理。

## 结论

正如这 5 个例子以及随后所讨论的 TCO 所示，Altera® FPGA 降低了 BOM 成本、电路板成本以及 TCO，因此，显著降低了系统总成本。

考虑企业目标（提高利润和销售收益，同时能够高效的进行研发），专业设计人员应采用基于 FPGA 的设计理念，以解决今后的系统级挑战。Altera 的 Cyclone IV FPGA (E 型和 GX 型) 含有最新的低成本特性，例如集成硬核 IP 模块、3G I/O 和两路电源等，满足了各类最终应用的需求。

## 详细信息

1. PCI-SIG integrators 名录：  
[www.pcisig.com/developers/compliance\\_program/integrators\\_list/pcie](http://www.pcisig.com/developers/compliance_program/integrators_list/pcie)
2. Nvidia 视频：  
[www.nvidia.com/object/IO\\_15195.html](http://www.nvidia.com/object/IO_15195.html)
3. HardCopy® 系统开发方法：  
[www.altera.com/products/devices/hardcopy-asics/about/hrd-development-methodology.html](http://www.altera.com/products/devices/hardcopy-asics/about/hrd-development-methodology.html)
4. 大型 FPGA 设计中的军事效能因素：  
[www.altera.com/literature/wp/wp-01067-military-productivity-large-fpga.pdf](http://www.altera.com/literature/wp/wp-01067-military-productivity-large-fpga.pdf)
5. Cyclone IV 资料 (手册、白皮书，等)：  
[www.altera.com/literature/lit-cyclone-iv.jsp](http://www.altera.com/literature/lit-cyclone-iv.jsp)
6. 免费的 Quartus II 网络版设计软件：  
[www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html](http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html)
7. 培训课程：  
[www.altera.com/education/training/trn-index.jsp](http://www.altera.com/education/training/trn-index.jsp)

## 致谢

- Thomas M. Schulte，产品营销高级经理，低成本产品，Altera 公司。



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

版权 © 2009 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。