

Processamento Embarcado para Implementação de um Método Iterativo de Deconvolução Visando a Reconstrução de Energia em Calorímetros de Altas Energias

Melissa Santos Aguiar, Luciano Manhães de Andrade Filho, José Manoel de Seixas

Abstract— This paper proposes the implementation, in FPGA, of a custom processor that operates an iterative method, based on Positive Descending Gradient, performing its application in the online reconstruction of energy in high energy calorimeters, respecting the required operation latency. This algorithm is more efficient in the reconstruction of the signals than the current method in use, which is not tolerant to the pileup effect that occurs in modern particle colliders, which operate in high collimation of collision beams.

Keywords— FPGA, ATLAS, Deconvolution

Abstract— Este trabalho propõe a implementação, em FPGA, de um processador customizado que opera um método iterativo, baseado em Gradiente Descendente Positivo, visando sua aplicação na reconstrução online de energia em calorímetros de altas energias, respeitando a latência de operação necessária. Este algoritmo é mais eficiente na reconstrução dos sinais que o atual método em uso, o qual não é tolerante ao efeito de empilhamento de sinais que ocorre em colisionadores de partículas modernos, que operam em elevada colimação dos feixes de colisão.

Keywords— FPGA, ATLAS, Deconvolução

I. INTRODUÇÃO

Desde sua fundação, no ano de 1954, em Genebra, Suíça, a Organização Européia para a Pesquisa Nuclear (*Conseil Européen pour la Recherche Nucléaire*), também conhecida como CERN, vem se destacando mundialmente nos experimentos em física de altas energias [1]. Atualmente, o LHC (*Large Hadron Collider*) é o principal acelerador de partículas do CERN e é o maior e mais energético acelerador de partículas já construído [2].

A aquisição dos dados resultantes das colisões, no LHC, é realizada pelos seus experimentos. O ATLAS (*A Toroidal LHC Apparatus*) [3] é o maior deles sendo formado por sub-detecores dispostos em camadas. Cada um destes é responsável por medir propriedades específicas das partículas geradas pelas colisões e, devido à fina segmentação (mais de 100 milhões de canais de leitura), as interações

destas partículas nos sub-detecores do ATLAS geram um fluxo de dados com cerca de 70 TB/s [4]. No Calorímetro Hadrônico do ATLAS, o período necessário para a identificação de um pulso conformado é 150 ns. Como o intervalo entre as colisões no LHC é de 25 ns, ocorre empilhamento (*pileup*) enquanto o sinal se desenvolve [5]. O algoritmo atualmente em uso é baseado em um filtro casado [6], o que não é muito eficiente na detecção de sinais com este efeito pois o empilhamento torna sua resposta não linear.

Para resolver este problema, foram propostos métodos baseados na deconvolução do sinal do calorímetro implementando filtros FIR (*Finite Impulse Response*), com o objetivo de realizar uma equalização da resposta do calorímetro, onde um modelo linear de sobreposição de sinais é iterativamente alcançado [7].

Neste contexto, o trabalho [8] se baseia no método do Gradiente Descendente Positivo (GDP) e mostra que os métodos iterativos têm desempenho superior ao das técnicas baseadas em filtros FIR no que diz respeito a detecção e acurácia da informação de energia reconstruída. O autor implementou o algoritmo em um circuito digital onde todas as operações matriciais foram realizadas em paralelo, de forma que foi possível obter alta eficiência na reconstrução dos sinais e foi respeitada a latência de operação necessária, porém ao custo de uma enorme quantidade de recursos lógicos.

O trabalho aqui proposto tem por objetivo realizar o estudo da utilização de um processador customizado para a reconstrução dos sinais, propondo topologias para a implementação em FPGA do método iterativo GDP, utilizando menos recursos lógicos que o algoritmo proposto em [8], de forma a respeitar a latência de operação necessária ao sistema de aquisição do ATLAS.

II. MÉTODO

O método do Gradiente Descendente Positivo é implementado pela equação 1.

$$\hat{x}^{iter+1} = \hat{x}^{iter} + \mu(H^T s - A\hat{x}^{iter}) \quad (1)$$

Onde s é um vetor de dimensão 54x1 representando uma janela do sinal digitalizado no canal de leitura do

M. S. Aguiar[†], L. M. Andrade Filho[†], Departamento de Engenharia Elétrica, Universidade Federal de Juiz de Fora, Juiz de Fora - MG[†], Brasil, J. M. Seixas[‡], Laboratório de Processamento de Sinais COPPE/POLI, Universidade Federal do Rio de Janeiro, Rio de Janeiro - RJ[‡], Brasil, Emails: melissa.aguiar@engenharia.ufjf.br, luciano.andrade@engenharia.ufjf.br, seixas@lps.ufjf.br.

calorímetro, H (dimensão 54x48) é a matriz de convolução formada por amostras do pulso de referência do calorímetro, A é o produto matricial entre H^T e H , μ é uma constante obtida através de simulações e \hat{x} (dimensão 48x1) representa o sinal de energia reconstruído.

III. IMPLEMENTAÇÃO

Para a implementação do algoritmo em FPGA, foi utilizado um processador customizado, capaz de realizar operações por meio de circuitos aritméticos em ponto fixo e ponto flutuante, o qual foi desenvolvido no Laboratório de Processamento de Sinais e Telecomunicações da UFJF [9][10]. Com isto, foi possível projetar um processador dedicado, em linguagem *Verilog HDL*, que realiza a operação matricial da equação 1, para possibilitar então a análise da viabilidade desta implementação.

No processador, os dados vindos do canal de leitura do calorímetro são convertidos de inteiro para ponto flutuante e entram num bloco de processamento, onde as constantes já estão armazenadas na memória de dados. O vetor s é preenchido com os valores da primeira janela de entrada para que o produto entre H^T e s seja calculado. Em sequência, é realizado o cálculo das n iterações, onde o vetor \hat{x} é inicializado em zero e vai sendo atualizado após cada iteração, sendo que seus valores negativos são substituídos por zero. Após as n iterações, os dados do sinal reconstruído são convertidos num bloco de ponto flutuante para inteiro na saída. O vetor s recebe a próxima janela de dados na entrada e toda a operação se repete.

IV. RESULTADOS

O software Matlab® foi utilizado para gerar um sinal e, a partir deste, foi gerado um sinal com efeito de empilhamento. Na Figura 1 é possível observar na cor verde o sinal com *pileup* utilizado na entrada do algoritmo, em vermelho o sinal sem *pileup* esperado na saída e, em azul, o sinal reconstruído após 150 iterações do algoritmo.

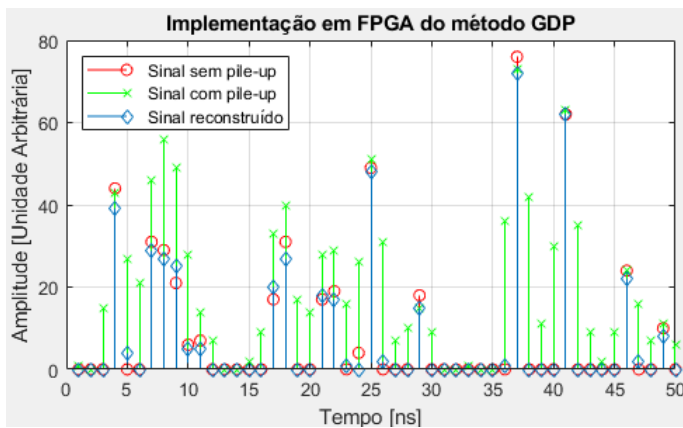


Fig. 1. Reconstrução de um sinal com efeito de empilhamento

O circuito digital do processador aqui proposto utiliza, independente do número de iterações, 1.253 elementos

lógicos e 2 blocos multiplicadores. Isto é uma vantagem em relação à metodologia proposta em [8], que obtém o mesmo sinal reconstruído e sua quantidade de recursos lógicos aumenta com a quantidade de iterações, sendo necessários mais de 100.000 elementos lógicos para realizar a reconstrução do sinal. Porém, testes realizados com o simulador *ModelSim* mostram que o tempo de latência de 2.5 μ s ainda não foi respeitado.

Como próxima etapa do trabalho, será testada a utilização de vários processadores, de forma a paralelizar os cálculos matriciais para atingir o tempo de latência adequado. Vale ressaltar que na versão final desta implementação, a quantidade de recursos lógicos pode aumentar em até 48 vezes e, ainda assim, este valor será bem menor do que na implementação proposta em [8].

V. CONCLUSÕES

Neste trabalho foi projetado o método iterativo GDP como um processador dedicado, com baixo custo em elementos lógicos e maior desempenho que os métodos baseados em filtros FIR, possibilitando a validação da topologia, além da análise dos recursos e período de funcionamento necessários. Para trabalhos futuros, a proposta é modificar a estrutura da unidade lógica aritmética do processador para que as operações de somar e de acumular sejam executadas em um único ciclo de *clock*, além de adicionar processadores em paralelo para realizar os cálculos matriciais dentro do tempo requerido pelo sistema de aquisição do ATLAS e, ainda assim, utilizar menos elementos lógicos que as demais implementações propostas.

Os autores agradecem ao apoio da CAPES, CNPq, RENAFAP, FAPEMIG e FAPERJ.

REFERÊNCIAS

- [1] K. Anthony, "Celebrating the first of a kind," sep 2014.
- [2] CERN, "The large hadron collider," 2014.
- [3] G. Aad et al., "The ATLAS Experiment at the CERN Large Hadron Collider," *JINST*, vol. 3, p. S08003, 2008.
- [4] S. Klous, "Event streaming in the online system," Tech. Rep. ATL-DAQ-PROC-2010-017, CERN, Geneva, Jul 2010.
- [5] J. M. Seixas, "Quality Factor for the Hadronic Calorimeter in High Luminosity Conditions," *Journal of Physics, Czech Republic*, pp. 3–4, May 2015.
- [6] B. S. Peralva, "The TileCal Energy Reconstruction for Collision Data Using the Matched Filter," in *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, pp. 4–6, Seoul, South Korea, IEEE Conference, 2013.
- [7] J. P. B. S. Duarte, "Estudo de técnicas de deconvolução para reconstrução de energia online no calorímetro hadrônico do atlas," Master's thesis, UFJF, 2015.
- [8] Tiago A. Teixeira, João Paulo B. S. Duarte, Luciano M. A. Filho, José M. Seixas, "Implementação em FPGA de um Método Recursivo de Deconvolução para Reconstrução de Energia no Calorímetro do Atlas," *Simpósio Brasileiro de Telecomunicações e Processamento de Sinais, Campina Grande*, pp. 2–5, 2018.
- [9] Santos, V. A. M.; Sena, G. G.; Silva, L. R. M.; Andrade Filho, L. M., "Implementação de Circuitos Aritméticos em Ponto Flutuante Utilizando Formato com Número de bits Configurável," *Congresso Brasileiro de Automática, João Pessoa*, pp. 1–2, 2018.
- [10] Kapisch, E. B.; Silva, L. R. M.; Martins, C. H. N.; Barbosa, A. S.; Filho, L. M. A.; Duque, C. A.; Taviel, A. E.; De Souza, L. A. R., "An Implementation of a Power System Smart Waveform Recorder using FPGA and ARM cores," *Measurement (London, Print)*, 2016.