

**\*ניתנה הארכה של יום**

**מעגלים משולבים ומבוא ל-VLSI**

**עבודה מספר 3**

**תא זיכרון מבוסס 6T SRAM ומערך תאי זיכרון**

**ניר קוה 205711922**

**יובל טנאי 313361602**

**מספר קבוצה: 49**

**תאריך הגשה: 1/07/2022**

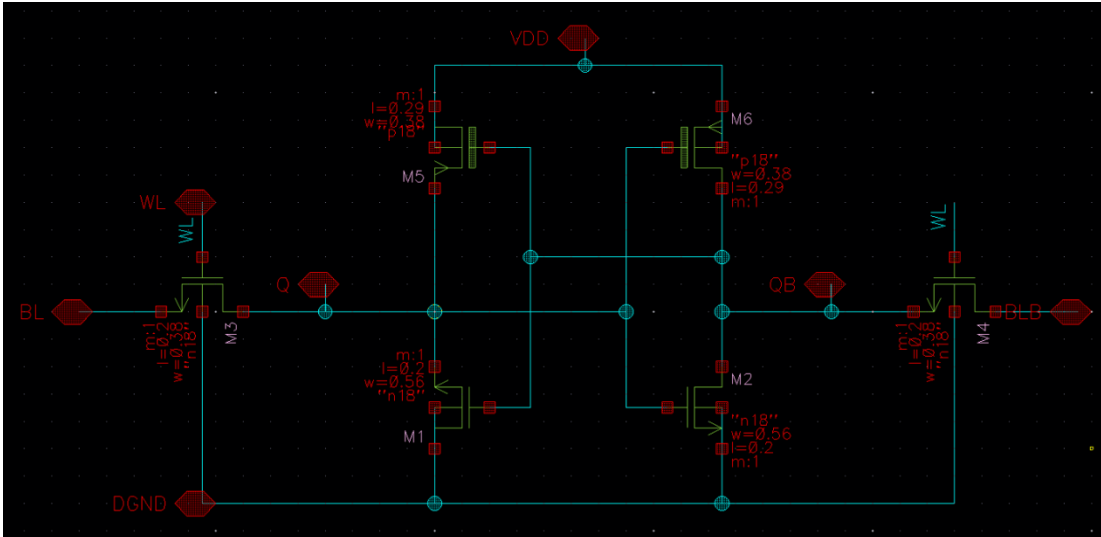
## מימוש תא זיכרון מבוסס 6T SRAM

(1) מידות SNR של תא זיכרון 6T SRAM במצבים שונים

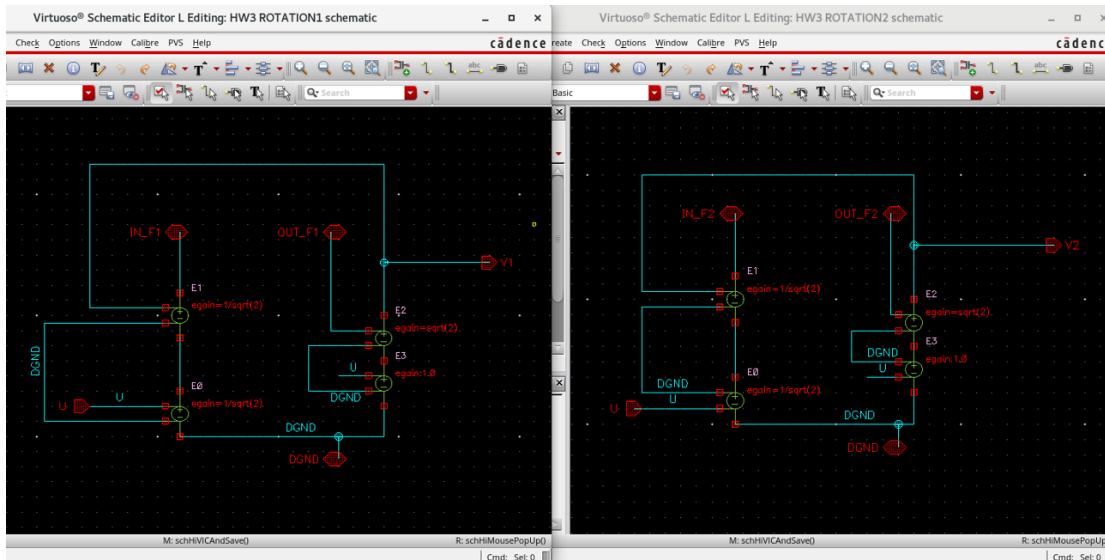
במקרה שלנו,  $x=y=2$ .

א. מניתוח תיאורטי של מצב קריאה קיבלנו כי PDN צריכה להיות חזקה יותר מטרנזיסטורי הגישה. בנוסף ראינו כי במצב כתיבה טרנזיסטור הגישה צריך להיות חזק יותר מ-PUN. יתר על כן, אנו יודעים כי התא נדרש להיות סימטרי מימין לשמאל. גודל הטרנזיסטור קובע את המהירות שלו לעומת טרנזיסטורים אחרים וכך קיבלנו את יחסי הגדלים הרצויים:  $K_{PDN} > K_{access} > K_{PUN}$

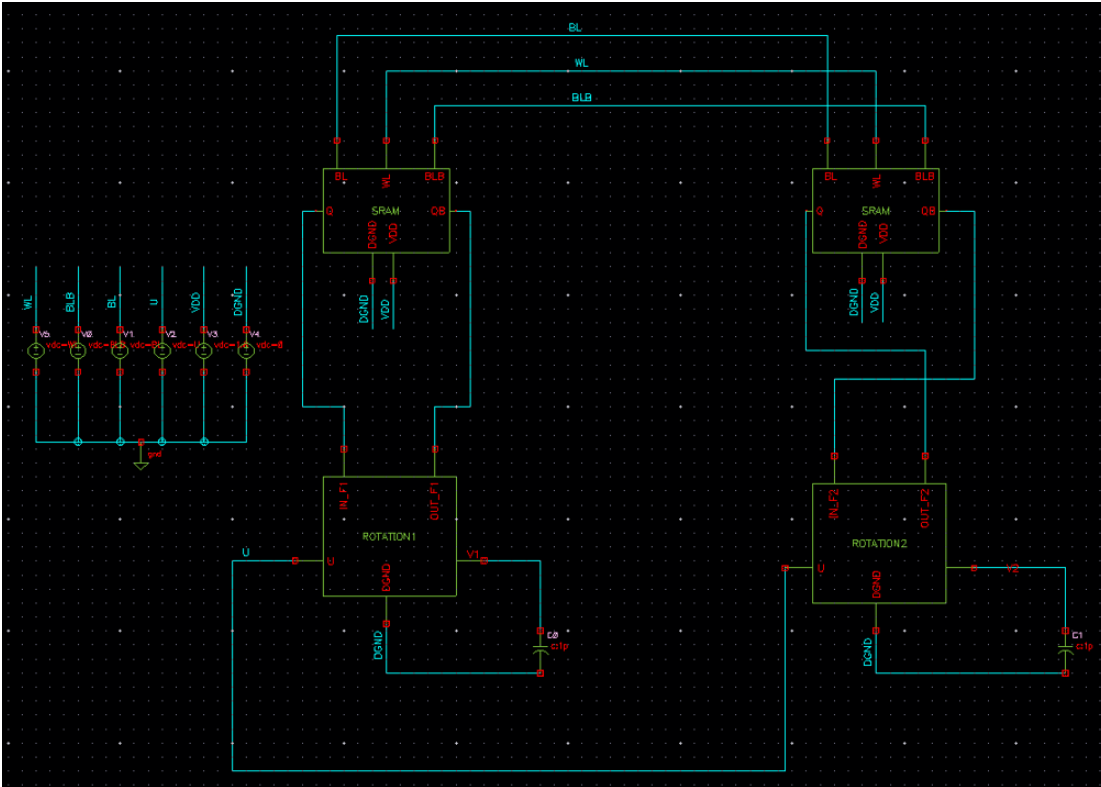
ב. בנינו את תא ה-SRAM:



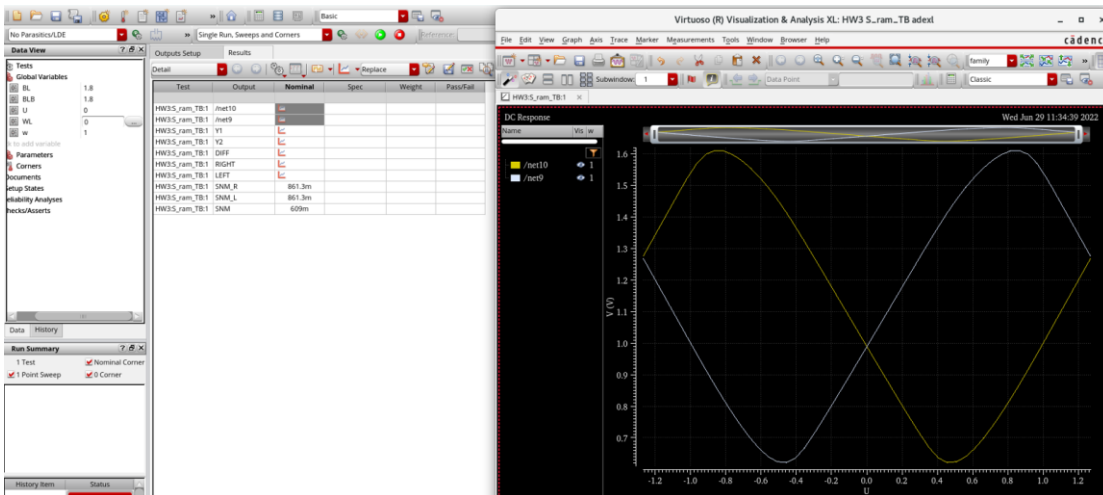
שני תאים לטרנספורמציות סיבוב:



ג. בנינו TB כנדרש:



מדדנו SNMhold כאשר ה-WL=0:



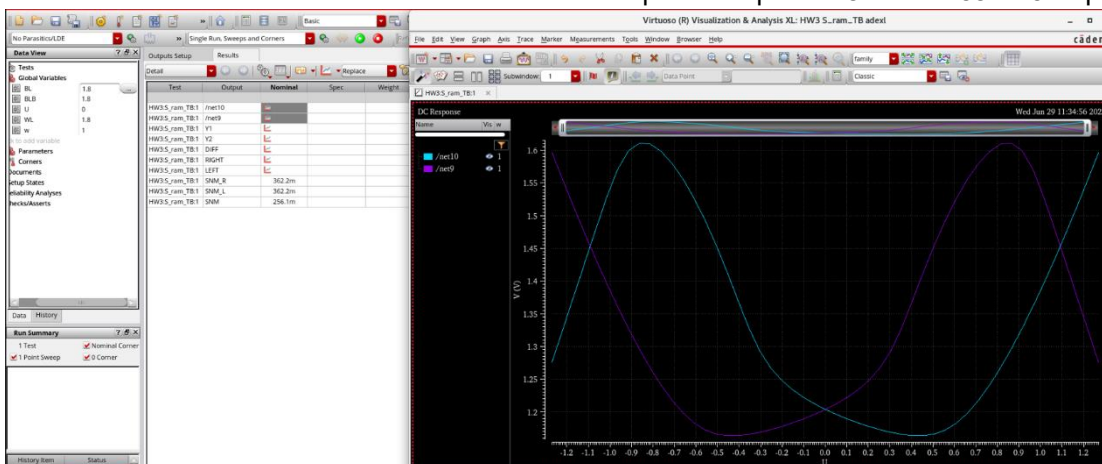
קיבלנו  $SNM_{hold}=609mV$ .

ד. עבור מצב קריאה אותות הבקרה המתאימים הם:  $WL=1$  (על מנת שתהיה גישה לתא),  $BL=BLB=1$  (על מנת לבדוק מאיזה צד בתא "ברח" מטען וכך נוכל להבין מה המתחים בשני צידי התא – כלומר לקרוא את תוכנו).

ה. הביטויים שכתבנו עבור מציאת SNMleft, SNMright, SNM:

	signal	/net10
	signal	/net9
Y1	expr	VS("/net10")
Y2	expr	VS("/net9")
DIFF	expr	abs((Y1 - Y2))
RIGHT	expr	clip(DIFF 0 (1.8 / sqrt(2)))
LEFT	expr	clip(DIFF (-1.8 / sqrt(2)) 0)
SNM_R	expr	ymin(RIGHT)
SNM_L	expr	ymin(LEFT)
SNM	expr	(min(SNM_L SNM_R) * (1 / sqrt(2)))

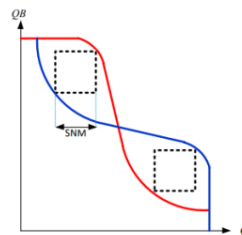
ו. גרף ה-BUTTERFLY CURVES שהתקבל במצב קריאה:



SNMread=256.1mV

ז. עקומת הפרפר עבור מצב קריאה לפני הסיבוב נראית כך:

על מנת להגדיל את ה-SNM נרצה להרחיק את הגרפים אחד מהשני ובמילים אחרות להקטין את  $V_{OLmin}$  כמה שאפשר. על מנת לעשות זאת, נדרש להגדיל את טרנזיסטור ה-PD לעומת טרנזיסטור הגישה. זאת מכיוון שכאשר Q גבוה נקבל "מלחמה" בין ה-PD ל-Access וכדי להכניס 0 ל-QB נרצה שה-PD "ינצח".



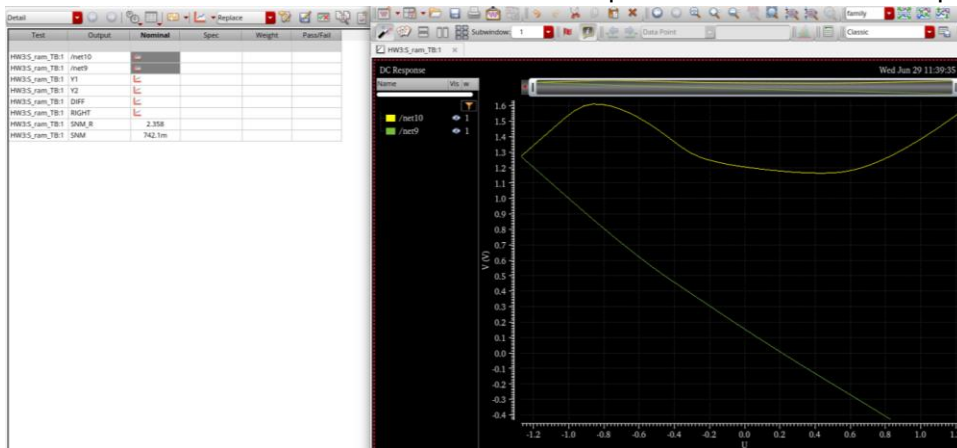
ח. לטובת הגדלת ה-SNM הגדרנו פרמטר  $w$  אשר מכפיל את רוחב טרנזיסטורי ה-PD. כדי להגדיל את ה-SNMread ב-150mV חיפשנו להגיע ל-SNMread=406.1mV בסימולציית DC SWEEP כאשר הפרמטר  $w$  משתנה (כמובן שבהתחלה סרקנו את  $w$  בסריקה גסה יותר וכשהבנו מה הטווח של  $w$  הרצוי סרקנו במרווחים קטנים על מנת להגיע לדיוק מירבי):

ניתן לראות כי קיבלנו את ה-SNMread המבוקש כאשר  $w=2.379$  כלומר רוחב טרנזיסטורי ה-PD הרצוי במקרה זה הוא:  
 $560\text{nm} * 2.379 = 1.33224\mu\text{m}$

Point	Test	Output	Nominal
Parameters: w=2.37			
1	HW3-S_ram_TB:1	SNM	405.2m
Parameters: w=2.371			
2	HW3-S_ram_TB:1	SNM	405.3m
Parameters: w=2.372			
3	HW3-S_ram_TB:1	SNM	405.4m
Parameters: w=2.373			
4	HW3-S_ram_TB:1	SNM	405.5m
Parameters: w=2.374			
5	HW3-S_ram_TB:1	SNM	405.6m
Parameters: w=2.375			
6	HW3-S_ram_TB:1	SNM	405.7m
Parameters: w=2.376			
7	HW3-S_ram_TB:1	SNM	405.8m
Parameters: w=2.377			
8	HW3-S_ram_TB:1	SNM	405.9m
Parameters: w=2.378			
9	HW3-S_ram_TB:1	SNM	406m
Parameters: w=2.379			
10	HW3-S_ram_TB:1	SNM	406.1m
Parameters: w=2.38			
11	HW3-S_ram_TB:1	SNM	406.2m

ט. עבור מצב כתיבה  $WL=1$  (כמו במצב קריאה - על מנת לאפשר גישה לתא), ערכי קווי בקרה BL ו-BLB בהתאם לערך אותו אנו רוצים לכתוב. אם, למשל, נרצה לכתוב לתא את הערך 1 כלומר נרצה שצומת Q תחזיק 1 וצומת QB תחזיק 0. על מנת שמצב זה יתממש BLB צריך להיות ב-0 כדי שהערך הנוכחי ב-QB יוכל להתפרק באם ערכו גבוה, וישאר ב-0 באם מצבו הנוכחי הוא 0. ולכן  $BL=1$ . אם נרצה לממש את המצב ההופכי - כתיבת 0 לתא, BL ו-BLB יהיו הפוכים.

גרף ה-BUTTERFLY CURVES שהתקבל במצב כתיבה:



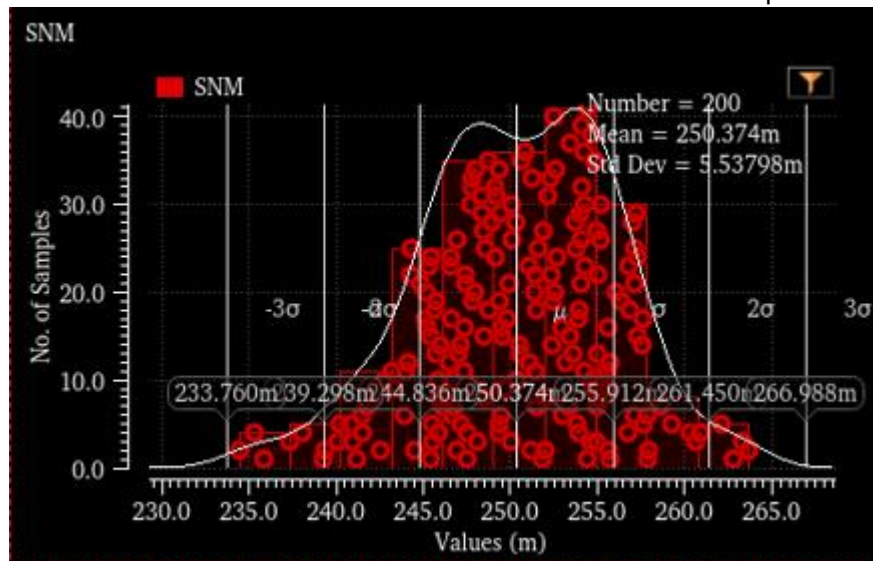
קיבלנו  $SNMwrite=742.1\text{mV}$  כאשר התחשבנו רק ב- $u>0$ .

על מנת להגדיל את ה-SNM שוב ננסה להרחיק בין הגרפים הפעם ע"י הגדלת טרנזיסטורי הגישה על מנת שיעבירו בצורה חזקה יותר את BL ו-BLB. כעת, הגדרנו פרמטר חדש  $a$  אשר מכפיל את רוחב טרנזיסטורי הגישה על מנת למצוא רוחב אופטימלי בו ה-SNM גדל ב-150mV. שוב עשינו את אותו תהליך, הפעם עם קווי בקרה מתאימים לכתיבה:

Point	Test	Output	Nominal
Parameters: a=3.1			
1	HW3:S_ram_TB:1	SNM	891.8m
Parameters: a=3.11			
2	HW3:S_ram_TB:1	SNM	892.2m
Parameters: a=3.12			
3	HW3:S_ram_TB:1	SNM	892.6m
Parameters: a=3.13			
4	HW3:S_ram_TB:1	SNM	892.9m
Parameters: a=3.14			
5	HW3:S_ram_TB:1	SNM	893.3m
Parameters: a=3.15			
6	HW3:S_ram_TB:1	SNM	893.6m
Parameters: a=3.16			
7	HW3:S_ram_TB:1	SNM	894m
Parameters: a=3.17			
8	HW3:S_ram_TB:1	SNM	894.5m
Parameters: a=3.18			
9	HW3:S_ram_TB:1	SNM	894.9m
Parameters: a=3.19			
10	HW3:S_ram_TB:1	SNM	895.4m
Parameters: a=3.2			
11	HW3:S_ram_TB:1	SNM	895.8m

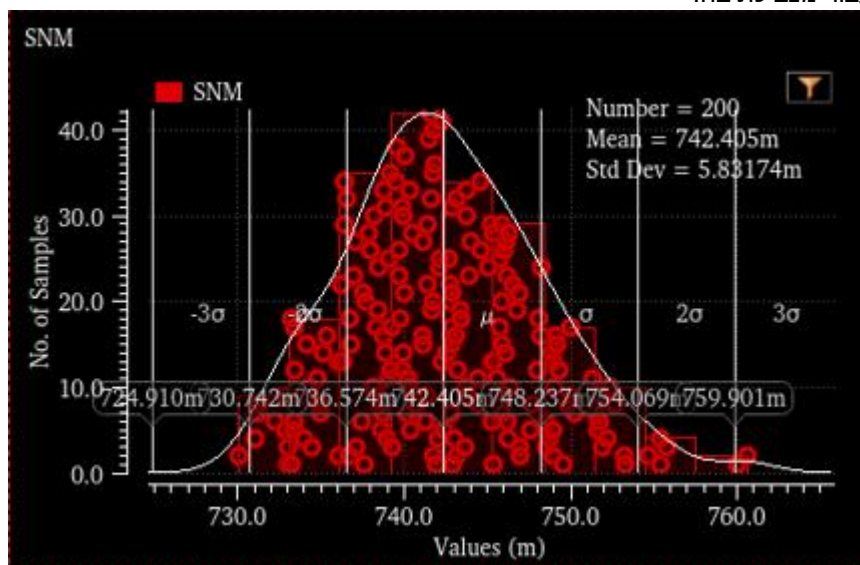
כאן קיבלנו כי  $a$  האופטימלי הוא בערך 3.11 כלומר הרוחב האופטימלי של טרנזיסטורי הגישה למטרה זו הינו 1.18um.

עבור מצב קריאה:



קיבלנו שה-SNMread הממוצע עבור תכונות מוגרלות של טרנזיסטורים הוא 250.374mV וזהו ערך יחסית קרוב לערך שהתקבל ע"י סימולציה רגילה קודם לכן. לכן, תוצאה זו הגיונית עבורנו.

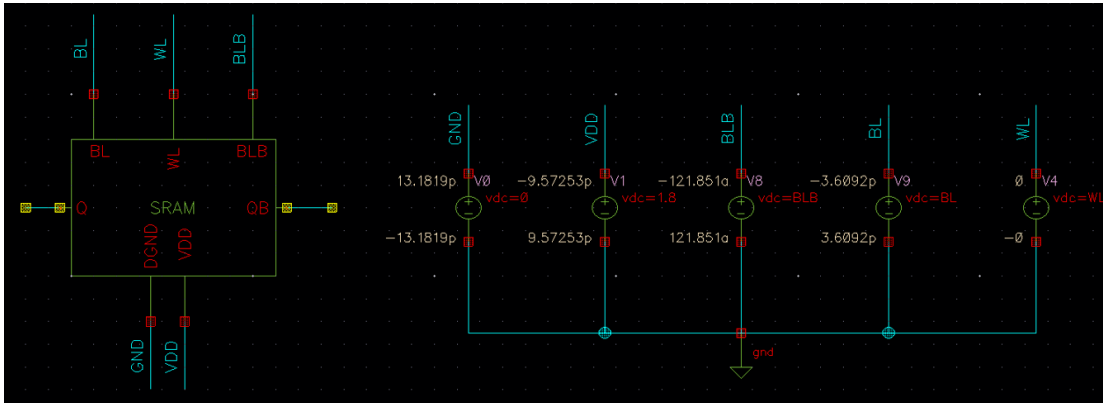
עבור מצב כתיבה:



גם כאן קיבלנו תוצאה מאוד קרובה לסימולציה: SNMwrite=742.4mV.

## (2) מדידת הספקים של התא

א. זרמי זליגה מופיעים במצב HOLD מכיוון שבמצב זה אנו רוצים לשמור על הערך בתא לאורך זמן אך ישנם זרמים לא רצויים שמשנים אותו. מיתגנו את קווי הבקרה בהתאם, איפסנו את הערכים ההתחלתיים, הרצנו את הסימולציה ומצאנו את זרמי הזליגה:

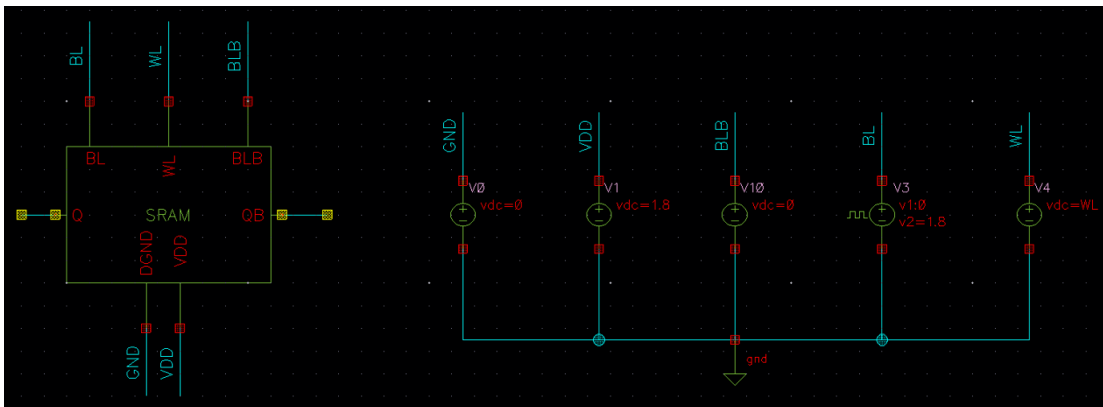


קיבלנו זרם זליגה בגודל 9.75pA מהספק שהוא מקור הזליגה העיקרי מכיוון שטרנזיסטורי הגישה לתא בקטעון במצב זה. כמובן שההספק כאן שלילי מכיוון שהוא נצרך מהספק. מערך זיכרון בגודל 1MB דורש  $2^{20}$  בתים וכל בית מכיל 8 ביטים ולכן נדרשים  $8 \cdot 2^{20}$  תאים כאלו, זאת מכיוון שכל תא יכול לאחסן ביט בודד. נסכם:

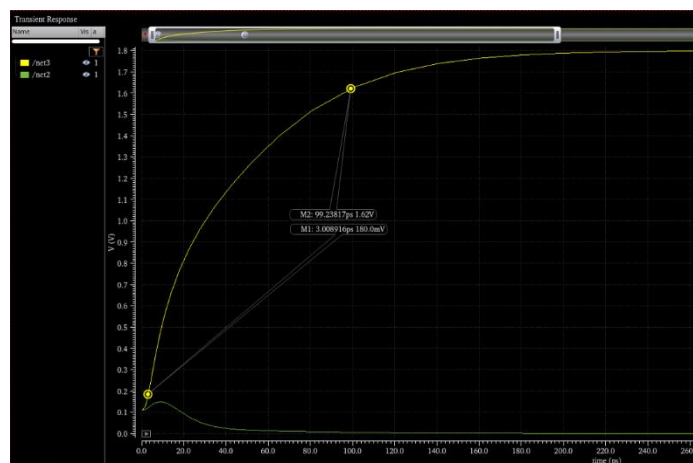
$$P_{static_{1MB}} = 8 \cdot 2^{20} \cdot P_{static_{1bit}} = 8 \cdot 2^{20} \cdot V_{DD} \cdot I_{static} = 8 \cdot 2^{20} \cdot 1.8V \cdot 9.75pA = 147.22uW$$

ב. על מנת למדוד זמני כתיבה לתא מיקמנו מקור מתח פולסי מתאים ב-BL והסתכלנו על צומת Q. למשל, עבור כתיבת 1 ב-BL יעבור מ-0 ל-1 ו-BLB יהיה קבוע ב-0 והערך ההתחלתי שקבענו ב-Q הוא 0, ובדיוק הפוך עבור כתיבת 0.

עבור כתיבת 1:

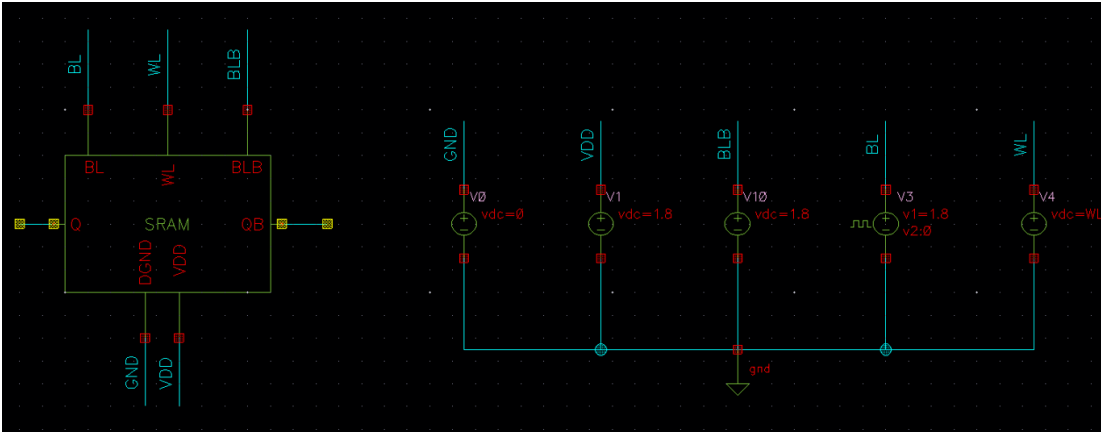


$$T=99.24p-3.01p=96.23psec$$

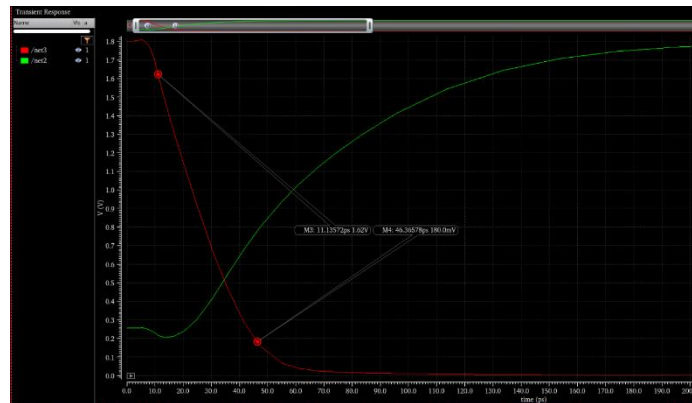




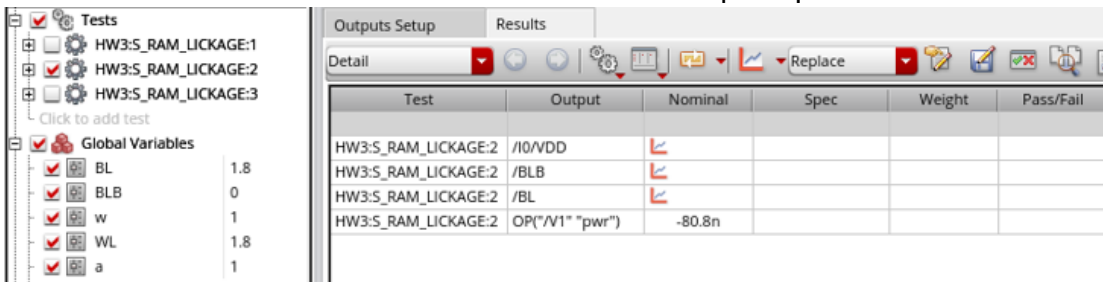
עבור כתיבת 0:



$$T=46.37p-11.14p=35.23psec$$



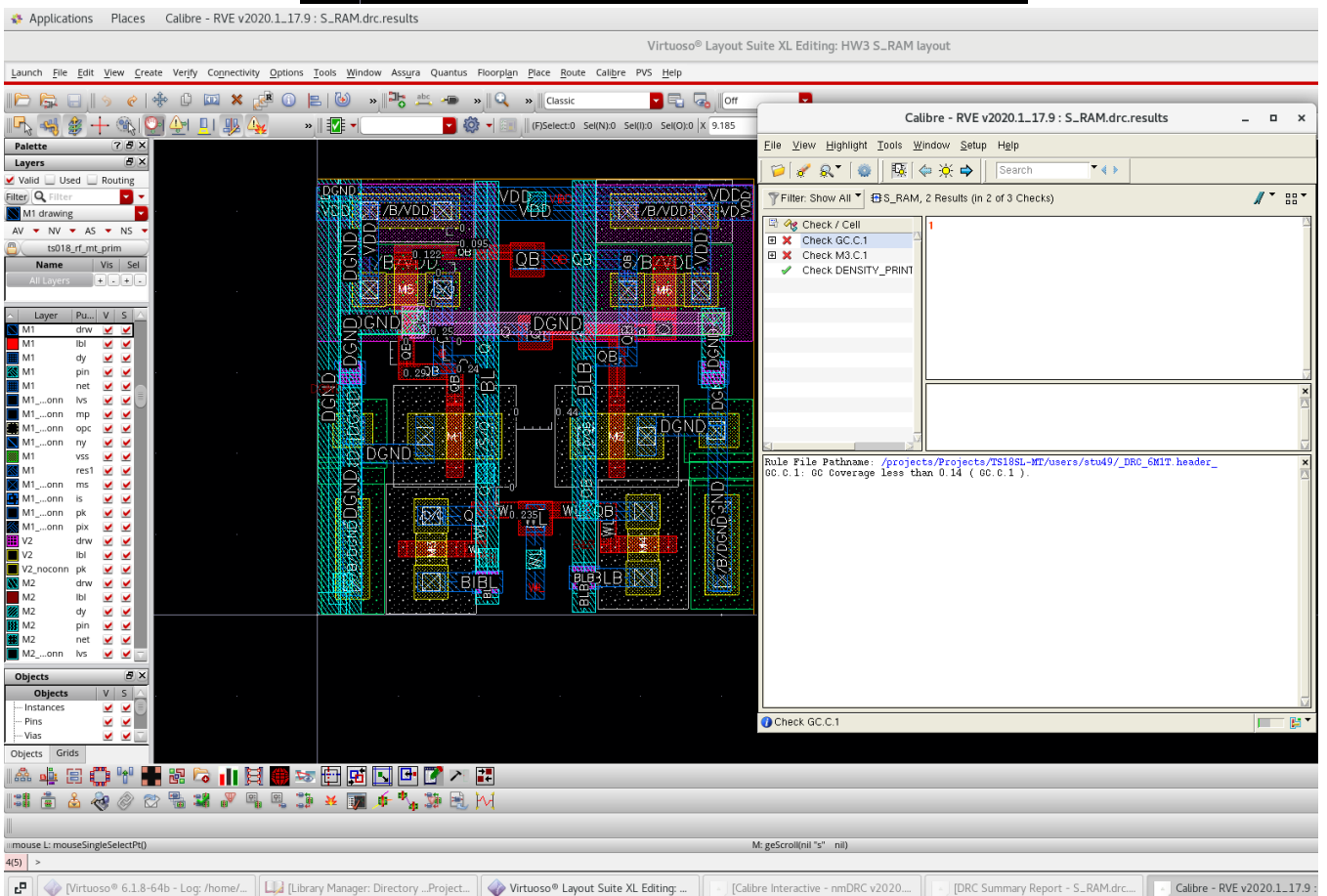
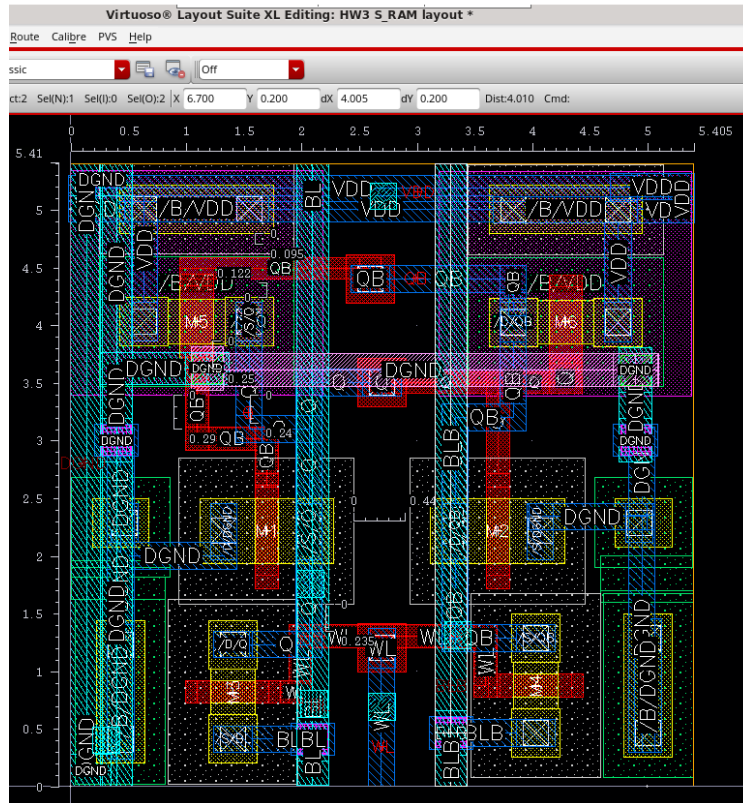
ג. ההספק הדינאמי הוא ההספק הנצרך כאשר כותבים 1 לתא מכיוון שבמצב זה עובד טרנזיסטור PU ויש מסלול בין הספק לאדמה:

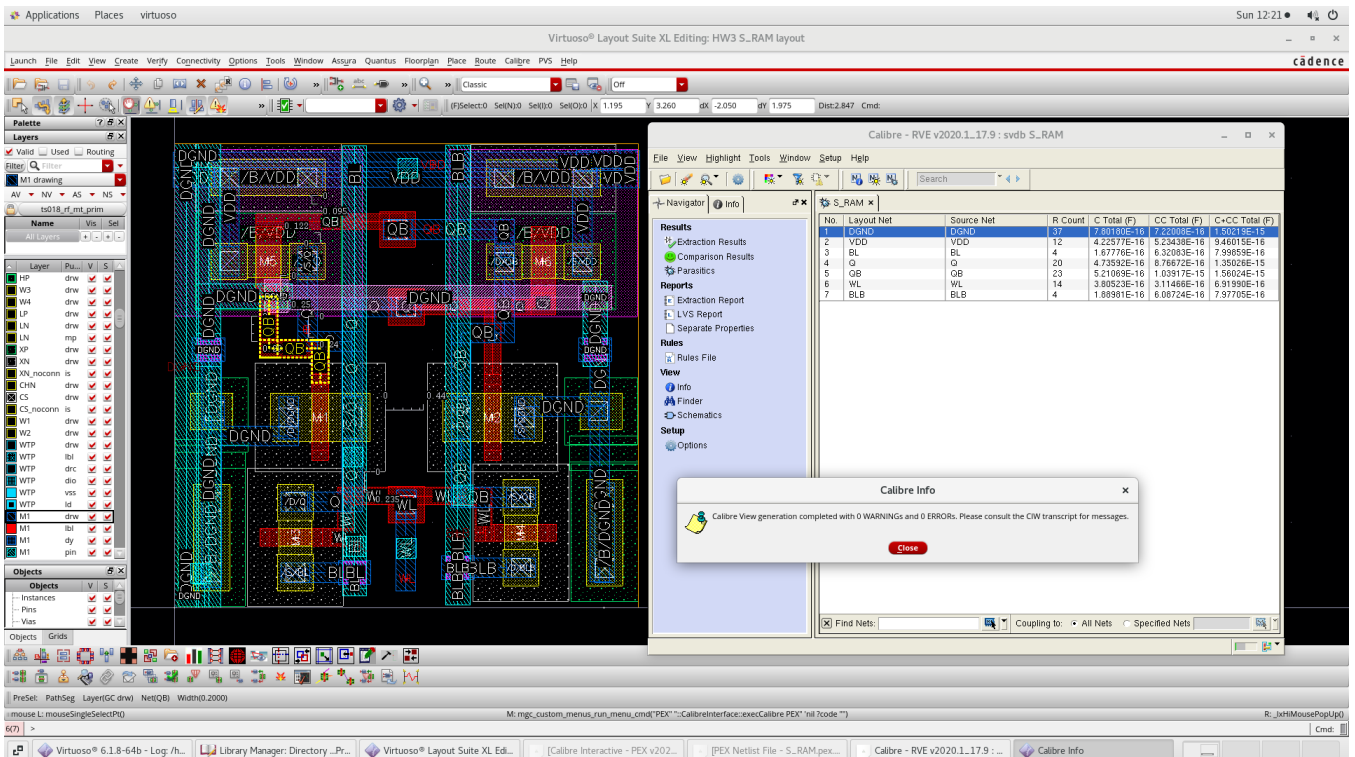
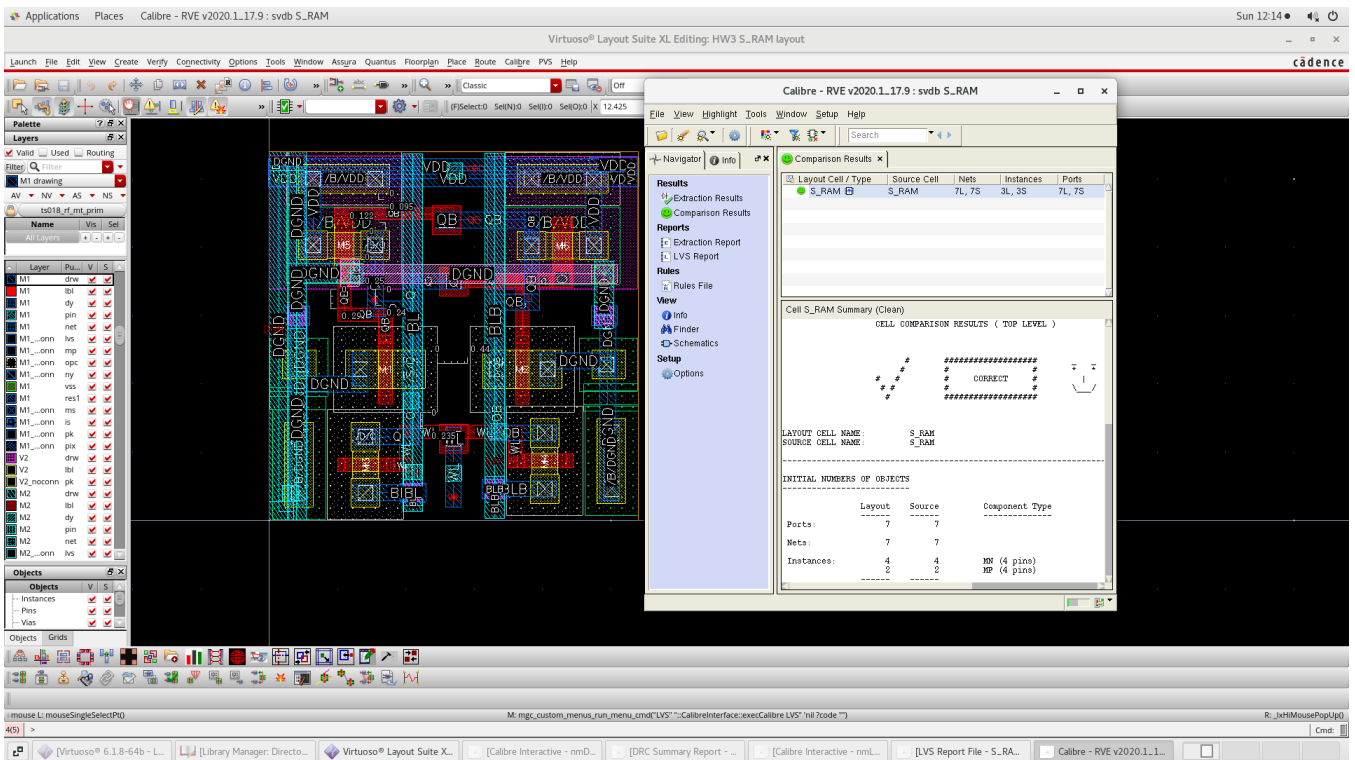


באמצעות פונקציית OP קיבלנו הספק דינאמי  $-80.8nW$ . גם כאן, הספק שלילי משמעותו הספק שהתא צורך מהספק.

### (3) בניית LAYOUT לתא בודד

א. בנינו לייאאוס לתא הזיכרון. כפי שנראה בתמונה, גבולות PR הם בדיוק הגבולות של הדרישה המינימלית - 5.4 מיקרון. ביצענו לתא את הבדיקות הדרושות (DRC, LVS, PEX) כפי הנראה מטה:



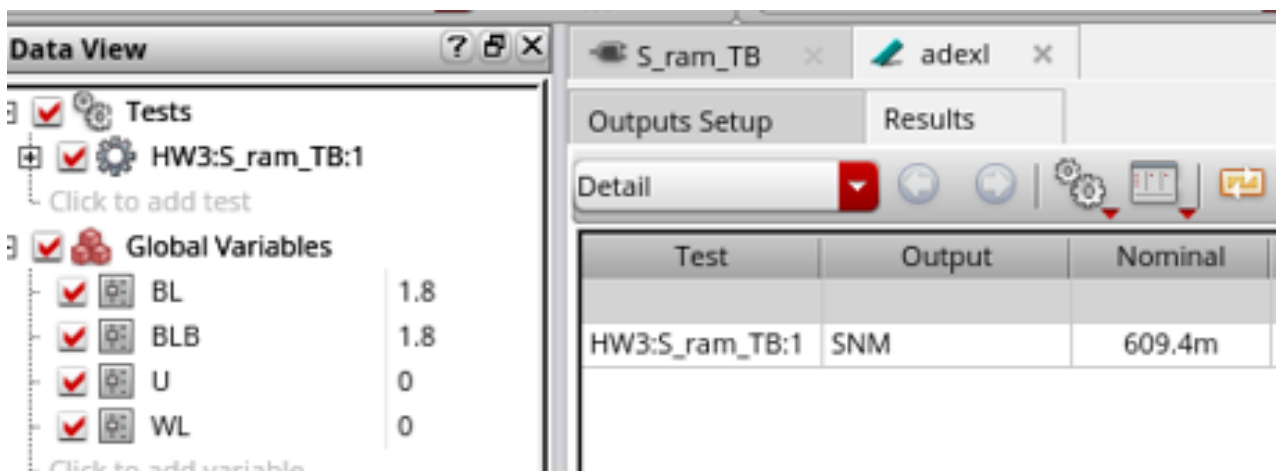


ה. כפי שרואים בתמונה, עבור תא אחד, קיבול הBL הוא 0.8 פטו פארד, בעוד שקיבול הWL הוא 0.69 פטו פארד. בגלל שמערך התא בנוי מ64 תאים, וכמו כן צפוי שהחיבורים בין כל התאים יוסיפו גם עוד. בהנחה שעבור כל תא נוסף עוד 20% אורך של WL שנמתח בין כל תא נעריך שהקיבול הכולל שלהם במערך יצא כך:

$$64 * (0.8 + 0.69 + 0.2 * 0.69) \sim 104.19 fF$$

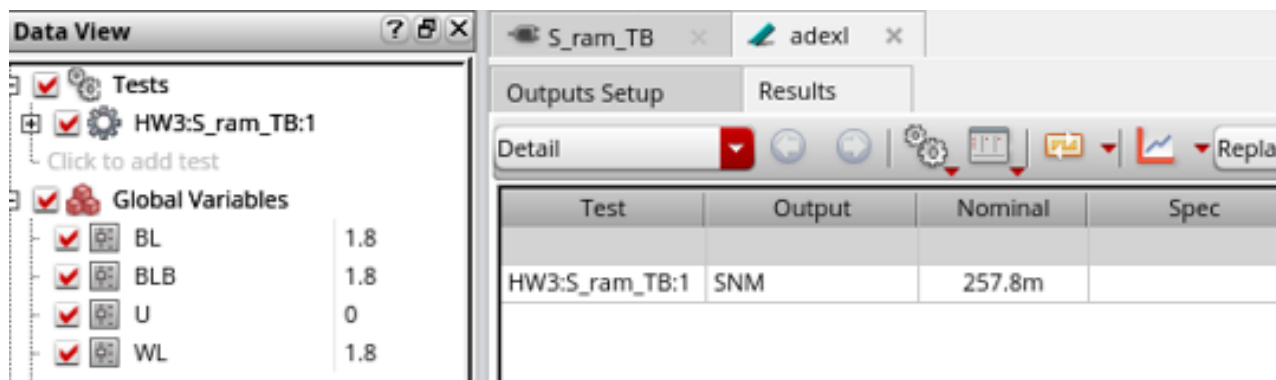
1. ביצענו את סימולציית ה-SNM לאחר הפרזיטיקות. ניתן לראות שבשלושת הבדיקות, ההבדל בין תוצאות אלה לתוצאות הקודמות בשאלה 1 הוא בסדר גודל של אלפיות. כלומר ניתן להבין מכך שהפרזיטיקות של הלייאוט הן מאוד זניחות. וראינו גם בחישוב של המערך השלם (ועוד אחרי שלקחנו עוד רזרבות של אורך) שקיבלנו קיבולים בסדר גודל של עשירית הפיקו שזה זניח לעומת העומסים ששמנו בבדיקות TB.

:HOLD



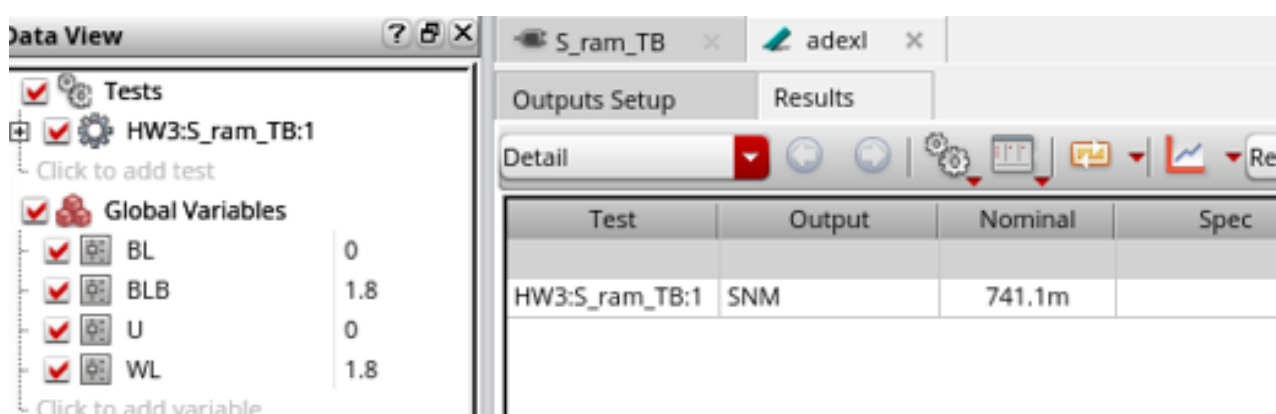
Test	Output	Nominal
HW3:S_ram_TB:1	SNM	609.4m

:READ



Test	Output	Nominal	Spec
HW3:S_ram_TB:1	SNM	257.8m	

:WRITE



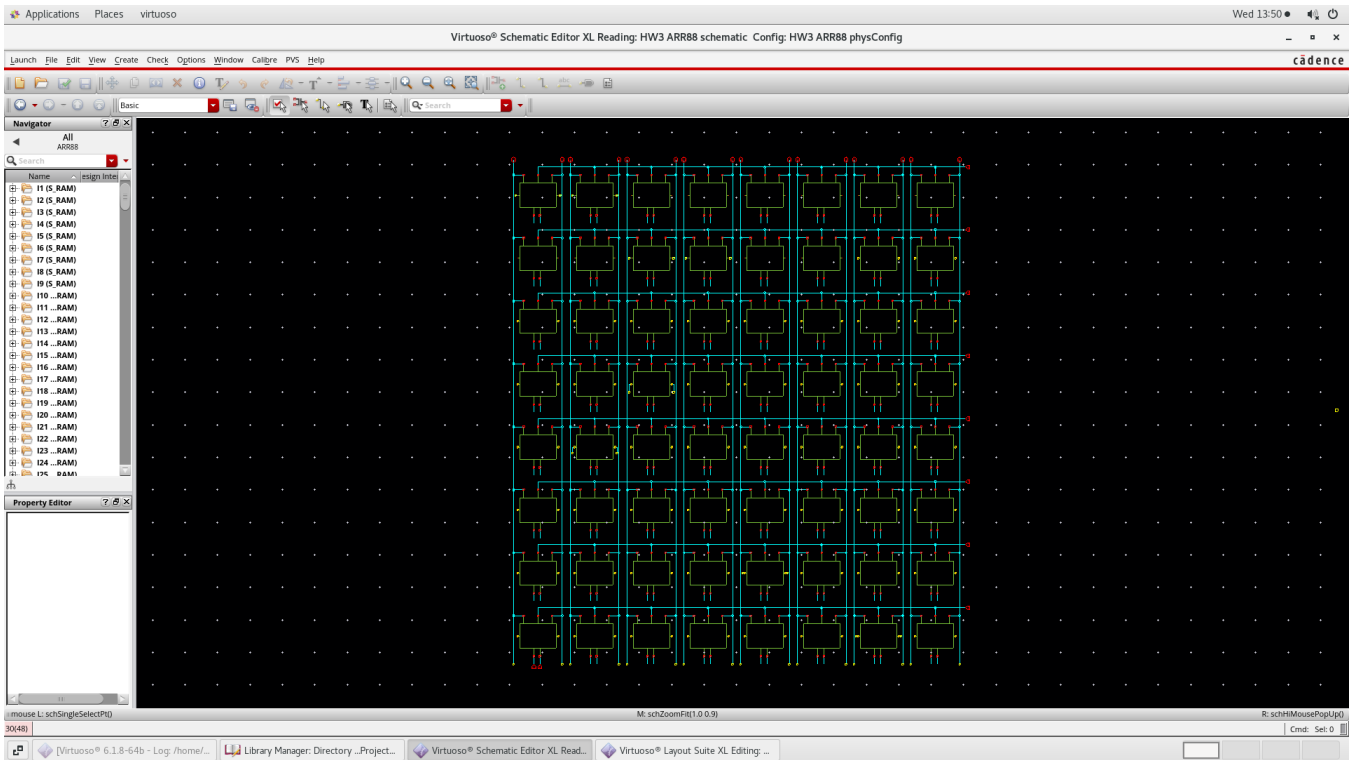
Test	Output	Nominal	Spec
HW3:S_ram_TB:1	SNM	741.1m	

(4) בניית מערך 8x8 מבוסס 6T SRAM  
א. בנינו מערך 8\*8 מתאי הזיכרון:

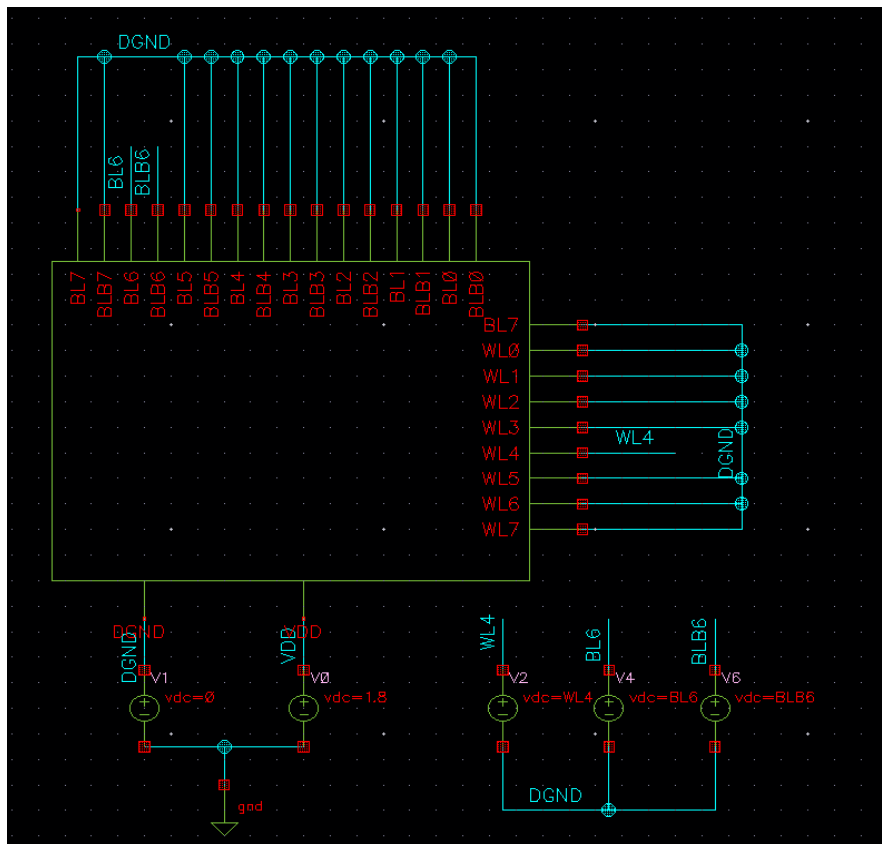
קצת קשה היה לייבא את כל התמונה מבלי שיעלים את השמות של הפורטים, אבל בתמונה הבאה ניתן לראות שעשינו לו סימבול, ושם רואים את הכניסות.

הפורטים שעשינו היו כניסות עבור כל הבלים והבלים (בפועל מה שצריך זה גם לעשות מוצאים עבור המשווים שמתחברים אליהם כדי לבדוק מי מהם פרק מתח ומי לא, אבל עבור סימולציה זה לא הכרחי).

וכמובן פורטים עבור הבלים. ופורטים עבור VDD, GND



ב. עשינו "בדיקת שפיות" ב-TB הבא: שמנו את כל התאים שהם לא בשורה 4 עמודה 8 באדמה, ורק לתא המיועד שמנו מתחים הנתונים לשינוי בסימולציה:



חוץ מתא זה, בחרנו עוד ארבעה תאים רנדומלים במערך (מפאת בנייה סימטרית קצת מיותר להראות את כל התאים.. הכל נעשה בהעתק הדבק של התא זיכרון שבנינו).  
ושמנו ב-bl6 מתח גבוה, ב-blb6 מתח 0 ומתח גבוה ב-wl4 את התוצאות ניתן לראות בבירור. המתח ב-Q נכתב לגבוה, המתח ב-QB נכתב לנמוך (בסדר גודל ננו). ושאר התאים התייצבו למתחי ביניים שהם כמעט חצי מ-VDD. לכן אנחנו יכולים לדעת כי מערך זה פועל כמו שצריך.

No Parasitics/LDE

Single Run, Sweeps and Corners

Reference:

Data View

Tests

Global Variables

BL6 1.8

BLB6 0

WL4 1.8

Click to add variable

Parameters

Corners

Documents

Setup States

Reliability Analyses

Checks/Asserts

adexl

IO (ARR88)

Outputs Setup

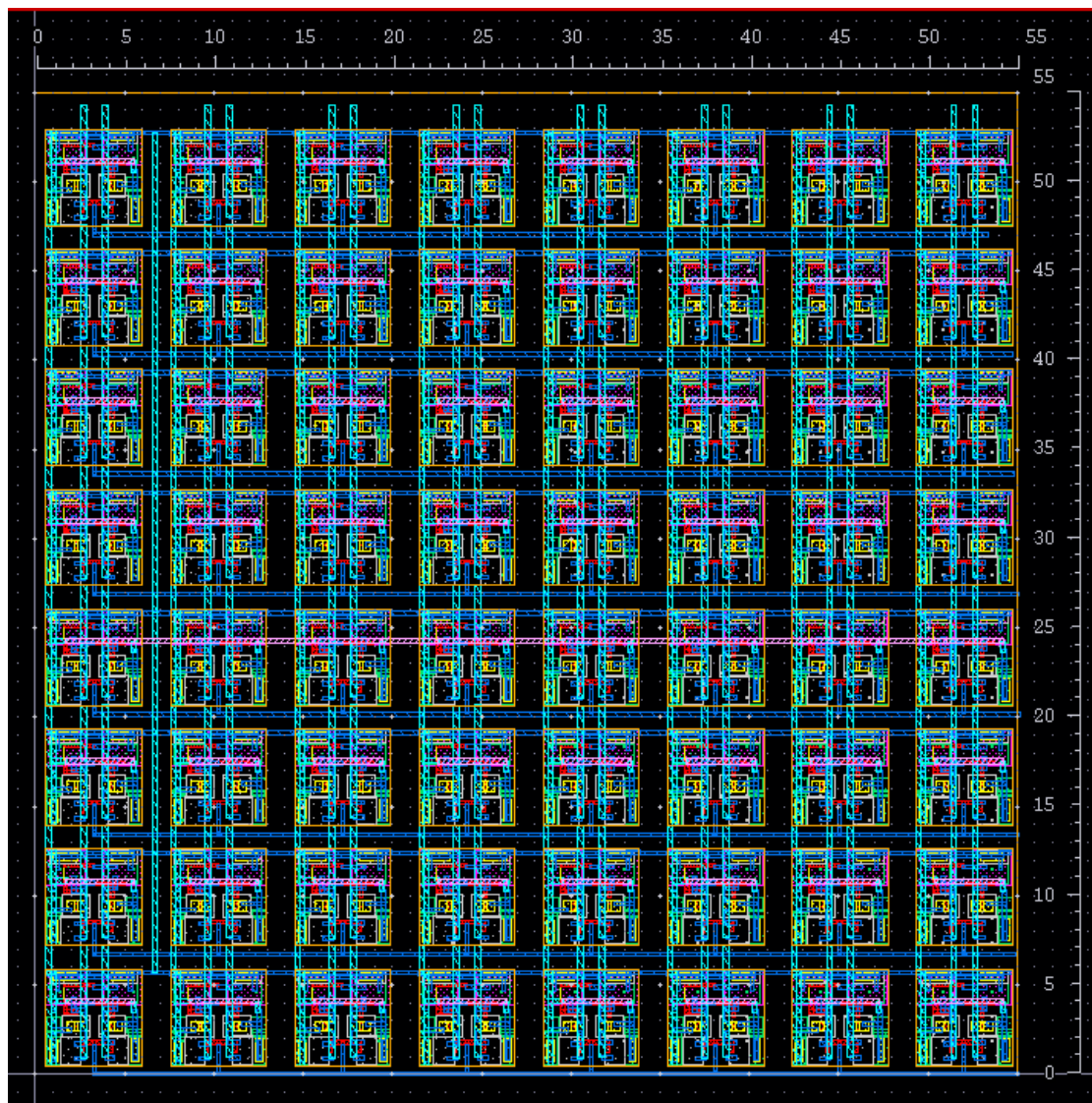
Results

Detail

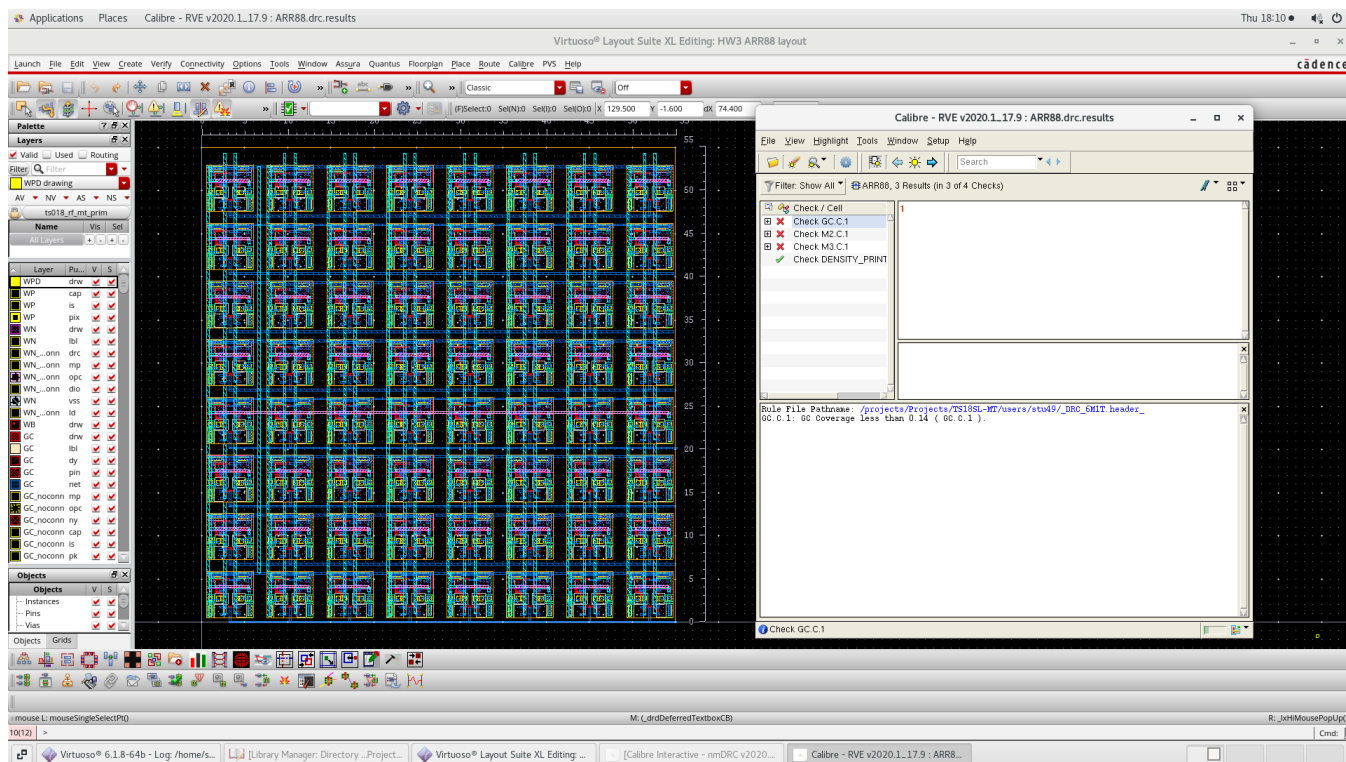
Test	Output	Nominal	Spec	Weight	Pass/Fail
HW3:ARR88_TB:1	Q(4,6)	1.8			
HW3:ARR88_TB:1	QB(4,6)	4.959n			
HW3:ARR88_TB:1	VDC("/IO/net132")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net131")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net28")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net27")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net48")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net47")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net150")	699.9m			
HW3:ARR88_TB:1	VDC("/IO/net149")	699.9m			



ג. להלן הלייאוט, לצערינו שיתוף קווי האספקה והדיפוזיות של כל תא עם ארבעת שכניו המתוארות בהרצאות לא עבדו לנו כמתוכנן ונאלצנו לוותר על הרעיון מפאת קוצר זמן.



:DRC



:LVS

