

معالים משלבים ומבוא ל-VLSI

עבודה מס' 2

MUX and 8-bit Barrel Shift Register

ניר קוה 205711922

יובל טנאן 313361602

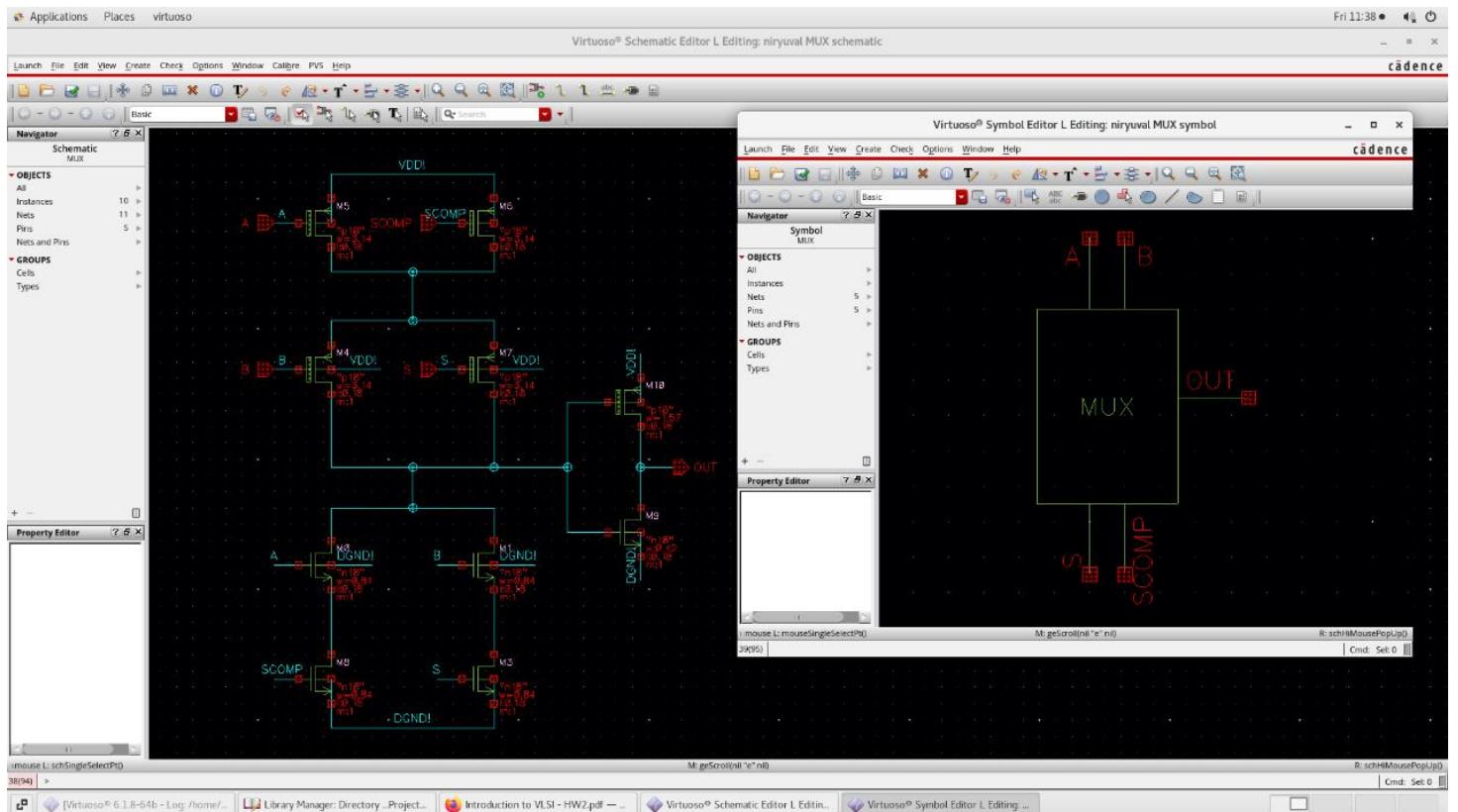
מספר קבוצה: 49

תאריך הגשה: 28/05/2022

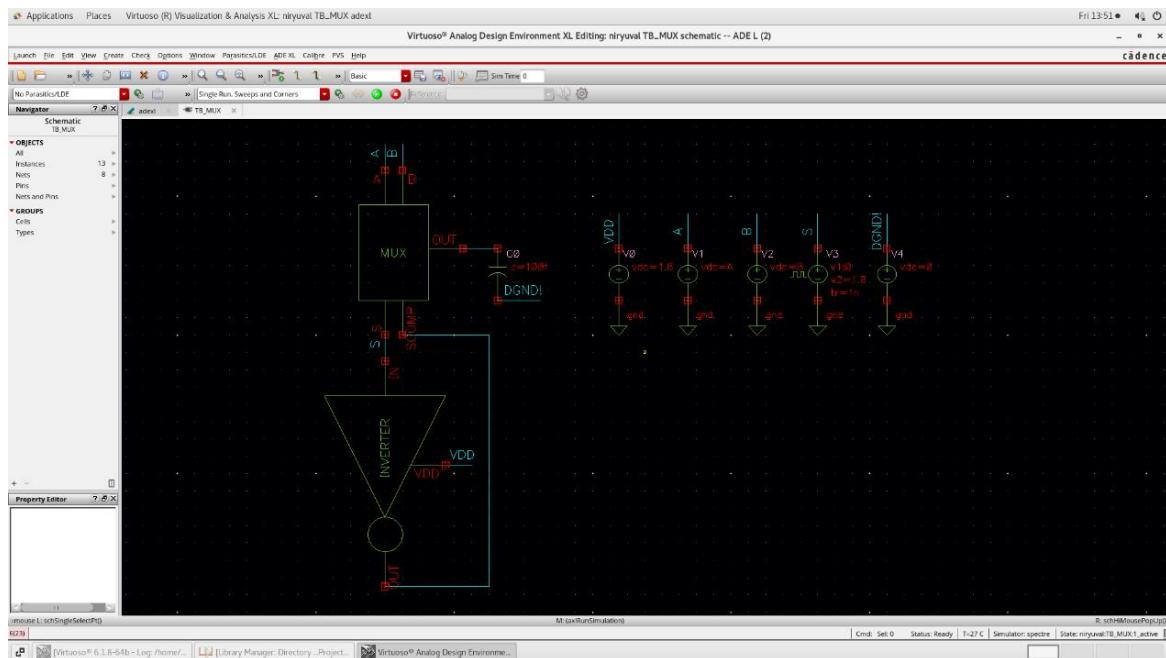
חלק א' – בניית רכיב MUX

1) תכנון סכמי של הרכיב ובדיקה

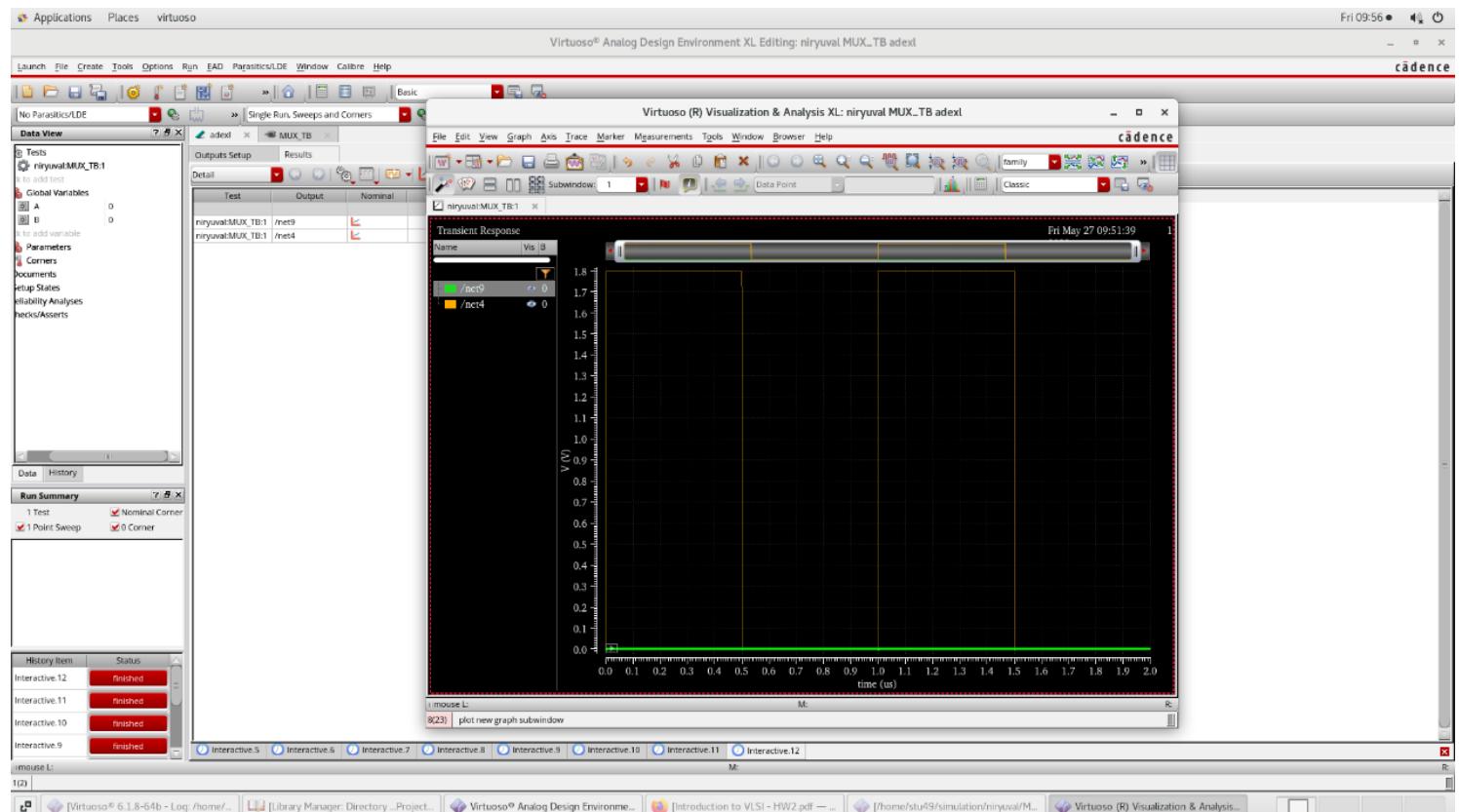
1. בנו רכיב 2×1 MUX ע"פ מפת קרטו ומצאו את הפונקציה הלוגית המתאימה $(S * \bar{S} + A * \bar{B})$, ממנה בנו את הרכיב בשיטת CMOS. את המשלים של S מישנו בעזרת מהפץ שנמצא מחוץ לסקופ של מוקס יחיד (נראה אותו בשיפטר) כדי לחסוך בטרנזיסטורים.
- עשינו סיזיג על מנת שיחס PDN-PUN יהיה יחסי המהפר הרגיל (-mosn) (18). ע"פ עבודה קודמת, בטא עמד על 3.74.



2. בינוי TB עבור המוקס- סדר הconiוטיות מעכשי הוא בהתאם למערך הבא: [A B]

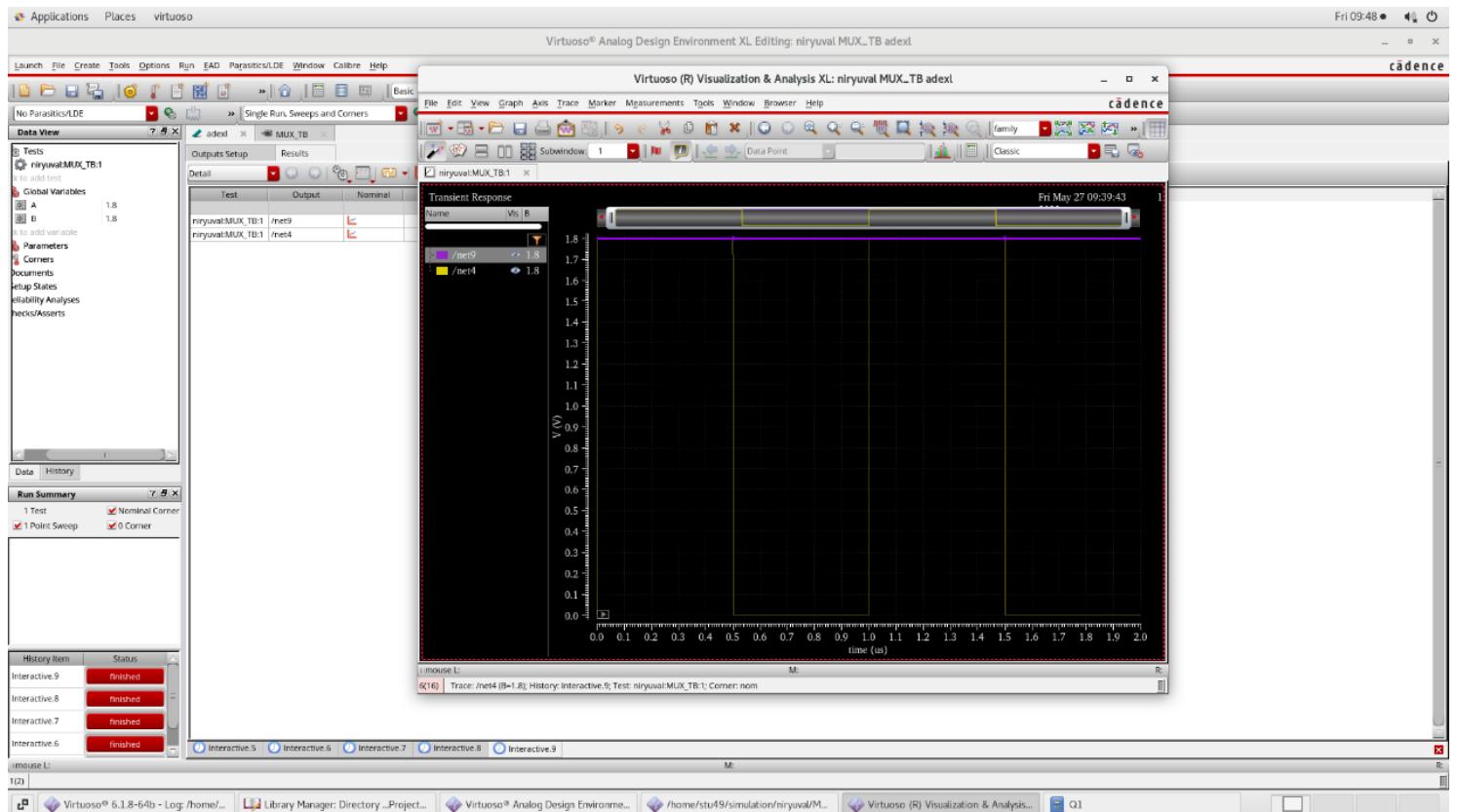


עבור כניסה [0,0]:

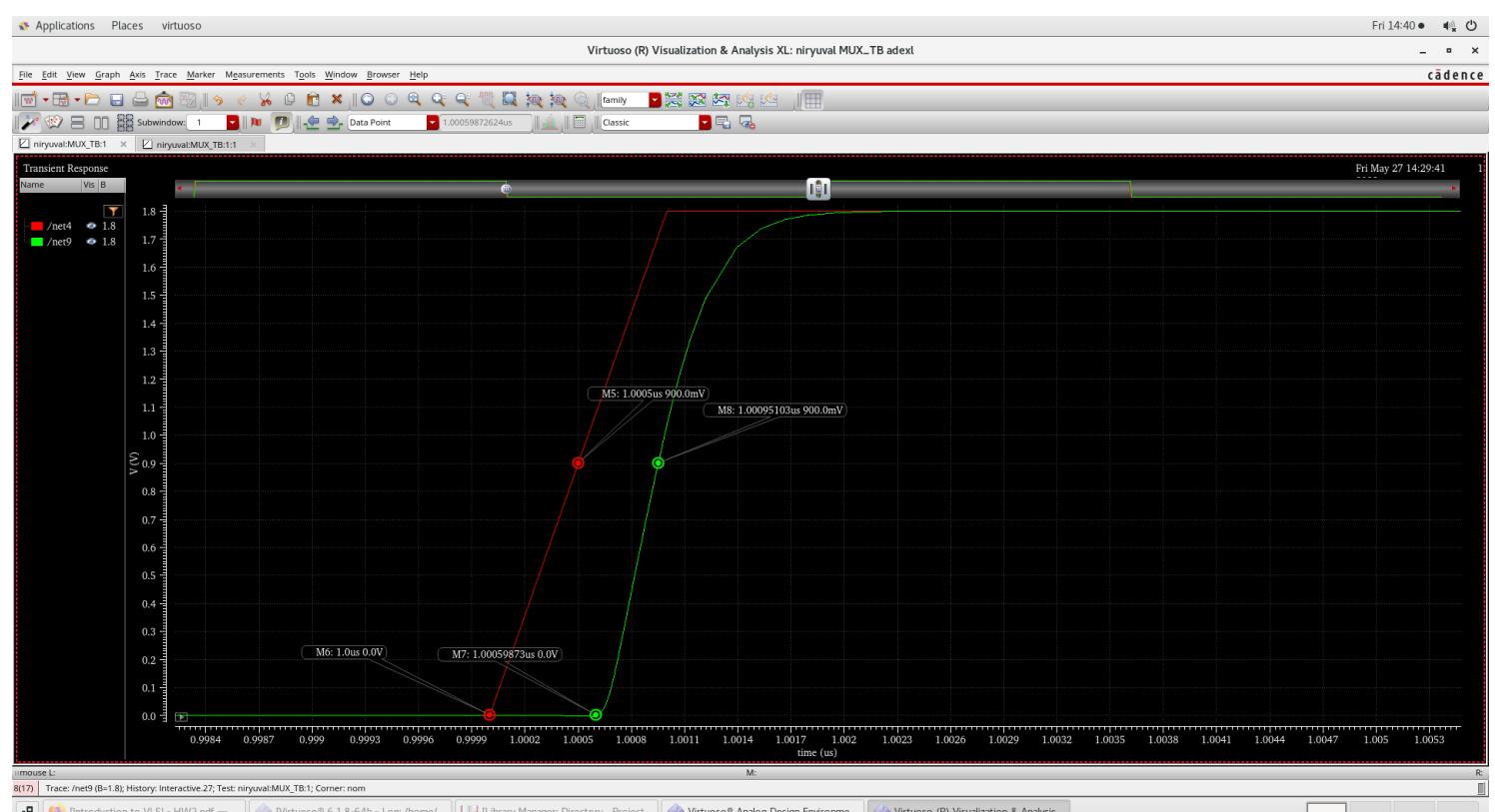
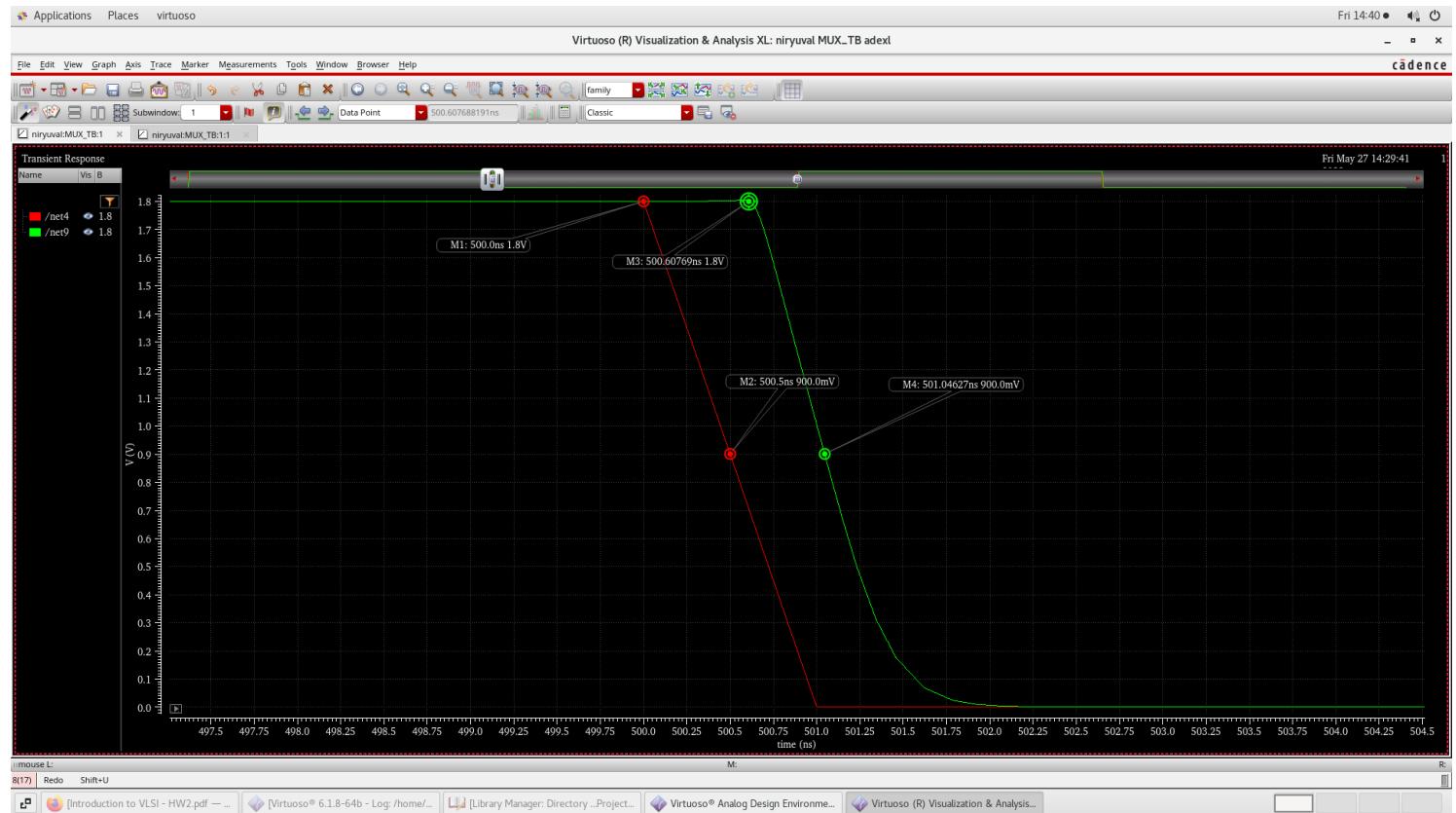


אנו רואים כי המוצא הוא קבוע 0 כמצופה מטבלת האמת של המוקס. כמוון שיש קפיצות בעת המעבר מכיוון שהfonקציה המומומשת היא המינימלית (מכילה רק את הביטויים הראשוניים של טבלת הcron). על קפיצות אלה נדבר בהרחבה בסעיף עם הפרזיטיות.

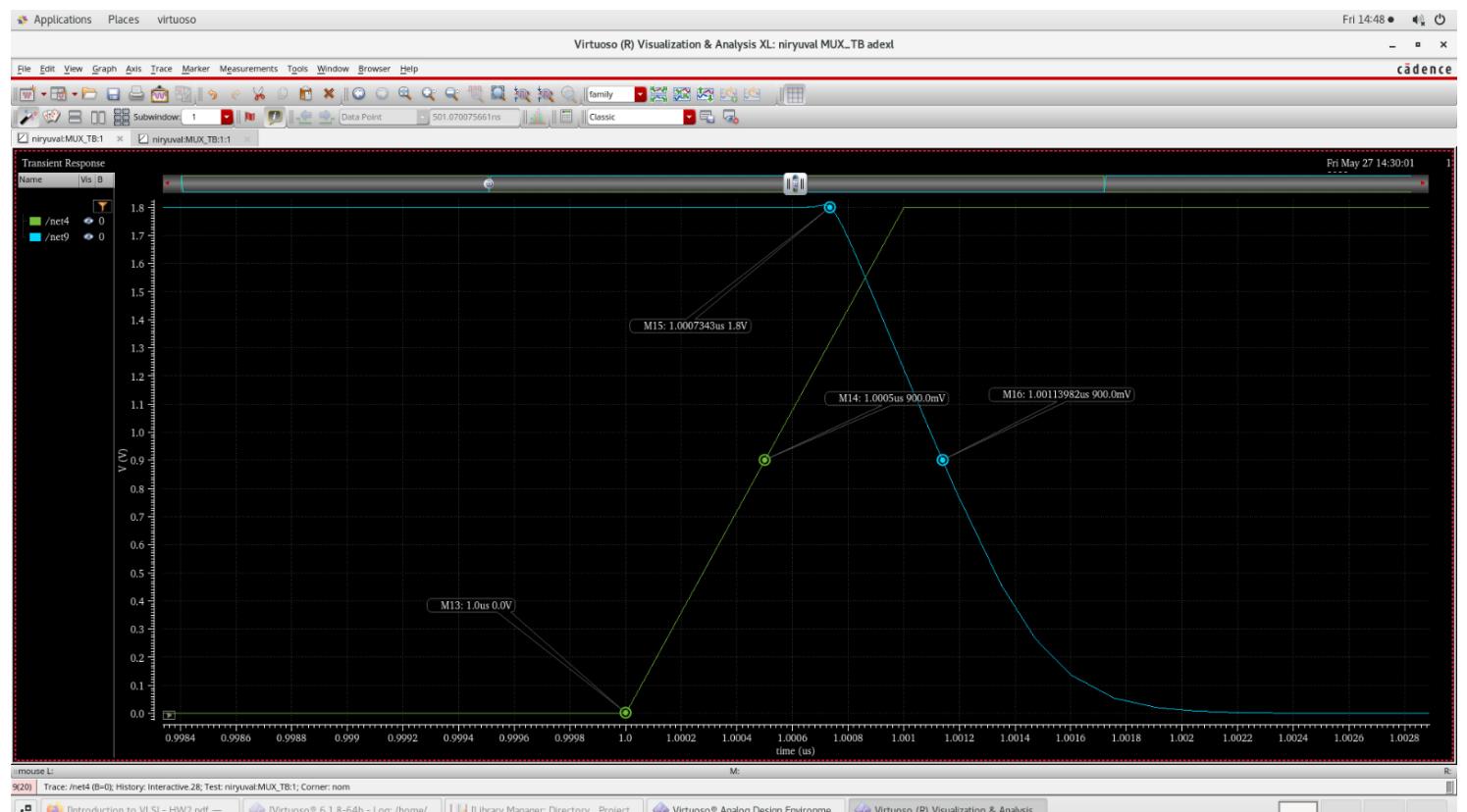
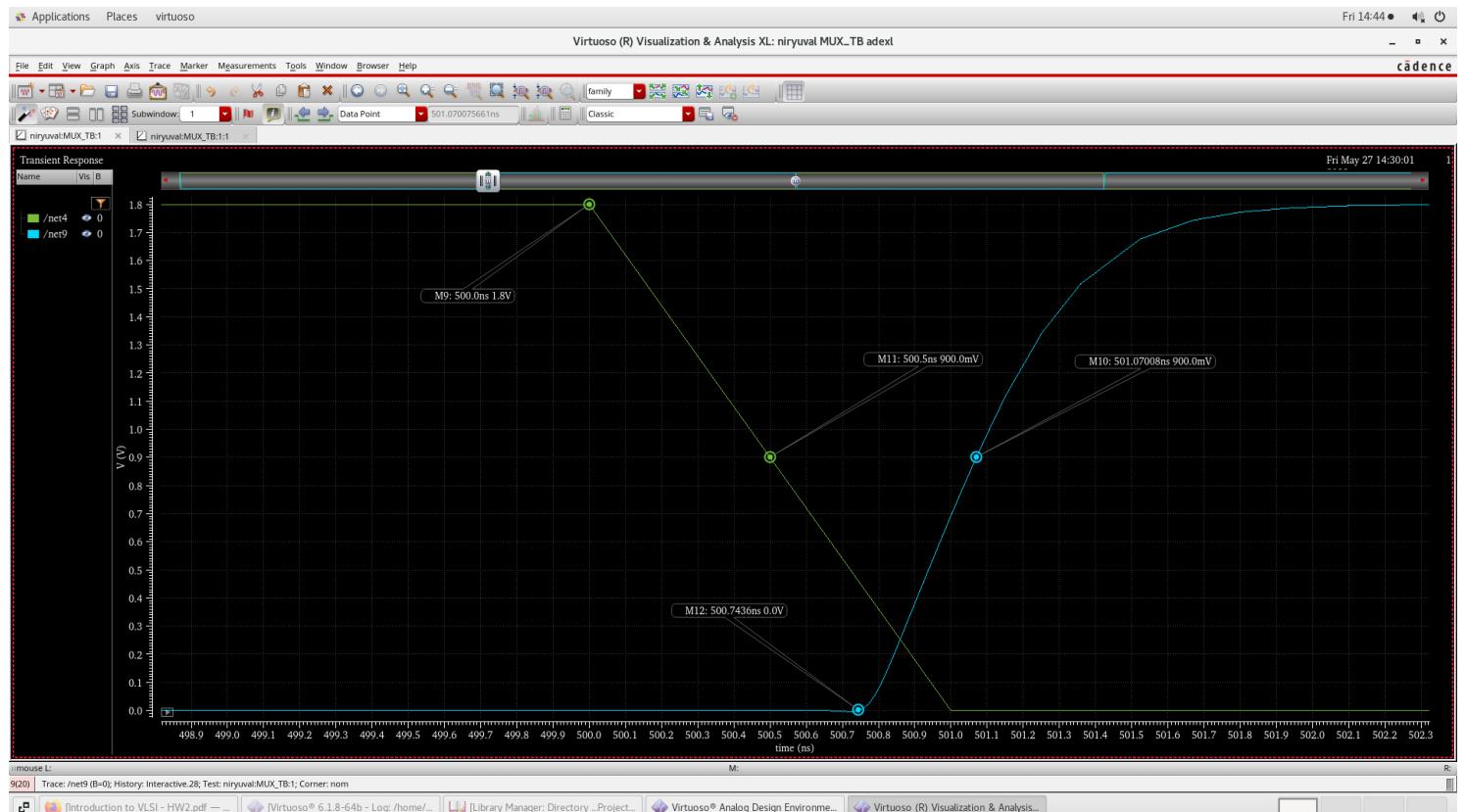
עבור כניסה [1]: המוצא קבוע 1, על הקפיצות נדבר בסעיף עם הפרזיטיות.



עבור כניסה [0]: קיבלנו תוצאות כמו של באפר כמצופה מטבלת האמת



עבור הכנסה [0]: קיבלנו תוצאה כמו של מהפ



3. את ה- T_{pd} מדדנו כך: לקחנו את ה- T_{pd} המקורי מבין שתי הקונפיגורציות שմבוצעות מעבר מלא למקום (כאשר המוקס מתפרק כבaffer או מהפר) זאת מכיוון שהקפיצות הפרזיטיות בקונפיגורציות שהמוצא לא משתנה בהן, יחסית זניחות ובחרנו לא להתחשב בהן בחישובי הזמן.

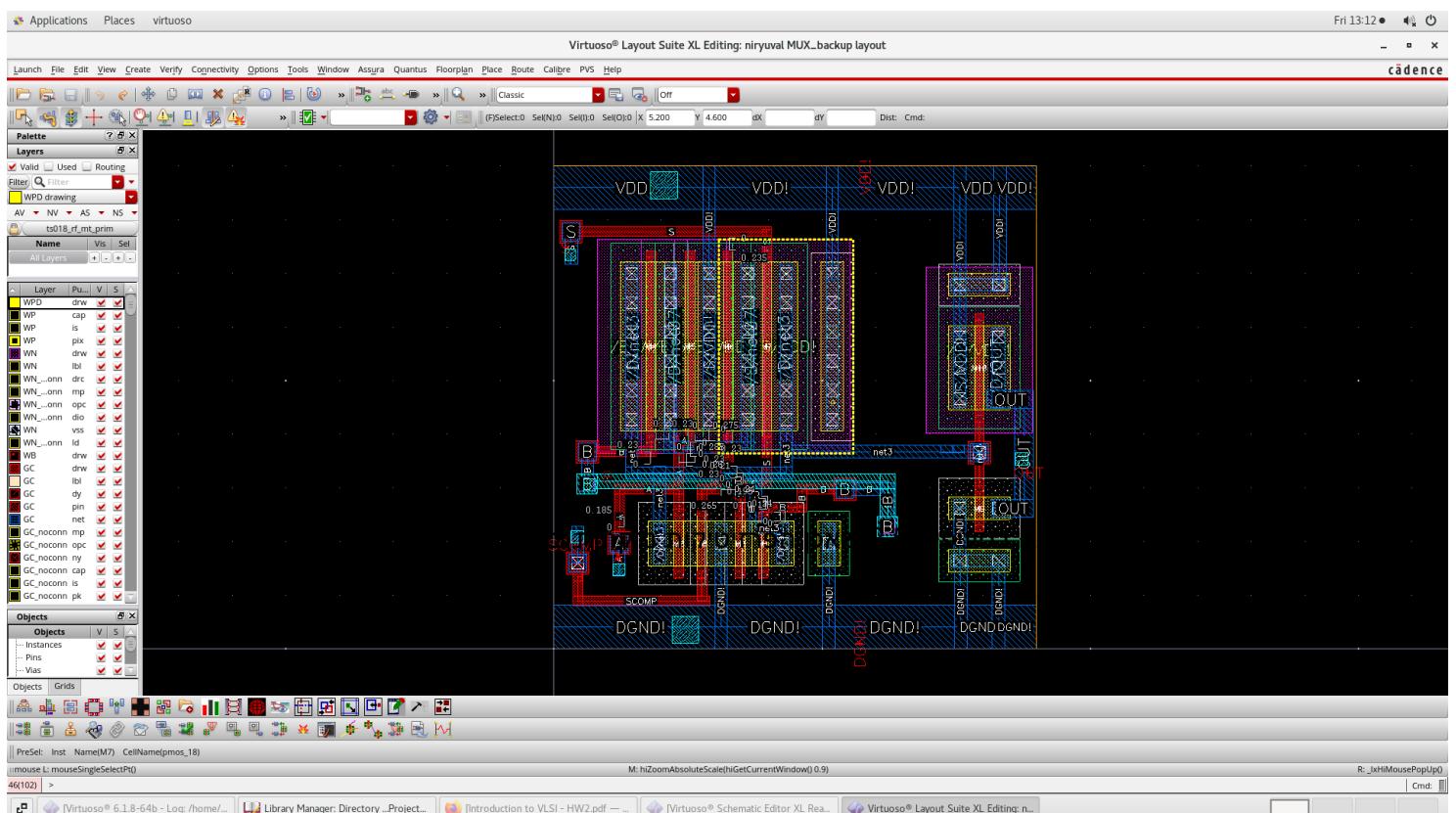
עבור ה- T_{pd} ביצענו אותו דבר, כאשר את זמן ה- T_{pd} אנחנו מחשבים ע"פ ההפרש בין תחילת השינוי בכניסה, לבין תחילת השינוי בموقع.

ה- T_{pd} המקורי שייך למוקס המהפר. ולכן: $T_{pd} = 0.6\text{ns}$

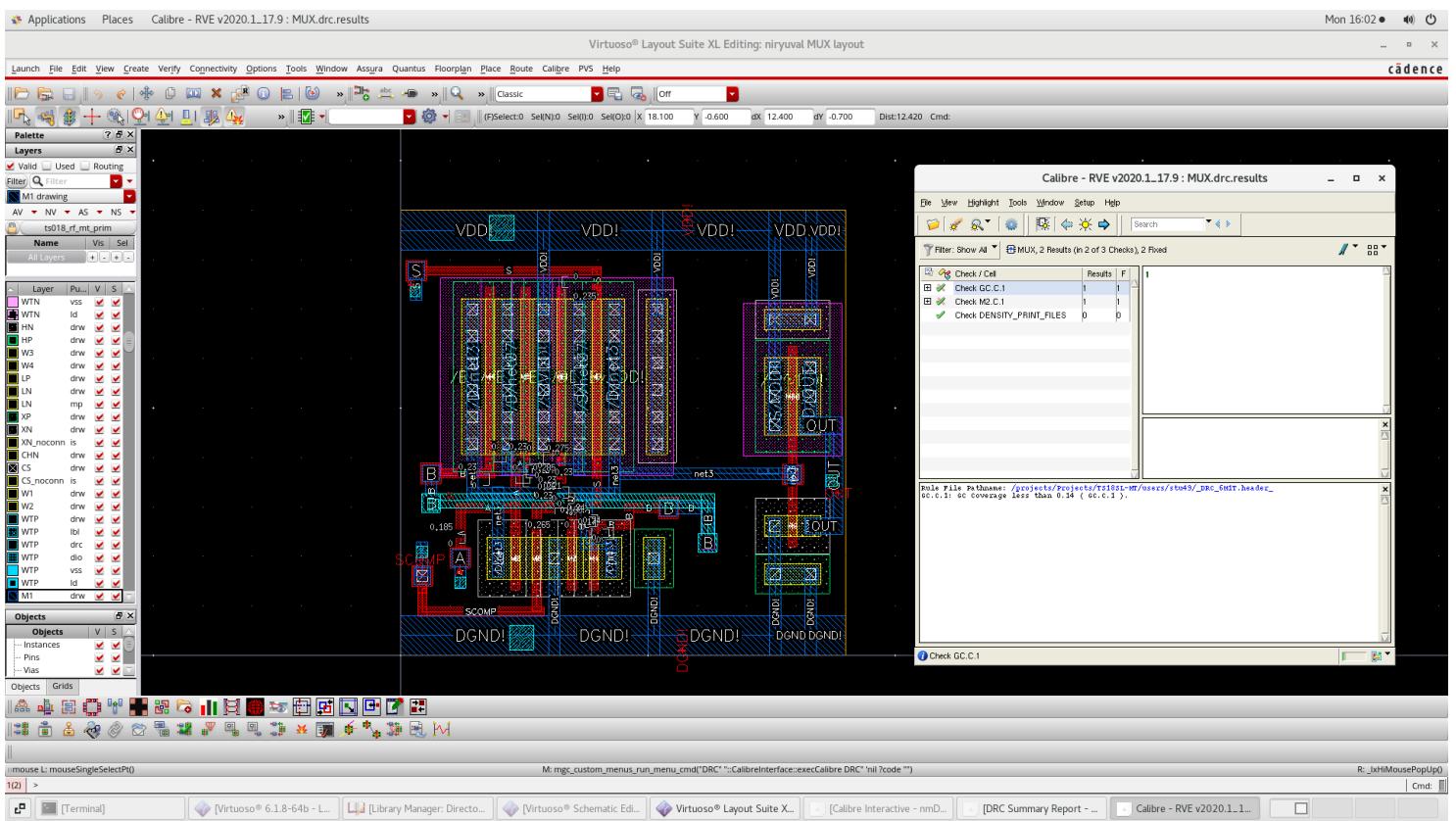
ה- T_{cd} המקורי שייך למוקס המהפר גם ולכן: $T_{cd} = 0.7385\text{ns}$

2) תכנון LAYOUT של השער ובדיקה

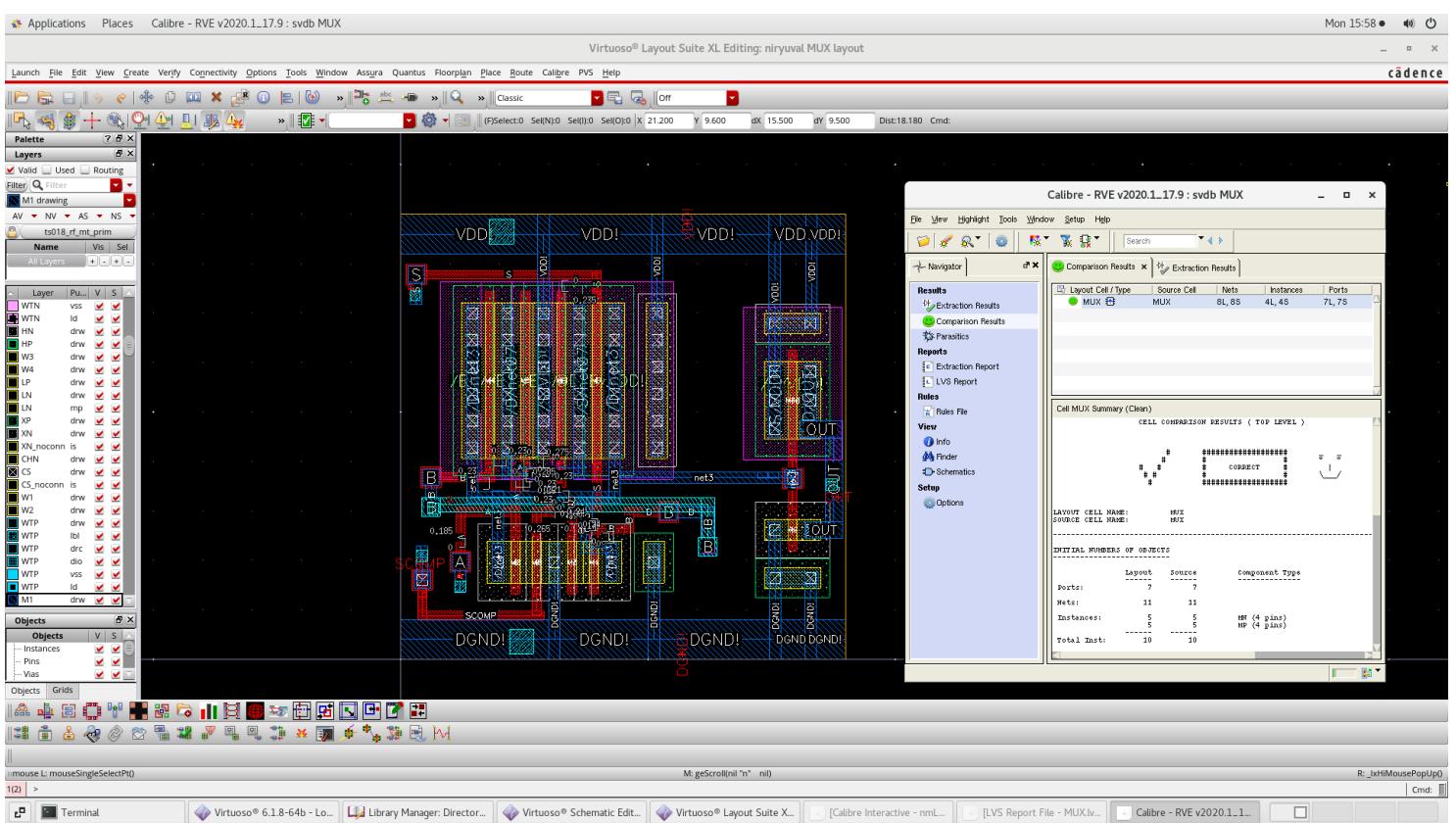
1. בנייתו ליאאות למוקס:



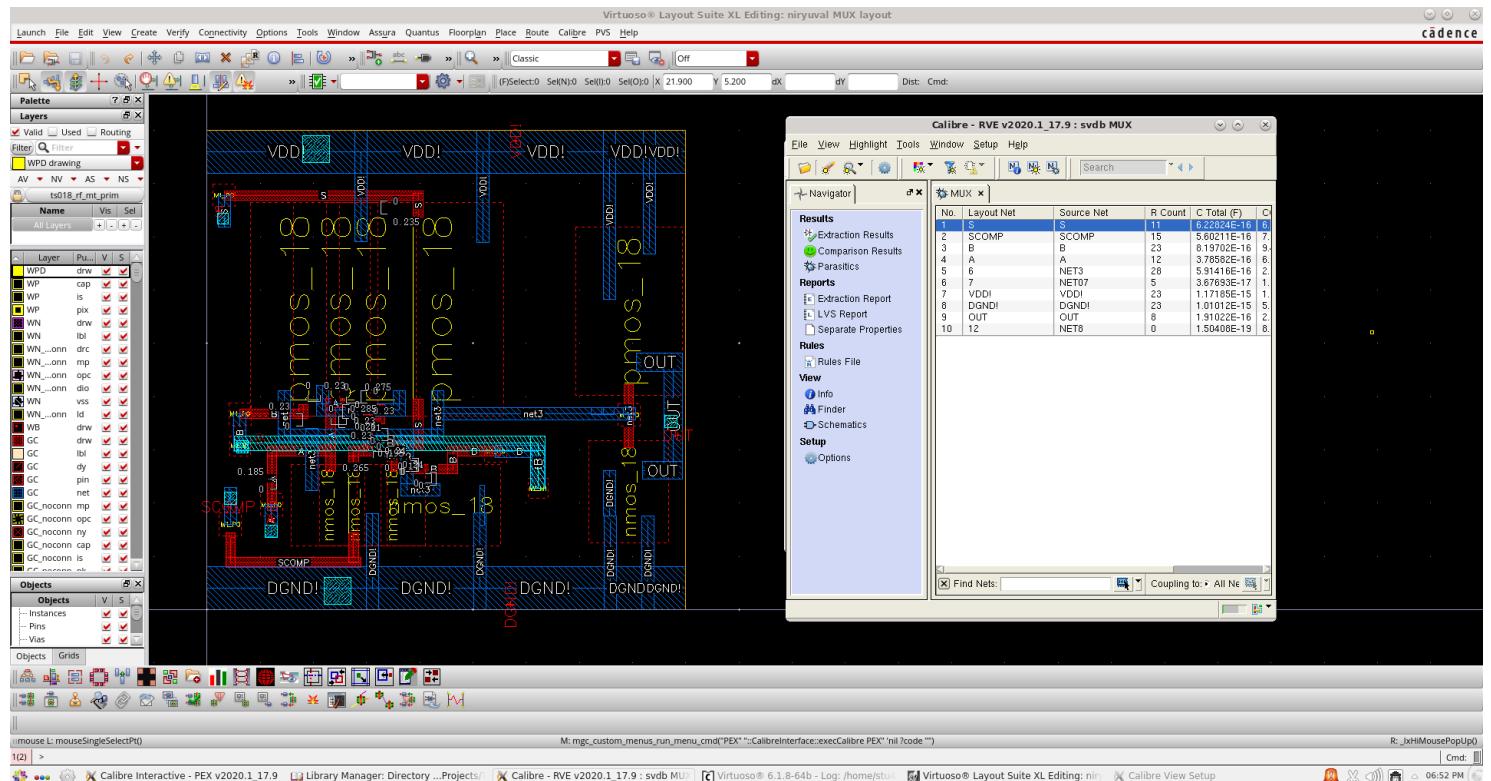
2. בדיקת DRC



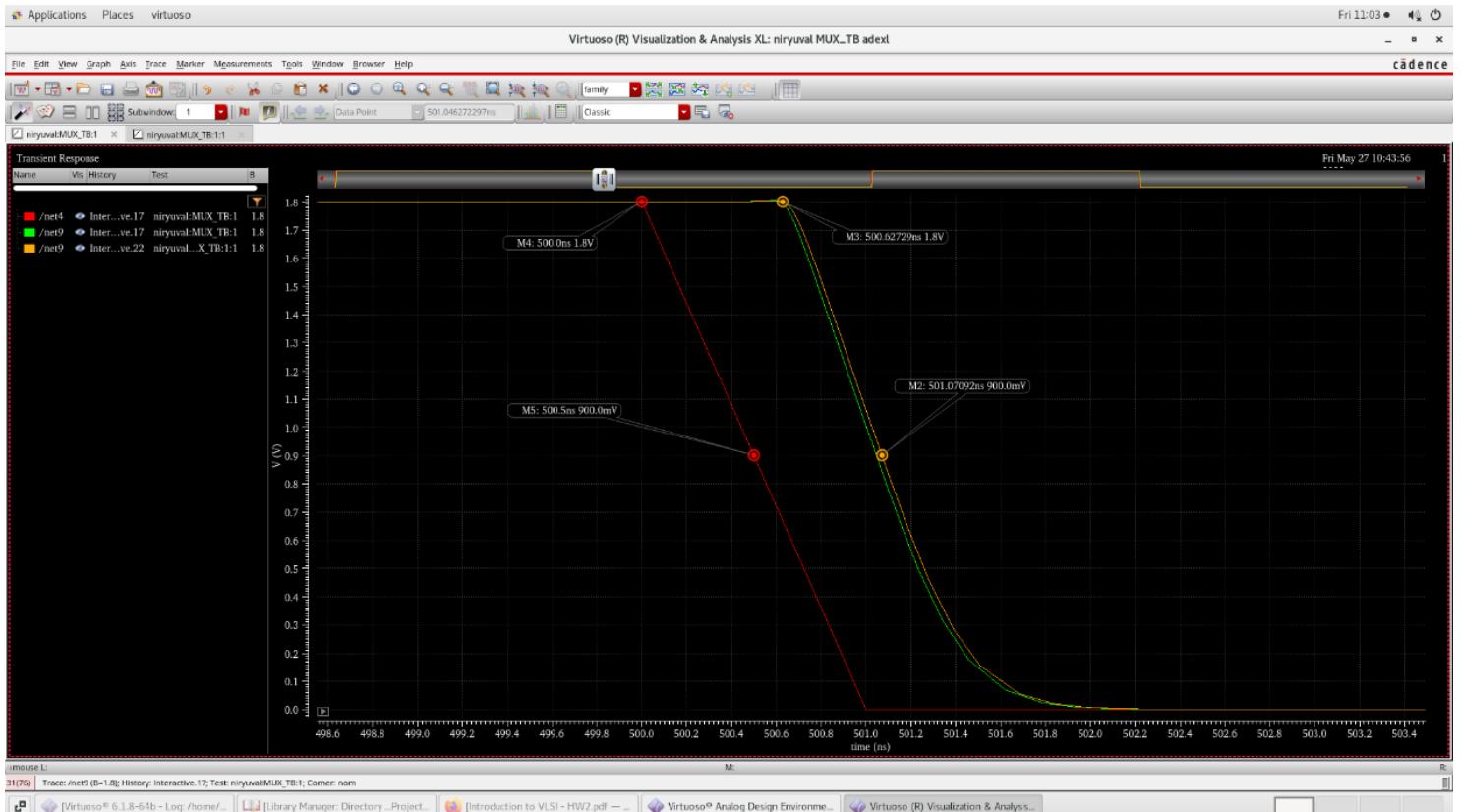
3. בדיקת LVS

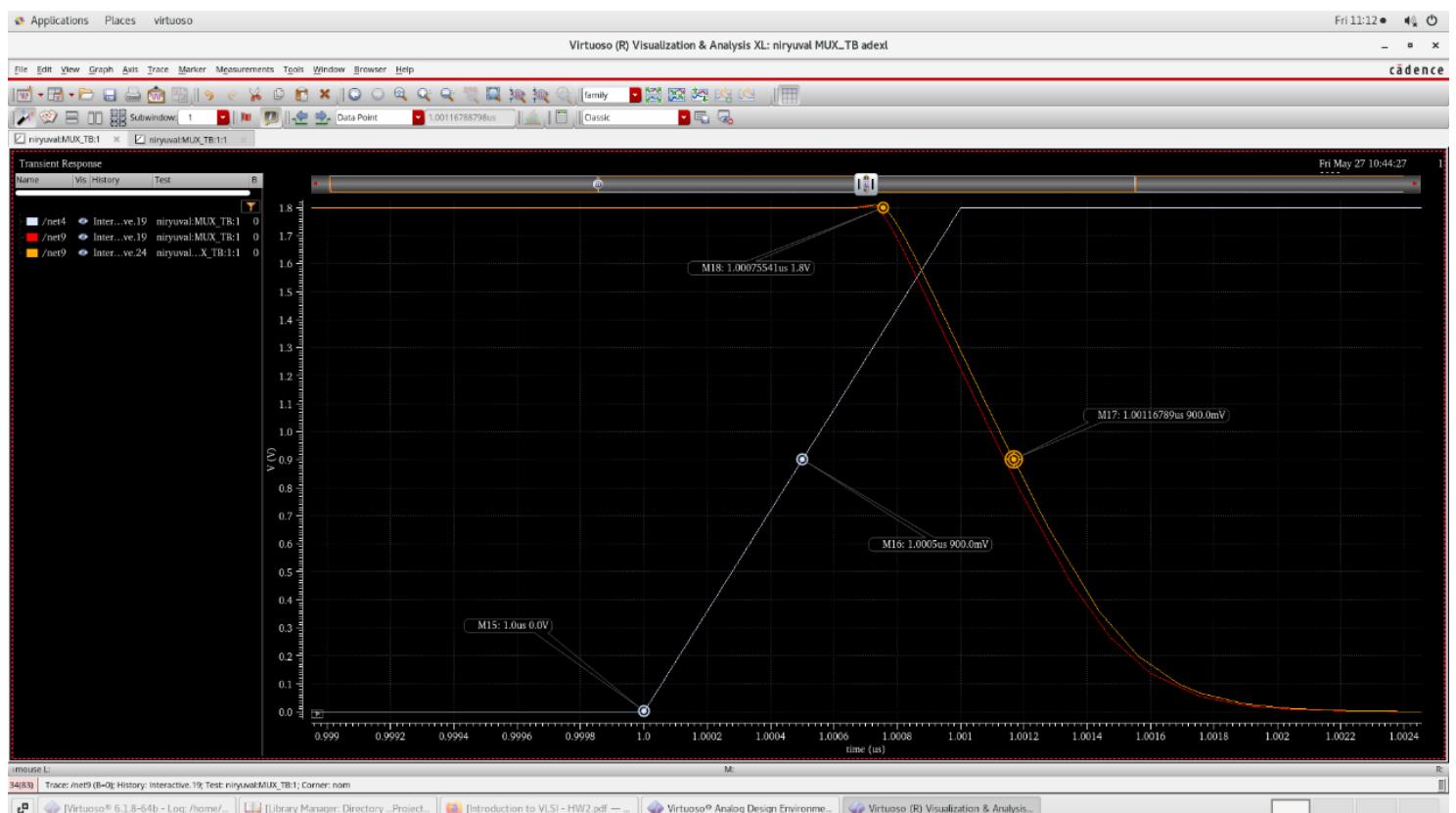
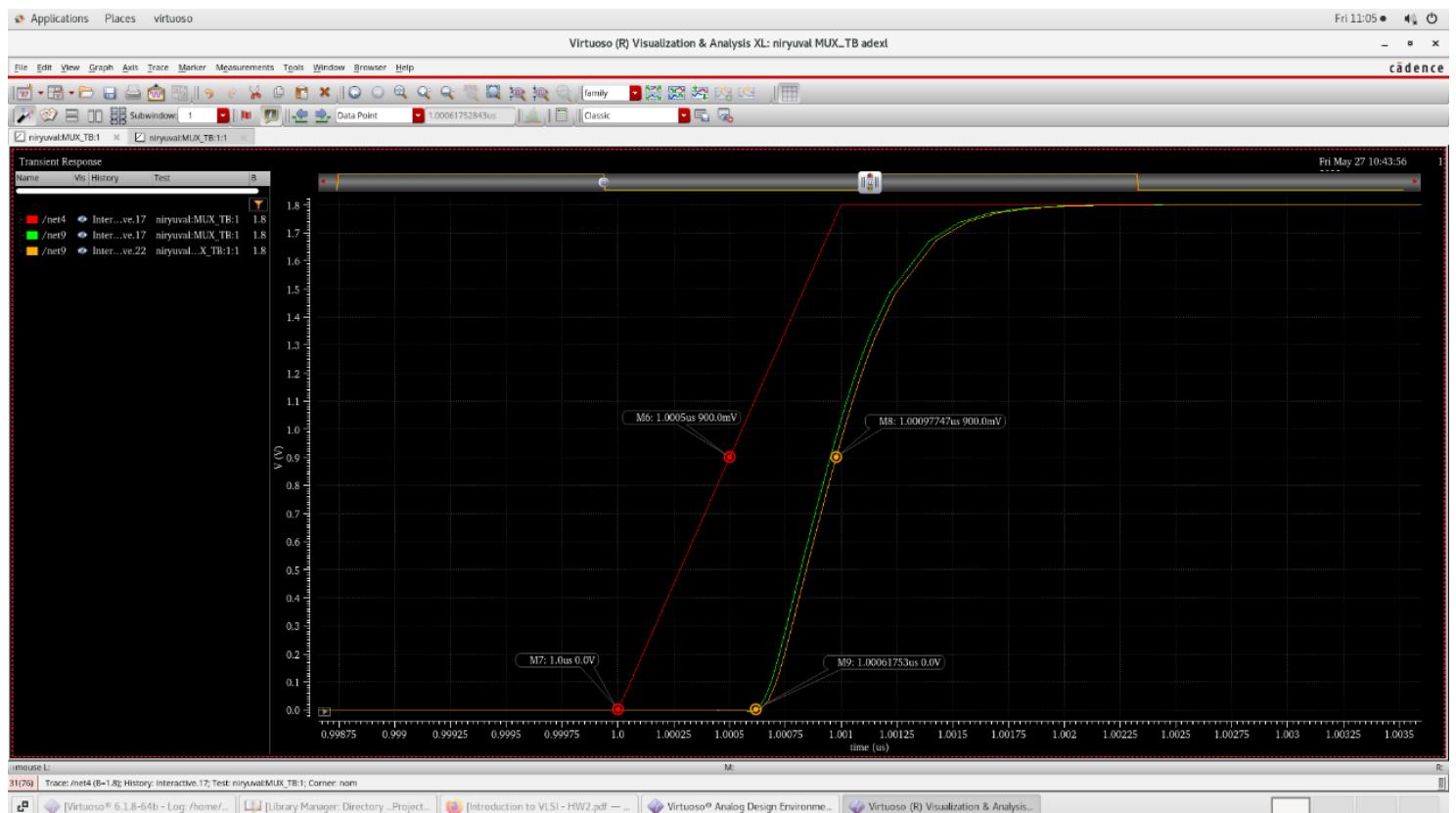


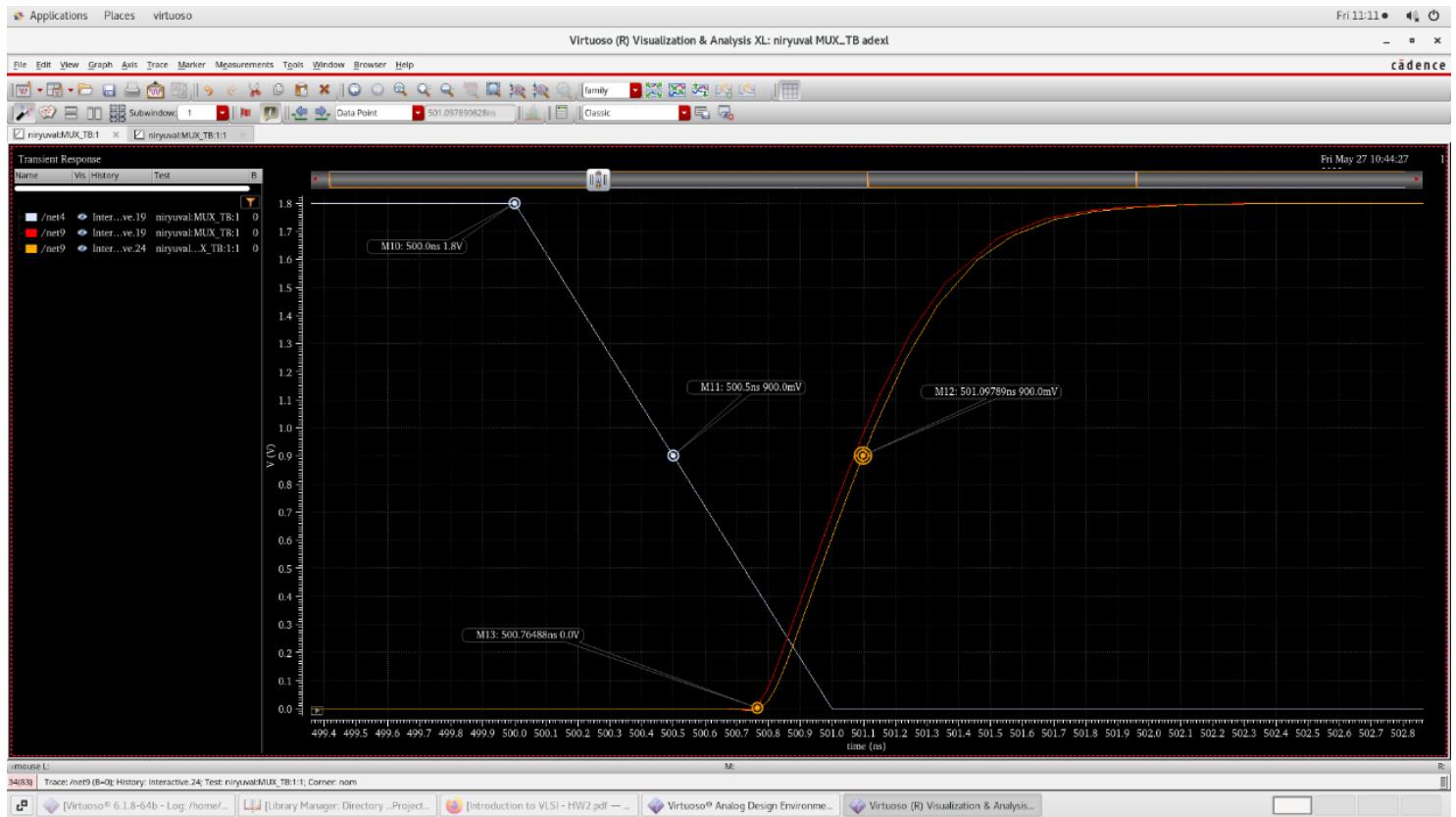
:PEX .4



5. ביצעו שוב את בדיקות תקינות המוקם, הפעם יחד עם פרטיטיות:







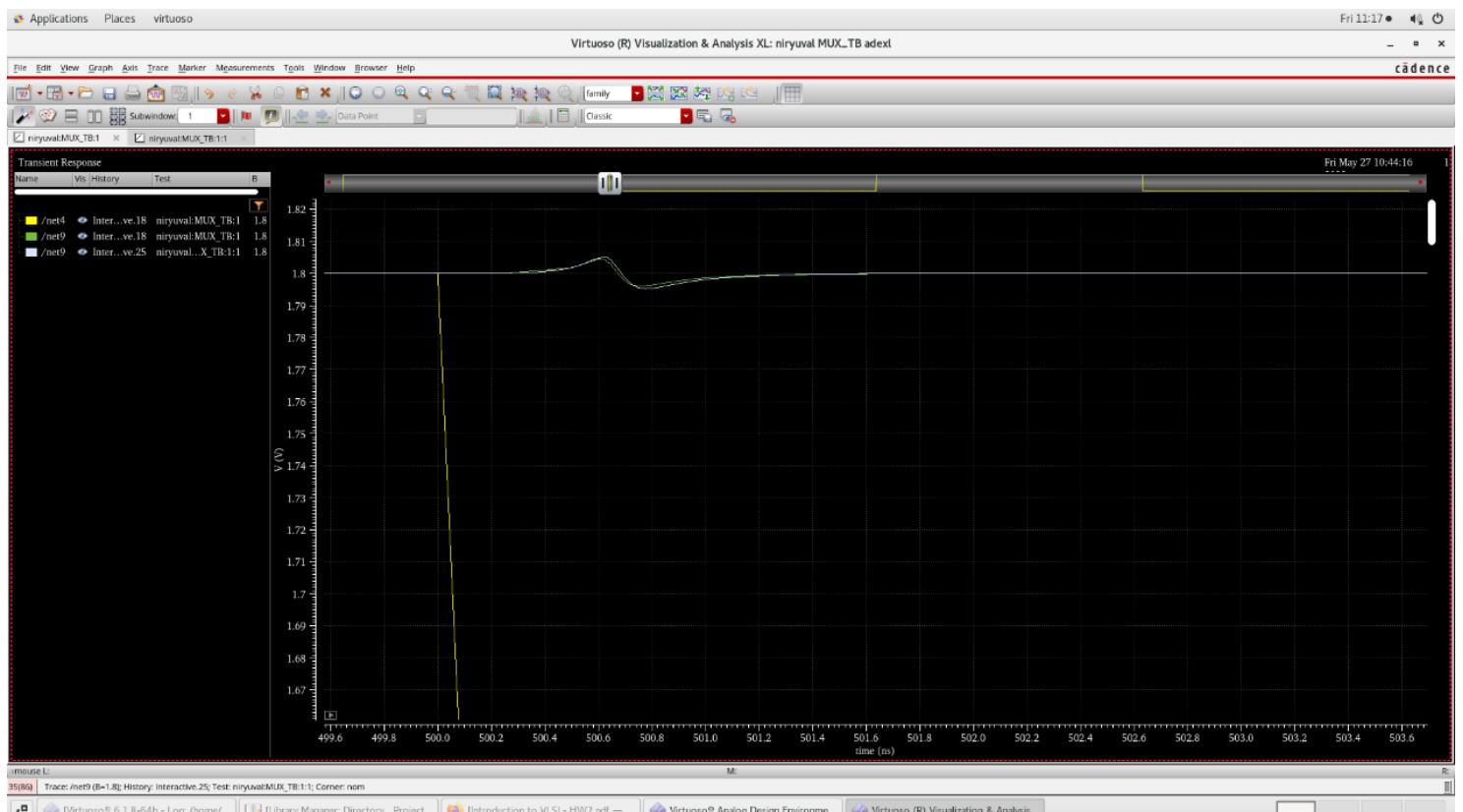
כאן שוב מددנו T_{pd} רק הפעם על הגרפים הפרזיטיים (ניתן לראות שם זהים כמעט לngrפים שללא הפרזיטיות למעט דיל' בזמן):

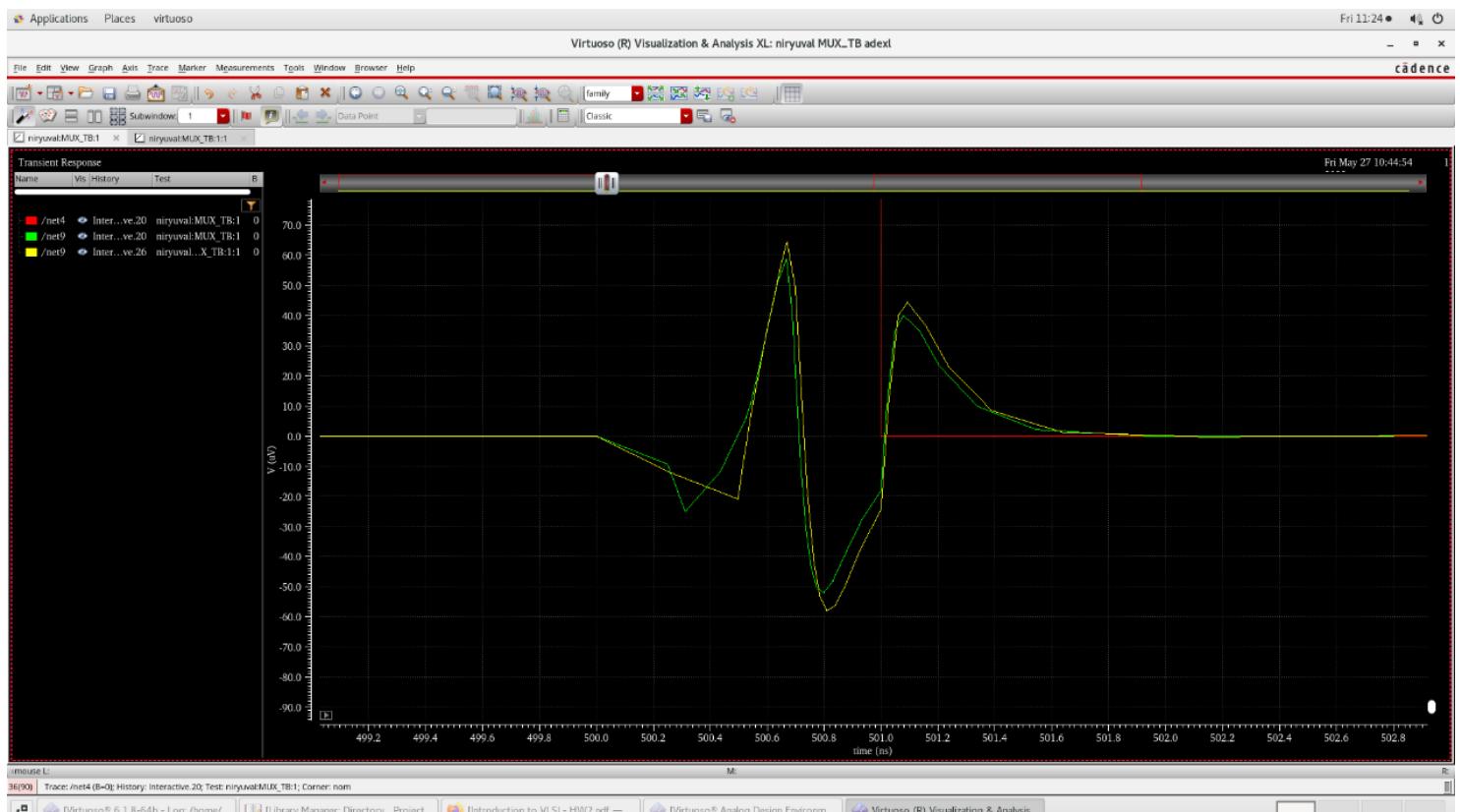
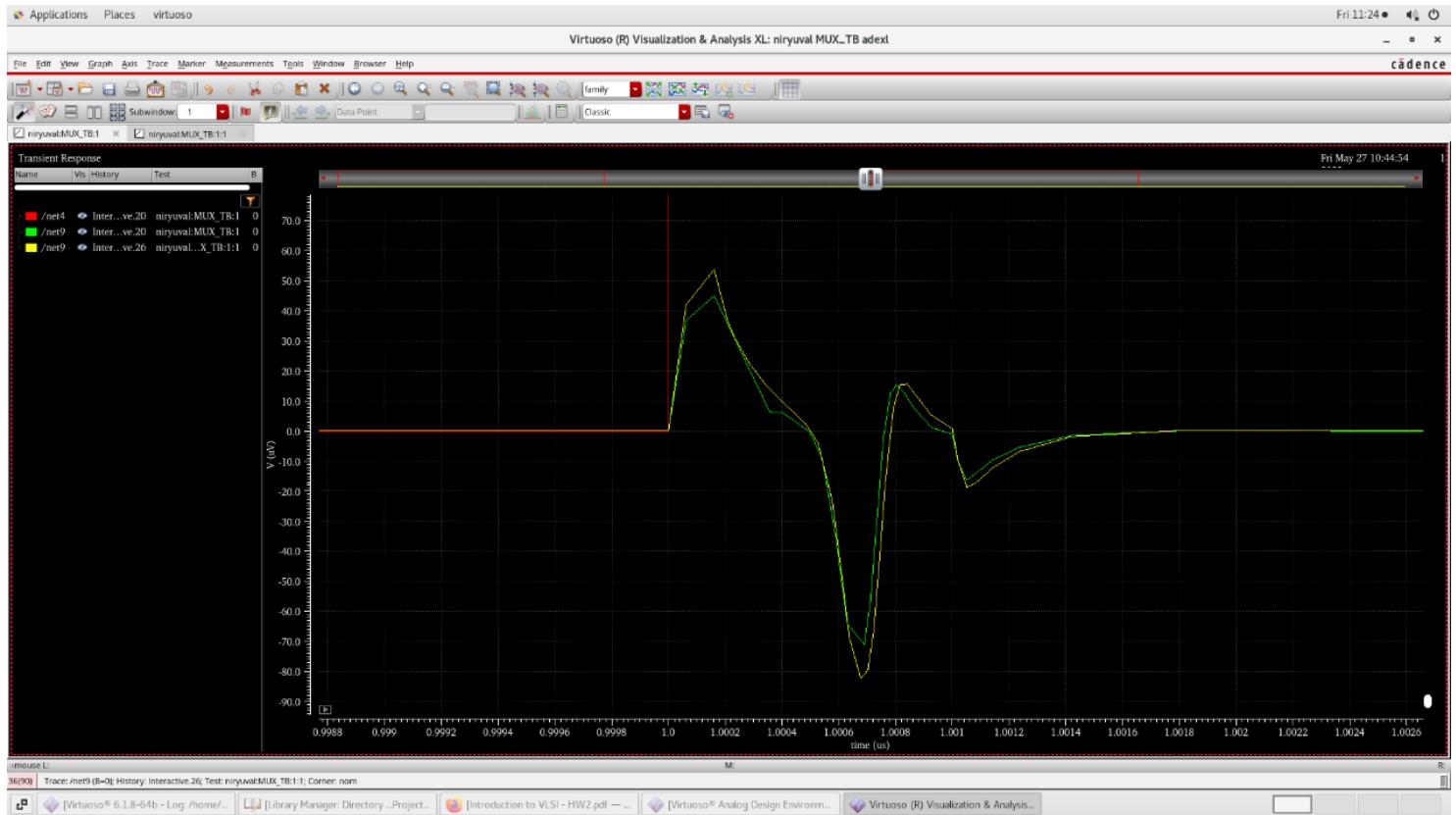
אחרי פרזיטיות	לפני פרזיטיות	
0.632ns	0.6ns	T_{pd}
0.759ns	0.7385ns	T_{cd}

ב- T_{pd} קיים הבדל של 32 פיקו שניות מהמקורה ללא הפרזיטיות.

ב- T_{cd} קיים הבדל של 21 פיקו שניות מהמקורה ללא הפרזיטיות.

בתמונה הבאות אלו המקרים בהם המוקס לא מחליף סימן במצב $([1\ 1], [0\ 0])$:





הערה: עברו המעבר [1] לא הצליחנו לראות קפיצות בעליית הכניסה אלא רק בירידה. עברו [0] רואים קפיצות גם בעלייה וגם בירידה – שלושה גրפים סהכ.

בגרפים אלה אנחנו רואים כי הקפיצות במצב קטנות בכמה סדרי גודל מטווח ה rail אבל זה מצדיק את ההזנחה של מעברים אלה בחישוב ה PTP וה CTD .

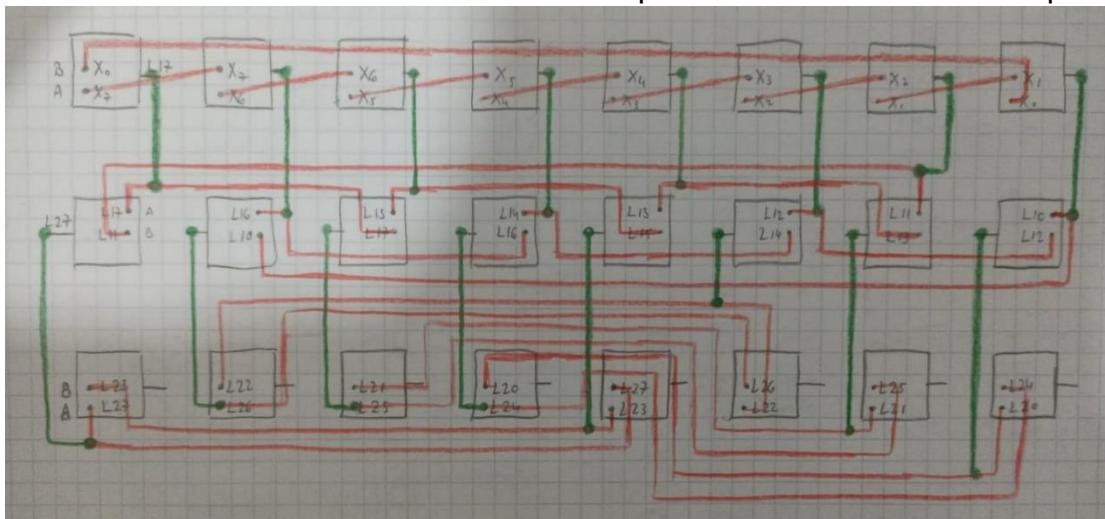
בנוסף ניתן לראות בשני המקדים כי הקפיצות במקרה הפרט דומה לקפיצות בלבד הפרטיות.

בכללי עברו המוקס, אנחנו רואים כי זמני התגובה של טעינות ופריקות קיבול המוצא, מושפעים מעט מאוד (שני סדרי גודל- עשרות פיקו שניות). מכך נסיק שהפרטיות של המוקס הן מאוד קטנות ביחס לחומרה שבנוינו.

חלק ב' – בניית רכיב Barrel Shift Register

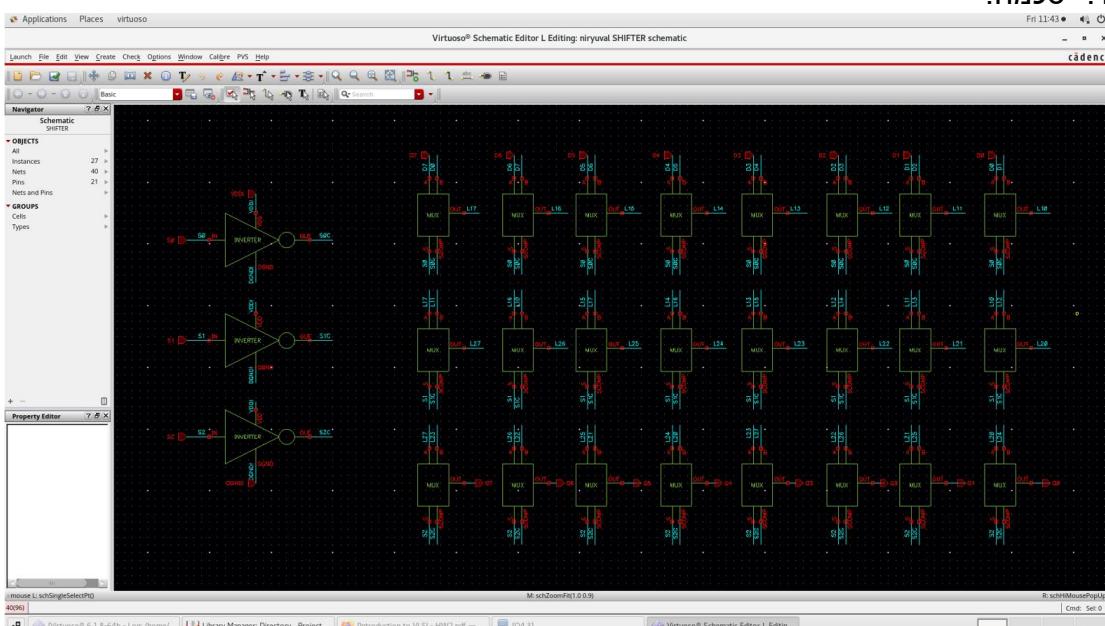
(1) רקע תיאורטי על הרכיב והכנה לקראת Virtuoso

מיימשנו את הרכיב באמצעות 24 רכיבי 2×1 MUX, אוטם מיימשו בחלק א'. על מנת לחסוך בשטח הרכיב, במקום להכניס מהperf לכל מקום כדי למשת את הביט הנגדי ל- S (ואז לקבל 24 מהperfים בסה"כ ברכיב ה-Barrel Shift Register) חיברנו מהperf אחד לכל שמונה מוקשים ובכך קיבלנו חיסכון בשטח של 21 מהperfים. לפני תחילת העבודה על הרכיב, תכננו את הרכיב עד לרמת החיבורים, כאשר רכיב המוקש הוא כקופסה שחורה נתונה. באIOR, כל ריבוע מייצג מוקש, כאשר מיקומי הכניםות A,B מסומנות בריבוע הראשון משמאלי בכל שורה ומיקומם זהה בשאר הרכיבים באותה שורה. בנוסף, באדום מסומן METAL1 וairo בירוק מסומן METAL2. ה-LAYOUT שמיימשנו בפועל שונה במקצת מהאור המקורי (למשל, עליינו METAL3 מכיוון שלא הצלחנו להכניס את כל החיבורים בין הירילים החיצוניים) בגלל בעיות שונות שנתקלנו בהן בפועל, אך הרעיון זהה. כמו כן, באIOR לא מופיעים שלושת המהperfים שמיימנו משמאלי לשולשות שורות המוקשים שבאיור.

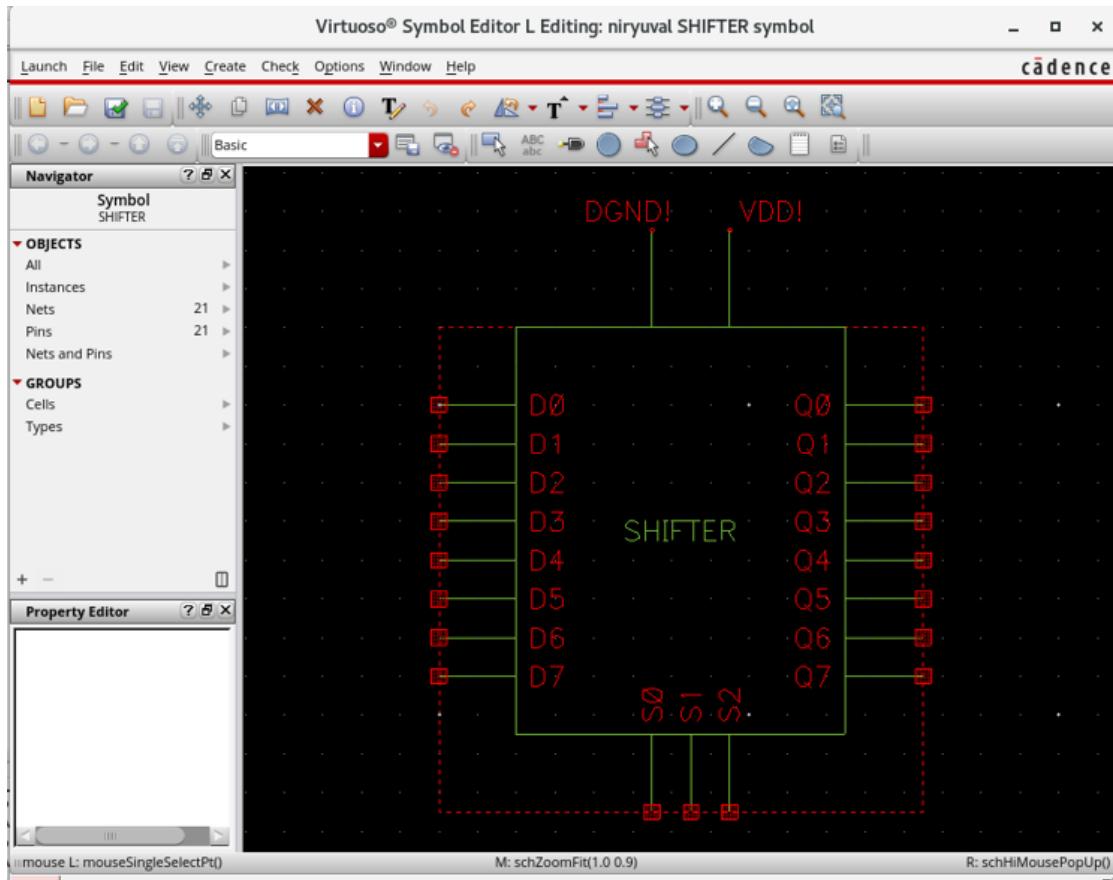


(2) תכנון סכמטי של הרכיב ובדיקה

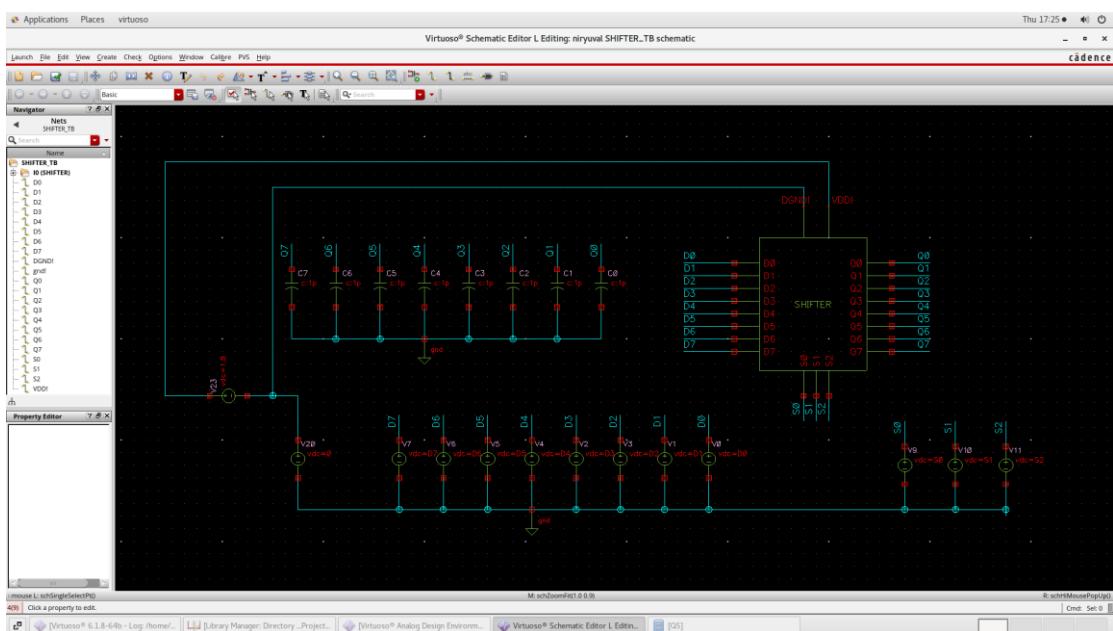
1. סכמה:



סימול:



:TB סכמת .2



עבור קבוצה מס' 49 המספר הבינארי שלנו הוא 00110001. הרכיב שבנו תקין, ביצענו 3 בדיקות כנדרש וקיבliśmy את התוצאות להן ציינו. בתמונות הבאות, Vch19.12 הינו "0" לוגי ו-V7-1.8 הינו "1" לוגי כאשר D0-D7-Q0-Q7 הינם 8 ביטים של הכניסה ו-8 ביטים של המוצא.

בדיקה 1:

S=001 – הזרה של בית אחד ימינה, התוצאה הרצiosa הינה 100110001 וכך קיבלנו:

Test	Output	Nominal	Spec	Weight	Pass/Fail
niryuval:SHIFTER_TB:1	VDC("/Q0")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q1")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q2")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q3")	1.8			
niryuval:SHIFTER_TB:1	VDC("/Q4")	1.8			
niryuval:SHIFTER_TB:1	VDC("/Q5")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q6")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q7")	1.8			

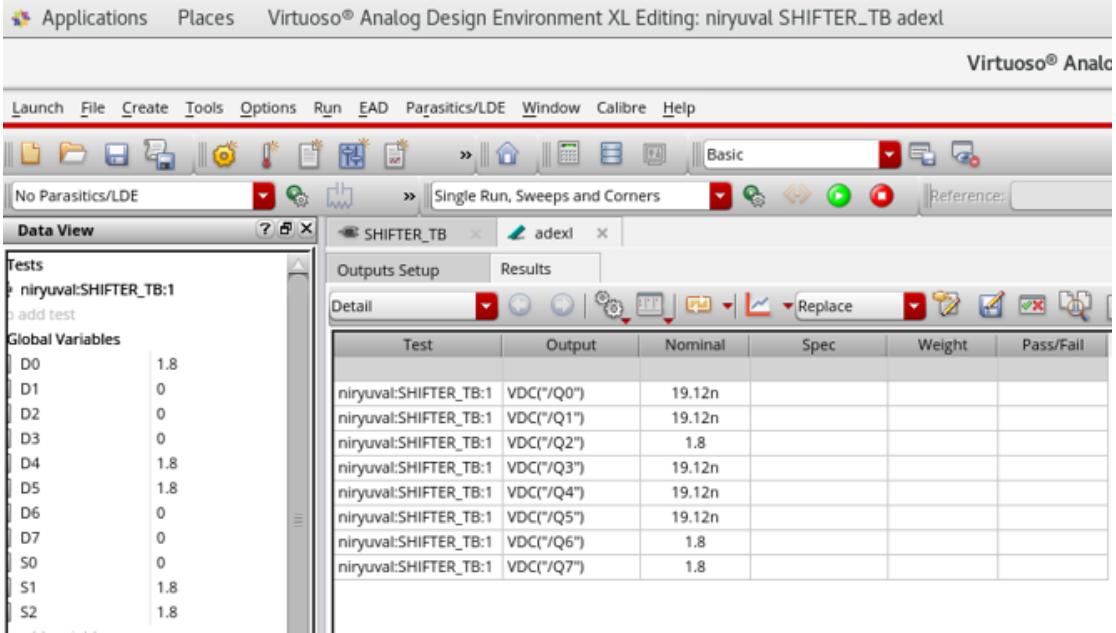
בדיקה 2:

S=011 – הזרה של 3 ביטים ימינה, התוצאה הרצiosa הינה 00100110 וכך קיבלנו:

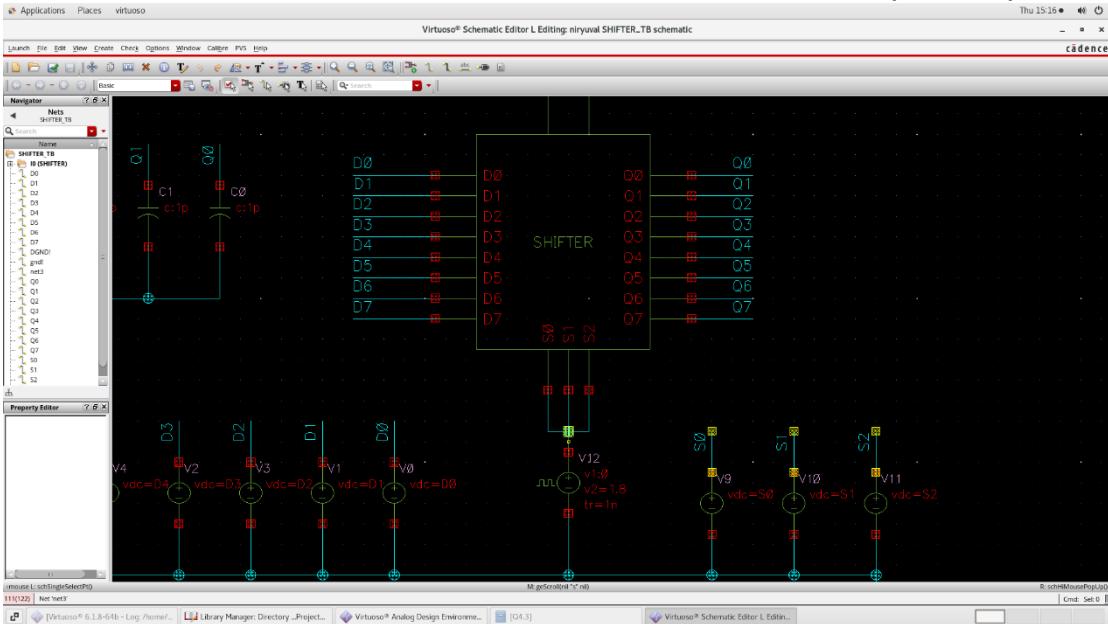
Test	Output	Nominal	Spec	Weight	Pass/Fail
niryuval:SHIFTER_TB:1	VDC("/Q0")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q1")	1.8			
niryuval:SHIFTER_TB:1	VDC("/Q2")	1.8			
niryuval:SHIFTER_TB:1	VDC("/Q3")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q4")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q5")	1.8			
niryuval:SHIFTER_TB:1	VDC("/Q6")	19.12n			
niryuval:SHIFTER_TB:1	VDC("/Q7")	19.12n			

בדיקה 3:

S=110 – הזרה של 6 ביטים ימינה, התוצאה הרצiosa הינה 11000100 וכך
קיים:



.3. עבור שאלה זו שינינו מעט את סכמת ה-TB כך שלושת כניסה ה-
SELECT LINE יקבלו בדיק את אותו אות וישתנו ביחד:



פוד מוגדר להיות הזמן הארוך ביותר מרוגע התיצבות הכניסה עד לרוגע
התיצבות המוצא. הגדרנו את התיצבות האות נקודה בה עבר 50% מערכו
כלומר ב-0.9V. לכן, זמן זה מתחילה כאשר הכניסה מגיעה ל-0.9V ונגמר
כאשר הביט עם השינוי האיטי ביותר חוצה את ערך 0.9V. בנוסף, מדדנו זמן זה
בעליית אות הכניסה ובירידתו וחישבנו את הממוצע ביניהם (כפי שהוגדר בקורס
מעגלים סטטיסטיים).

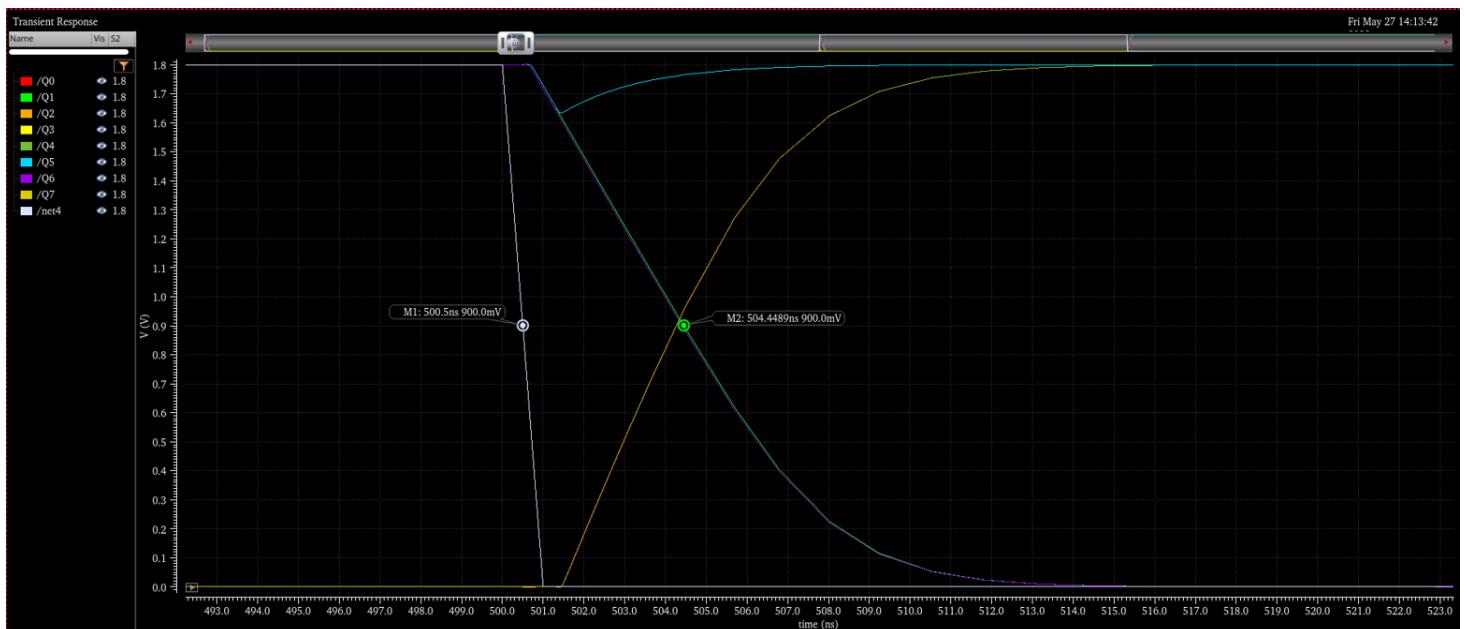
T_{cd} מוגדר להיות הזמן הארוך ביותר מרגע שינוי הכנסה עד לרגע שינוי המוצא. גם כאן, רגע שינוי המוצא נמדד עבור הביט בעל השינוי האיטי ביותר, ושוב חישבנו את ממוצע הערכיהם בירידה ובעליה.

תוצאות המדידות:

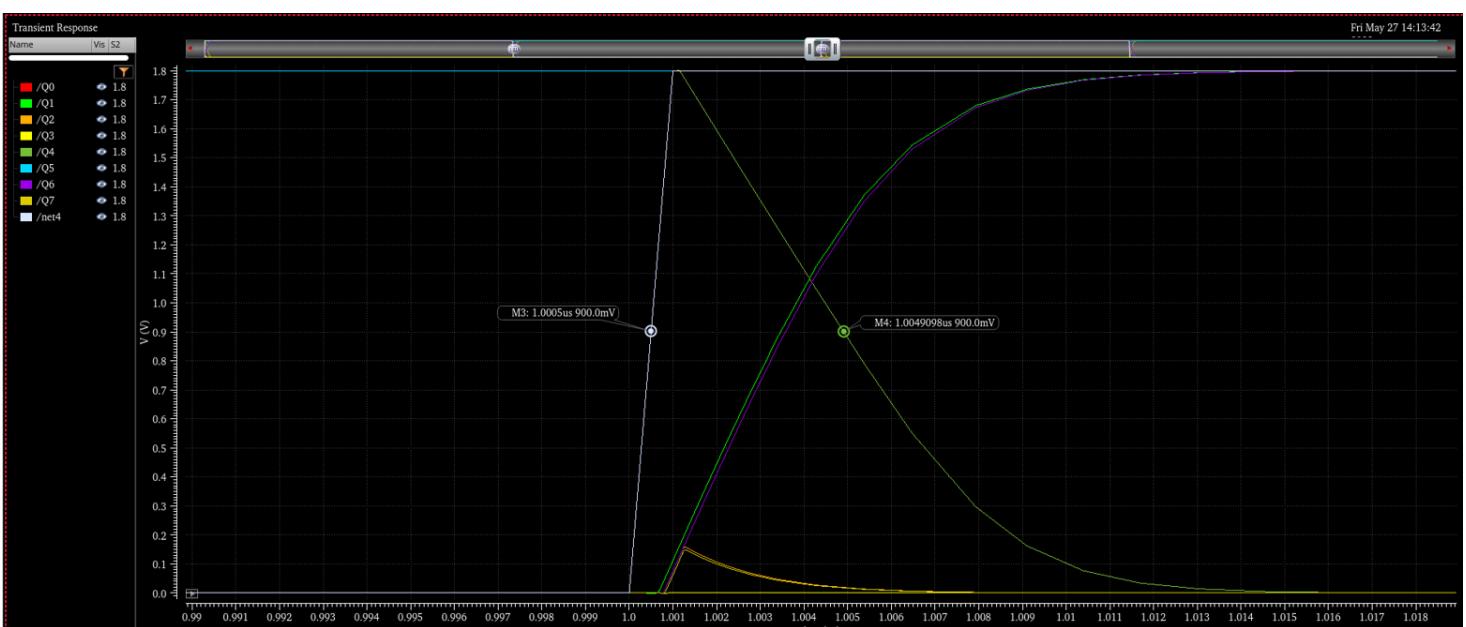
Tpd fall	Tpd rise	Tpd	Tcd fall	Tcd rise	Tcd
4.05ns	4.41ns	4.23ns	1.47ns	0.66ns	1.065ns

תמונה להמחשה כיצד מددנו:

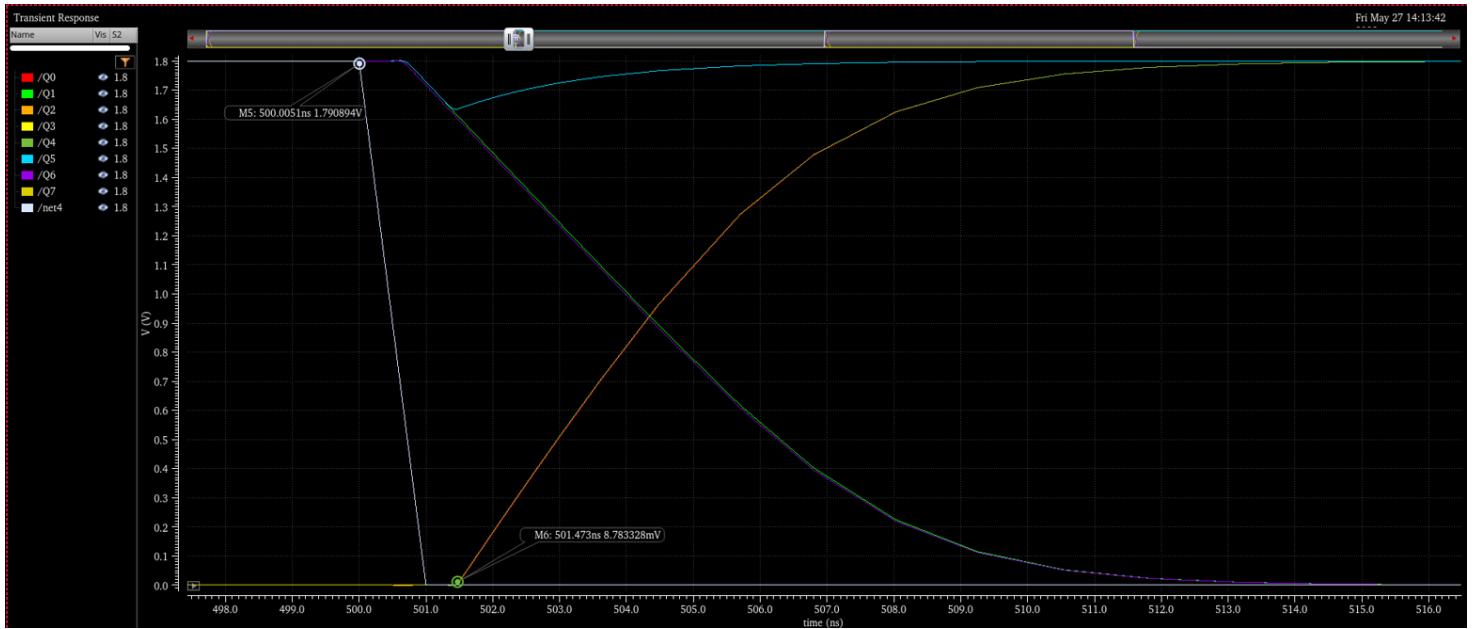
Tpd fall:



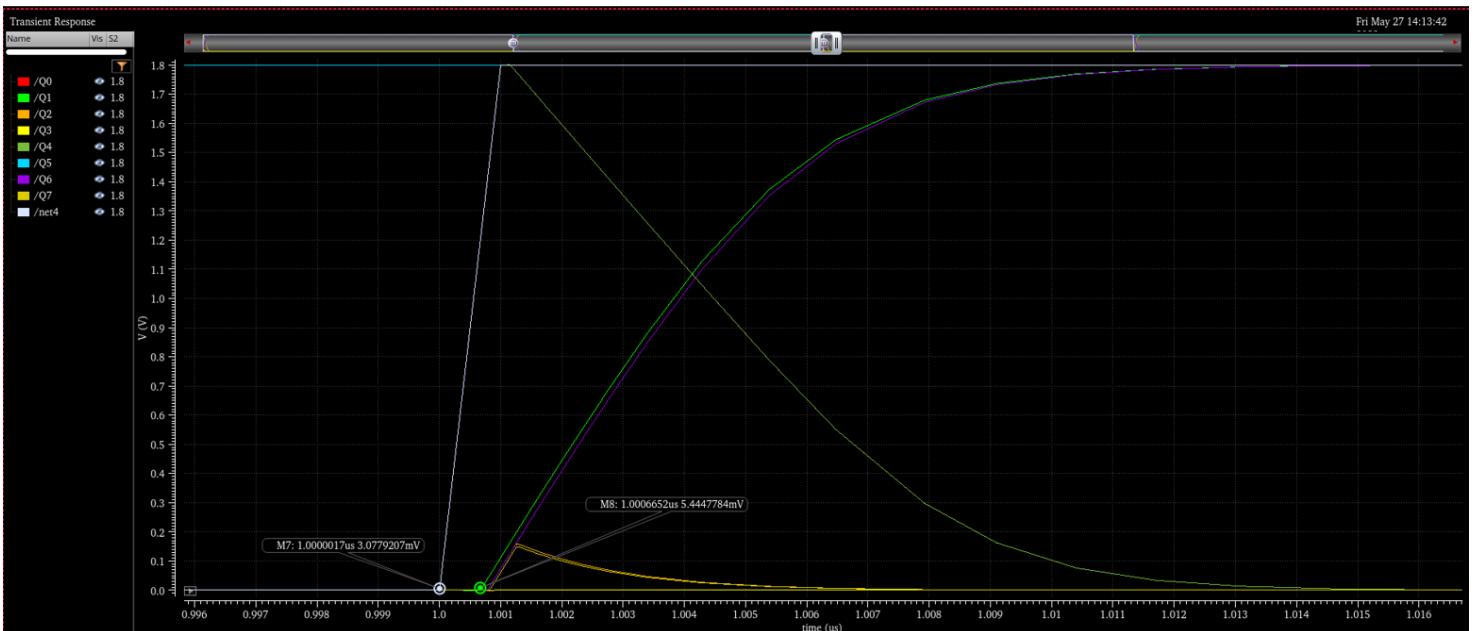
Tpd rise:



Tcd fall:



Tcd rise:

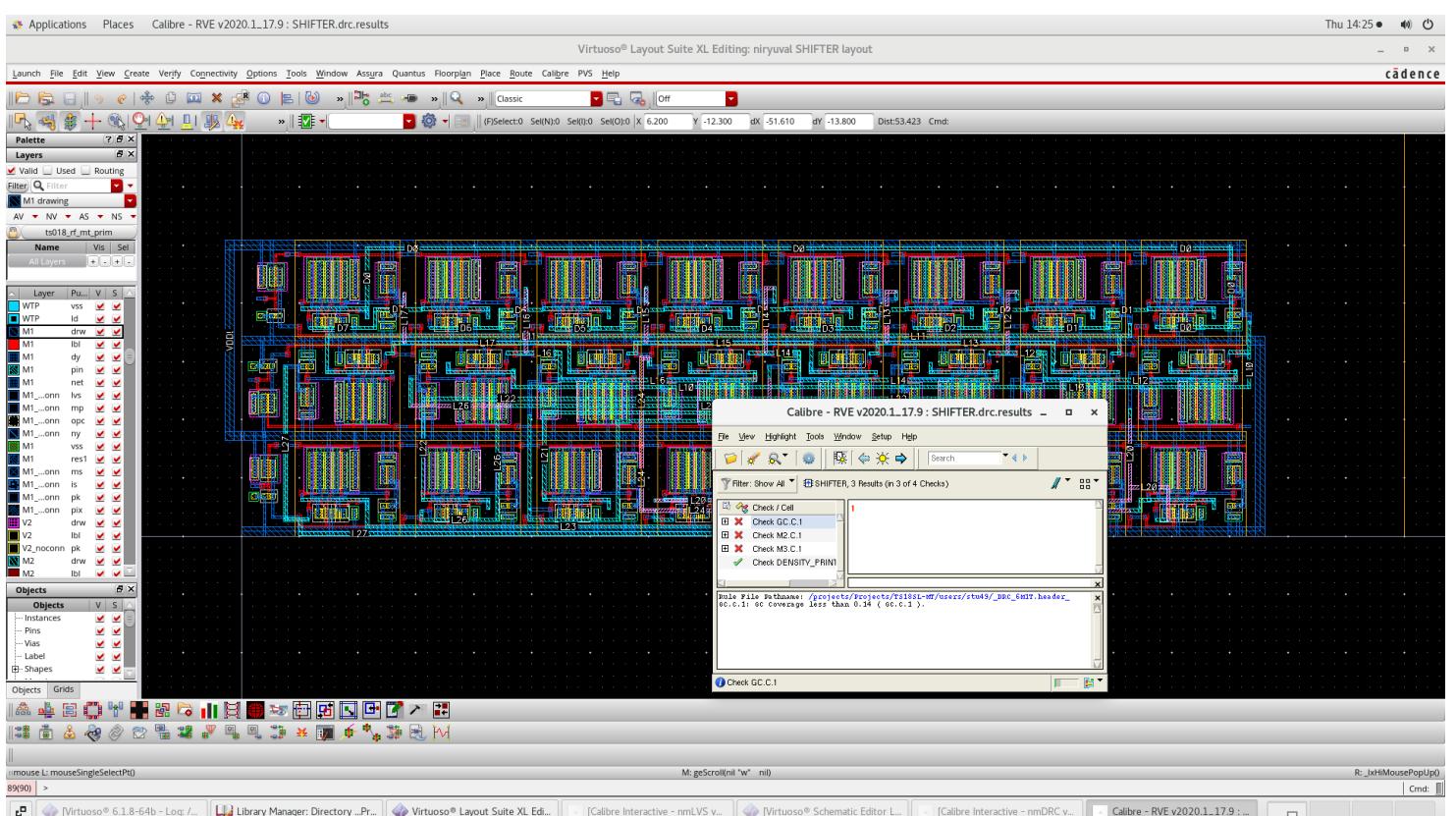


(3) תכנון LAYOUT של הרכיב ובדיקה

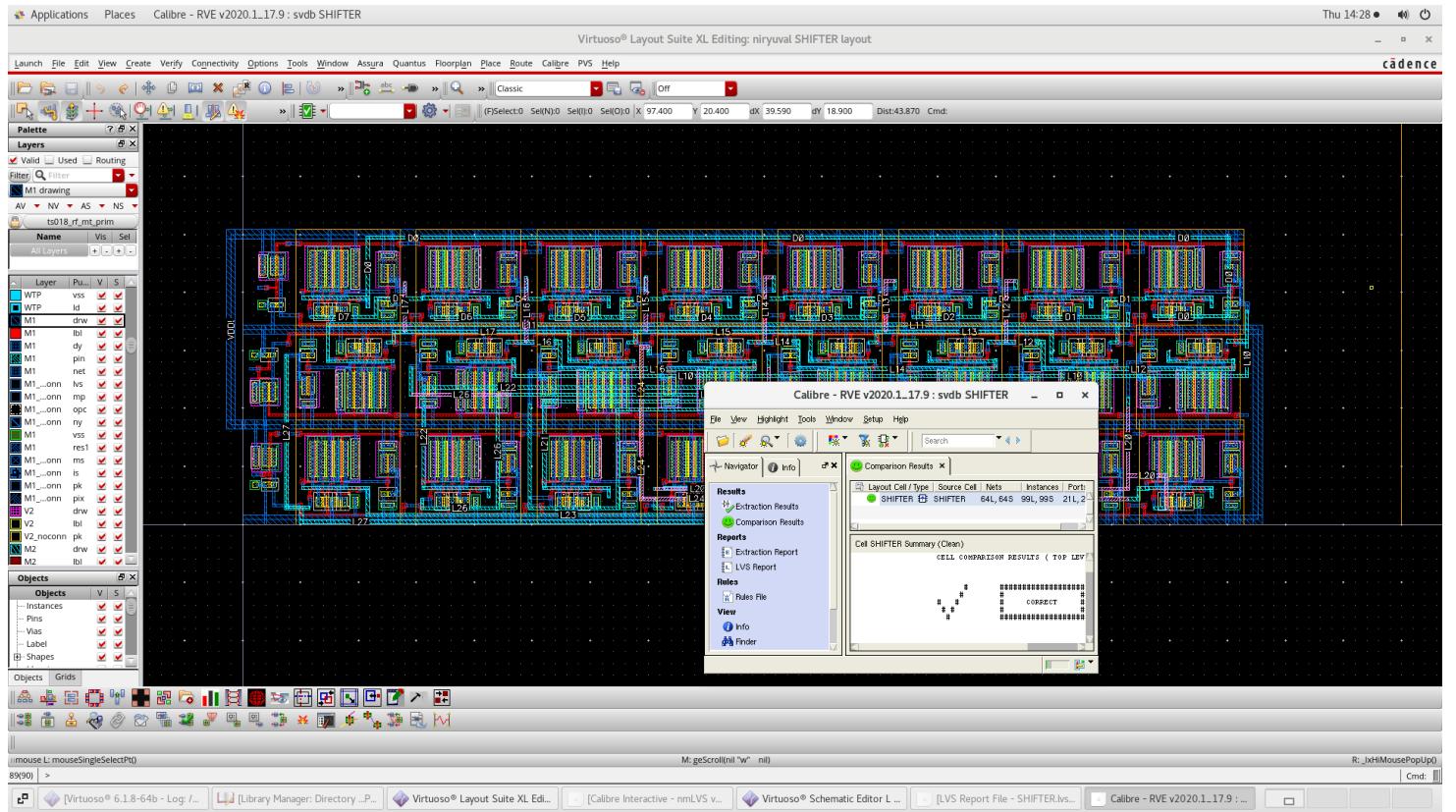
הטא שיצרנו: LAYOUT .1



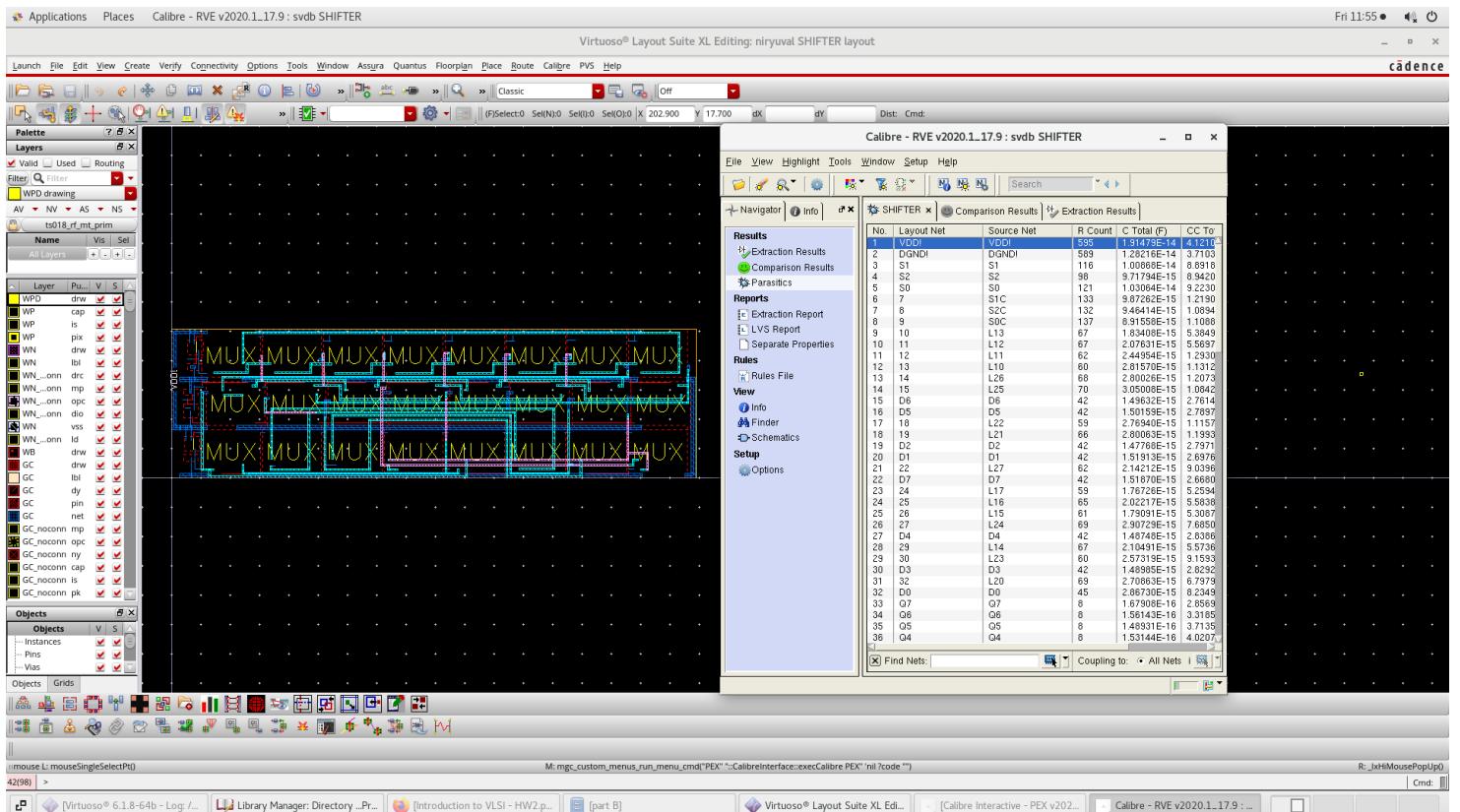
בדיקת DRC .2



:LVS .3 בדיקת LVS

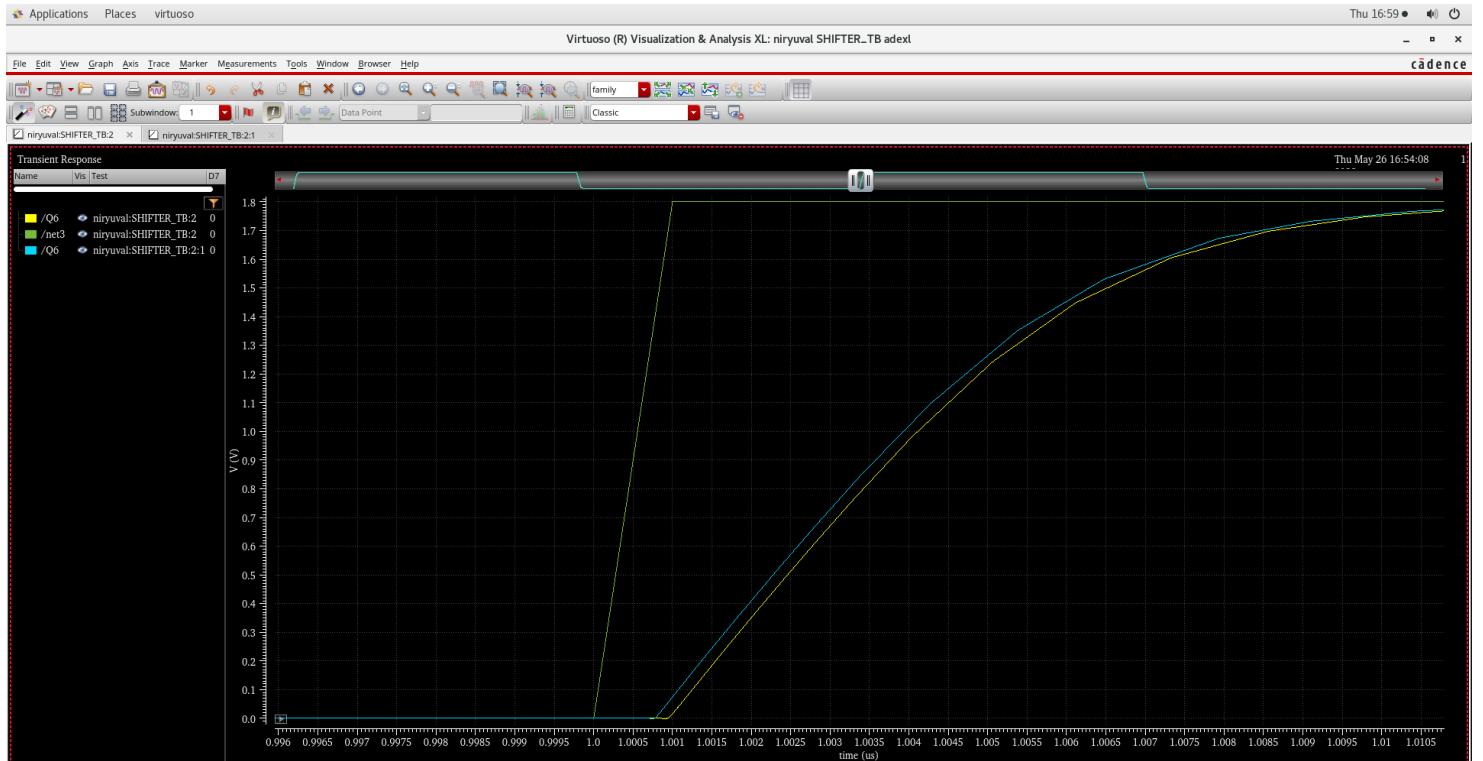


:PEX .4

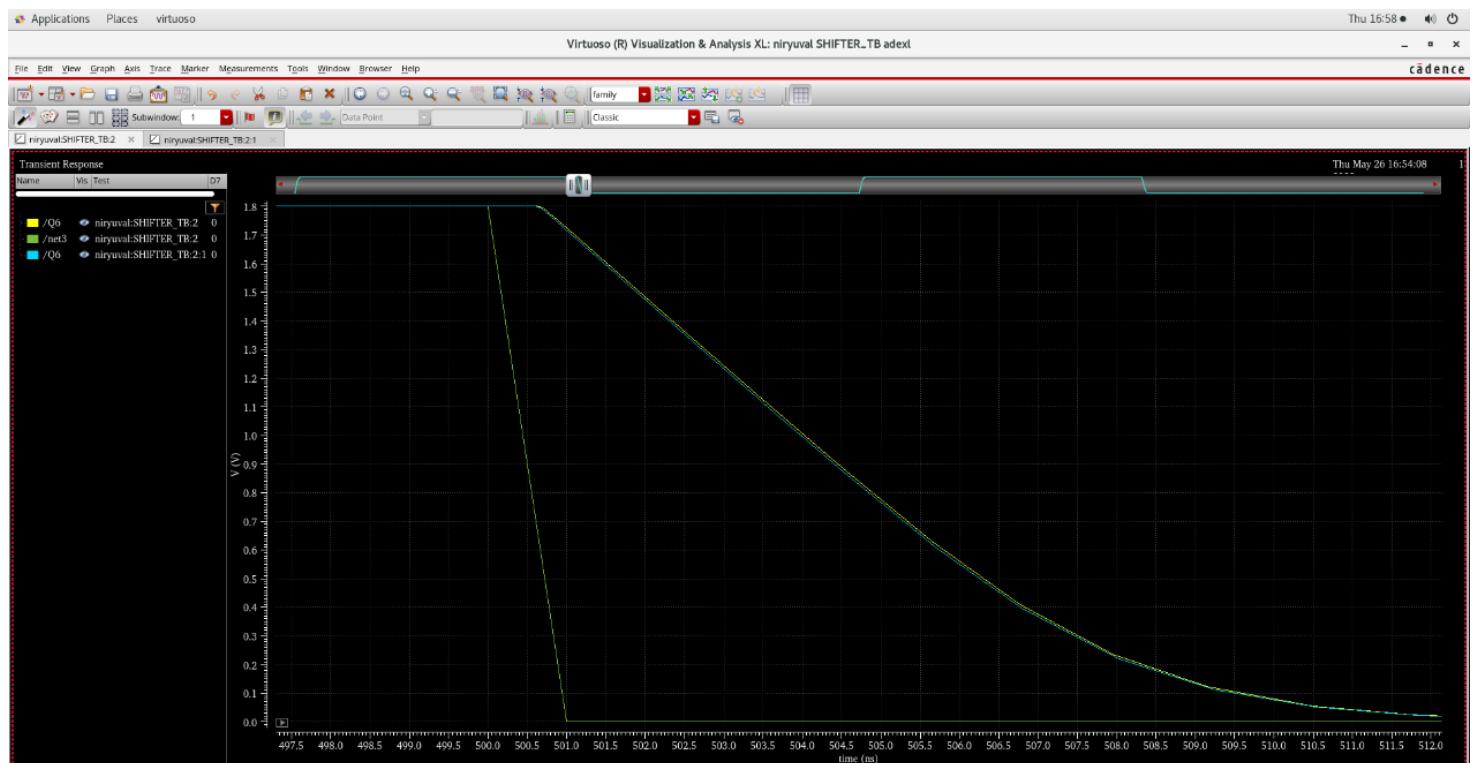


ביצענו את הסימולציה מסעיף 2.3 על מנת לראות שהתא תקין ולראות הבדלים בין התא לפני ואחרי הוספת הפרזיטיקות. גם לאחר הוספת התא תקין, ובתמונה הבאה ניתן לראות התנהגות של בית בודד לפני ואחרי הפרזיטיקות לעומת הכנסה (בירוק):

בעליה:



בירידה:



ניתן לראות כי אכן הפרזיטיקות משפיעות על זמן התגובה לשינוי – הביט לאחר הפרזיטיקות (בצהוב) מפגר מעט אחריו הביט לפני הפרזיטיקות (בכחול) גם בעלייה וגם בירידה. בנוסף, ניתן להבחין כי עבור הביט הספציפי זהה הפרזיטיקות משפיעות פחות בירידה של אות הכניסה מאשר בעלייתו.

2.2 בסעיף זה ביצענו את אותן הבדיקות מהסעיף המקורי עם הפרזיטיקות. בתמונות הבאות מוצגים ההבדלים בין התוצאות לפני (למטה) ואחרי (למעלה) הפרזיטיקות:

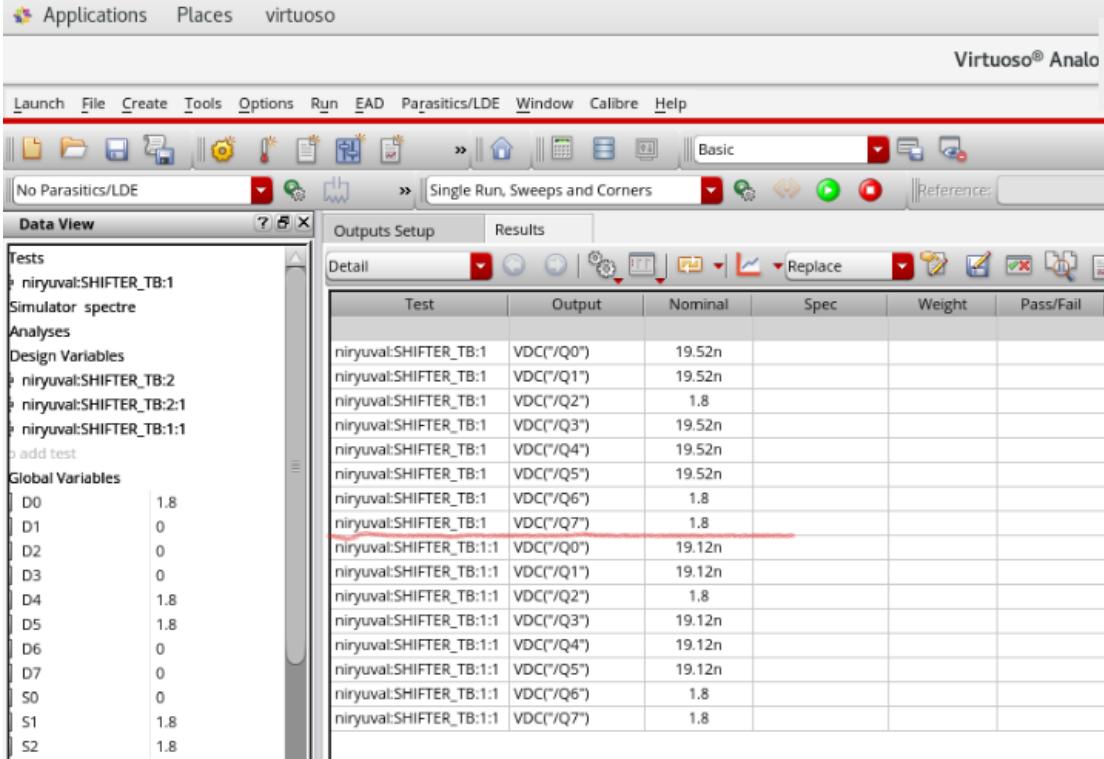
בדיקה 1:

Test	Output	Nominal	Spec	Weight	Pass/Fail
niryuval:SHIFTER_TB:1	VDC(/Q0")	19.51n			
niryuval:SHIFTER_TB:1	VDC(/Q1")	19.51n			
niryuval:SHIFTER_TB:1	VDC(/Q2")	19.51n			
niryuval:SHIFTER_TB:1	VDC(/Q3")	1.8			
niryuval:SHIFTER_TB:1	VDC(/Q4")	1.8			
niryuval:SHIFTER_TB:1	VDC(/Q5")	19.51n			
niryuval:SHIFTER_TB:1	VDC(/Q6")	19.51n			
niryuval:SHIFTER_TB:1	VDC(/Q7")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q0")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q1")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q2")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q3")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q4")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q5")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q6")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q7")	1.8			

בדיקה 2:

Test	Output	Nominal	Spec	Weight	Pass/Fail
niryuval:SHIFTER_TB:1	VDC(/Q0")	19.53n			
niryuval:SHIFTER_TB:1	VDC(/Q1")	1.8			
niryuval:SHIFTER_TB:1	VDC(/Q2")	1.8			
niryuval:SHIFTER_TB:1	VDC(/Q3")	19.53n			
niryuval:SHIFTER_TB:1	VDC(/Q4")	19.53n			
niryuval:SHIFTER_TB:1	VDC(/Q5")	1.8			
niryuval:SHIFTER_TB:1	VDC(/Q6")	19.53n			
niryuval:SHIFTER_TB:1	VDC(/Q7")	19.53n			
niryuval:SHIFTER_TB:1:1	VDC(/Q0")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q1")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q2")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q3")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q4")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q5")	1.8			
niryuval:SHIFTER_TB:1:1	VDC(/Q6")	19.12n			
niryuval:SHIFTER_TB:1:1	VDC(/Q7")	19.12n			

בדיקה 3:



בשלושת הבדיקות הללו ניתן לראות כי הפרזיטיות מעולות את המתח אשר נמצא בmozac הרכיב ונחשב ל-"0" לוגי, כלומר הפרזיטיות מונעות מהקבל במצב לא התפרק עד לערך נמוך יותר כמו בסימולציה ללא הפרזיטיות. הפרעה זו לא פוגעת בתיקיות הרכיב מכיוון שהיא לא משנה את הערכים הלוגיים שאנו מקבלים בmozac.

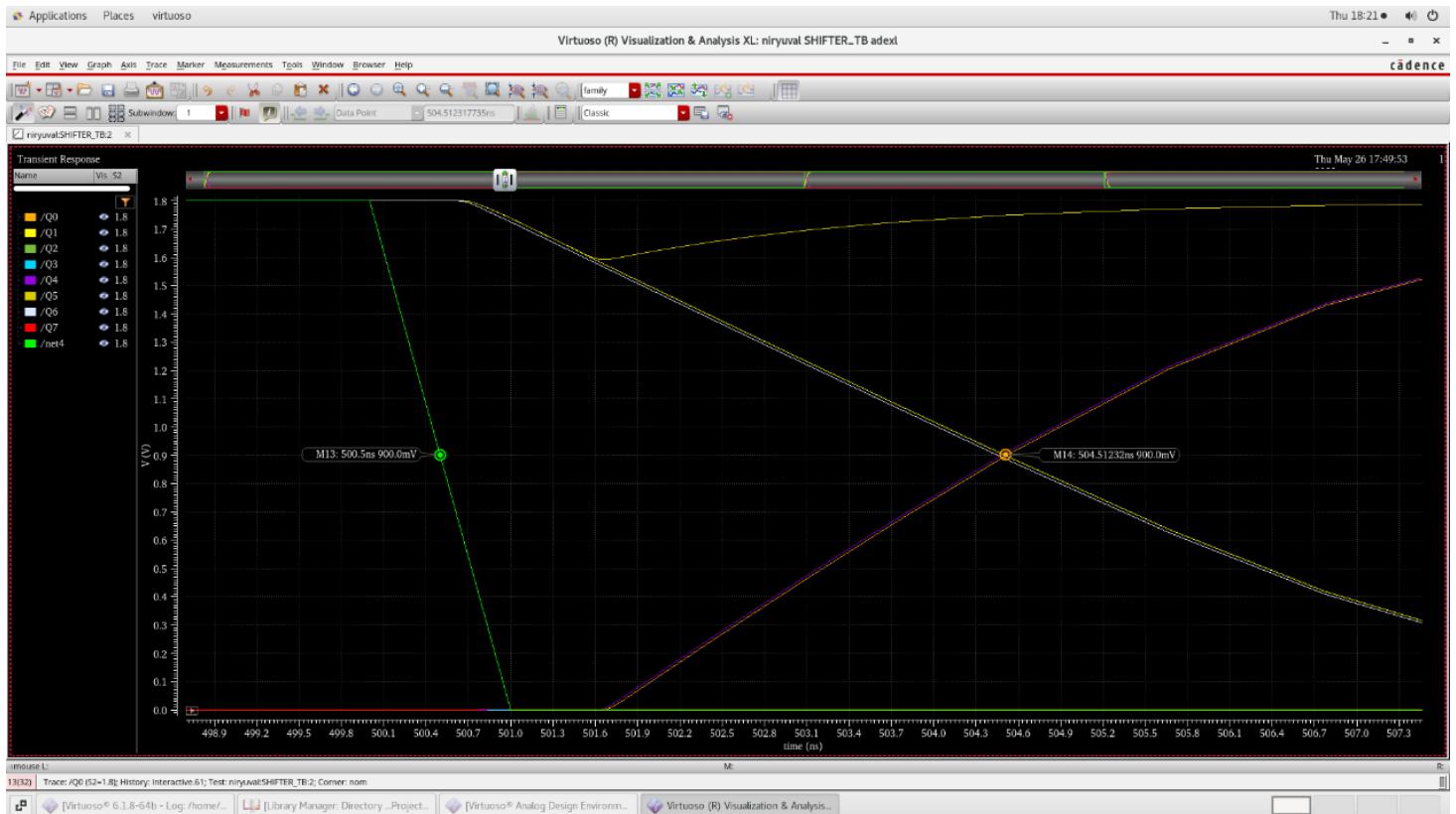
.2.3) גם בסעיף זה ביצענו את אותן הבדיקות מהסעיף המקורי עם הפרזיטיות.

תוצאות המדידות עם פרזיטיות:

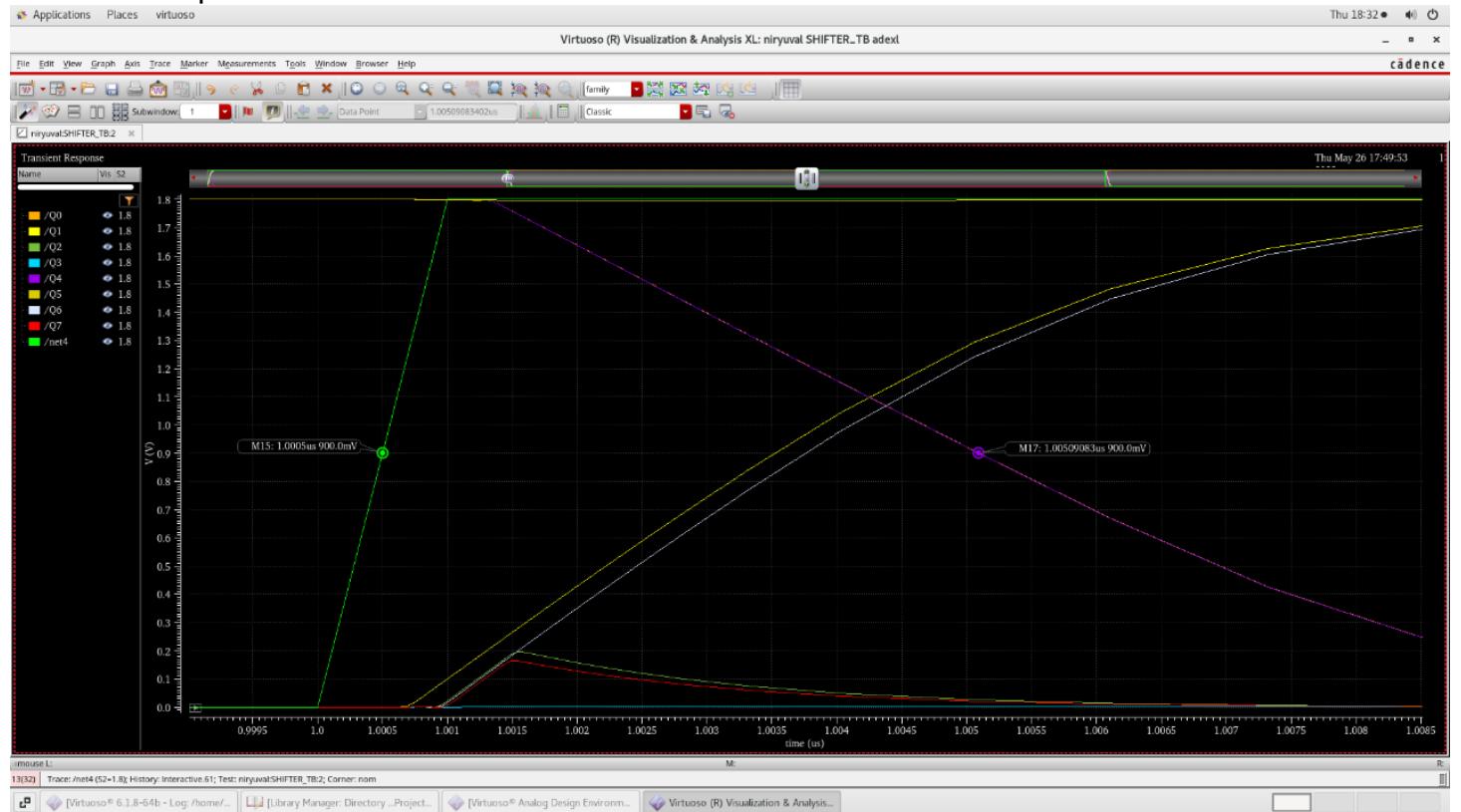
Tpd fall	Tpd rise	Tpd	Tcd fall	Tcd rise	Tcd
4.01ns	4.59ns	4.3ns	1.59ns	1.35ns	1.47ns

תמונהות להמחשה כיצד מددנו:

Tpd fall:



Tpd rise:



Tcd fall:



Tcd rise:



טבלת השוואת רכיב לפני ואחרי תוספת פרזיטיות:

אחרי פרזיטיות	לפני פרזיטיות	
4.3ns	4.23ns	Tpd
1.47ns	1.065ns	Tcd

ב-pT קיימ הבDEL של $\Delta t = 0.07$

ב-pC קיימ הבDEL של $\Delta t = 0.405$

עבור שני המדים הללו הפרזיטיות השפיעו לרעה כמצופה והאטו את פועלות הרכיב.