

叶锦鸿

18800277721 | yejh0117@outlook.com | 2000.01 | 福建



教育背景

- 2025.06 | 复旦大学·硕士·微电子学院·专业：集成电路设计与 CAD
2022.09 | 复旦大学集成芯片与系统国家重点实验室·导师：韩军·研究方向：计算机体系结构
2022.06 | 上海交通大学·本科·电子信息与电气工程学院·专业：微电子科学与工程
2018.09

专业技能

- 知识背景 计算机体系结构·RISC-V 指令集·分支预测技术
编程语言 Verilog·C/C++·Python·Chisel·SpinalHDL
软件工具 VCS·Verdi·Spy-Glass
沟通语言 英语六级 (CET-6)

项目经历

高性能 RISC-V CPU 建模 C++, Python 2023 年 02 月 - 2024 年 02 月

基于 Gem5 进行乱序多发高性能 RISC-V CPU 的建模，主要负责前端建模：

- 完成 L0/L1BTB、TAGE-L、IndirBTB 的建模和仿真工作：
 - 实现包括 16/32/64-way 全相联 L0BTB、4K/8K/12K 4-way 组相联可配 L1BTB、8 级 1K/2K 项的可配 2-way 组相联 TAGE 和 1K IndirBTB 的 4 级流水 BPU。
- 参与 FTQ、ITAG 流水线与 IDATA 流水线的开发与测试：
 - 实现 16/32 项 FTQ、4 级流水 ITAG 和 5 级流水 ITAG。每条通路可以进行 2 个 fetch block 并行取指，IFU 带宽为 8 条指令。
- 通过 Coremark、SPEC 2006 Int 测试。初期 Coremark 分支预测准确率可达 92%，理想化后端（无执行延迟）可达 SPEC INT 28+ (GCC13)
- 熟悉 CPU 的体系结构，熟悉 RISC-V 指令集及基本扩展。
- 对各预测器的行为、功能、特点及使用场景有深入研究；对取指模块的行为、功能特点有清晰认识。

实习经历

RISC-V CPU 前端架构探索 C++, Python 2024 年 02 月 - 至今

主要负责 RISC-V CPU 取指前端的微架构探索：

- 预测器架构探索：主要为 BTB 交织行为、TAGE 哈希方式、解耦合前端的探索与实现。
 - 对 BTB 的容量、组织情况进行设计空间探索。
 - 对 TAGE 哈希方式、组相联形式进行设计空间探索，不同的 HASH 方式会体现在每个 TAGE 表的命中次数中。
 - 分支预测准确率总体与世界前列处理器相当。
- 取指技术探索：主要为取指行为的探索，比如 two-taken、fetch block bypass 等流水线行为和增大取指带宽的方式。
- 进行性能分析的工具开发：实现了分支的可视化工具以深入研究 BPU 预测情况，构造单独 TAGE 模拟器以研究 TAGE 的 HASH 方式、预测能力。
- 完成基本模型的性能测试。SPEC INT 测试结果达较高水平。
- 协同其余模块 debug 工作。

参与高性能 RISC-V CPU 的硬件开发，负责 IFU、BJU 模块的 RTL 编写：

- 参与架构设计方案的讨论。
- 负责编写 BJU（包含 PCRF、BPIQ、分支执行单元）模块的详细设计文档，包括模块间交互、模块内部设计。
- 进行 RTL 代码实现工作，依照详细设计文档进行实现。

🏆 荣誉奖项

微电子学院奖学金	二等奖	2022 年 09 月 - 2023 年 06 月
电子信息与电气工程学院奖学金	二等奖	2019 年 09 月 - 2020 年 06 月