电工电子实验报告

课程名称： 电工电子基础实验

实验项目： 数字电路的测试与装配，基本电气参数的测量及实验数据的处理，数字电路常见故障的分析与排除，ISE软件的使用

组合逻辑电路

学 院： 计软网安

班 级：

学 号：

姓 名：

指导教师：

学 期： 2023 学年第 1 学期

# 组合逻辑电路

## 实验目的

1. 掌握基本门电路的实际应用
2. 掌握基本门多余端的处理方法
3. 用实验验证所设计电路的逻辑功能
4. 判断，观察组合逻辑电路险象并了解消除险象的方法

## 主要仪器设备及软件

硬件：电工电子综合实验箱

软件：ISE软件

## 实验原理（或设计过程）

组合逻辑电路是指纯由小、中、大规模集成门构成的电路，电路中没有记忆元器件。组合逻辑电路的设计是数字技术中的一个重要课题。所谓组合逻辑电路的设计，就是按照逻辑要求，确定逻辑关系，构成经济、合理和实用的逻辑电路。其设计步骤如下。

①将逻辑问题的文字描述变换成真值表。

②利用卡诺图或公式法求得最简逻辑表达式，并根据所选用的器件对最简式进行变换，得到所需形式的逻辑表达式。

③由逻辑表达式画出逻辑图。

组合电路的设计原则不外乎两条:首先，所设计出的电路能实现给定的逻辑功能;其次，电路尽可能是最佳的。

实际的组合逻辑设计可分为纯逻辑设计、工程设计

(1）纯逻辑设计

纯逻辑设计的特点:把元器件都视为理想元器件，想用什么器件就用什么元器件。课堂上的理论设计就属于纯逻辑设计。

实际上，任何元器件都是非理想的，都有一定的延迟时间，且元器件的品种受市场供应制约。

(2）工程设计

工程设计应从电路的速度、造价、工作可靠性及功耗等方面进行综合考虑。这是一个复杂问题，既要满足主要性能指标，又要兼顾其他的原则。例如，做高速运算和控制时，最主要的质量指标是速度，因而可以选用ECL电路，并尽量减少电路的级数，对于字航、卫星等数字设备，显然，最主要的质量要求是低功E、高可靠性。这时就应选用CMOS电路，并尽可能使电路结构简单。

总之，工程设计应尽可能用标准元器件，所他用的元器件尽可能少，使性能价格比最高。

对任何一个逻辑问题，只要能列出真值表，就能顺利地设计出逻辑电路。但是，把逻辑问题的文字描述转换成真值表，并不是一件容易的事情，它取决于设计者对逻辑问题的理解和个人的经验。

例7-1举重比赛中有三个裁判。裁判认为杠铃已完全举上时，会按下自己面前的按纽。假定主裁判和两个副裁判面前的按钮分别为A、R和C。表示完全举上的指示灯F只有在三个裁判或两个裁判（其中一个必须是主裁判)按下自己面前的按钮时才亮加，试设计满足该逻辑功能的逻辑电路。

首先按题意列出真值表，列真值表要解决两个问题:一是根据逻辑问题确定逻辑变量和输出函数:二是概括逻辑功能。由题意可以明显看出,裁判面前的按钮为逻辑变量,指示灯为输出函数。按钮和指示灯都只有两种状态，用“1”表示按钮按下,“0”表示按钮不按下;F=“1”表示灯亮,F=“0”表示灯灭。根据题意列出真值表，如表7.8所示。

经卡诺图化简可得

F=AC+AB

采用与非门时,所得逻辑电路如图7.33所示。

对于多输出函数,简化时也是以单个函数简化法作为基础，但多输出网络是一个整体，它的每个输出对应一个函数，并且是一组函数的一部分。我们所要求的是整体简化，因此,在简化时应该照顾到全局。

2.组合逻辑电路的险象及消除方法

前面的讨论假设输入信号和输出信号都是稳定的。也就是说，讨论的是静态下的逻辑关系。对于实际的组合逻辑电路来说，当所有的输入信号达到稳定时，输出并不能立即达到稳态，而是要经过一个过渡过程。在这个过程中，真值表所描述的逻辑关系可能暂时被破坏，即输出端可能不是期望的状态。这种在输入信号发生变化时，组合电路有瞬时干扰信号（或称毛刺）输出的现象称为“冒险”现象（简称险象)。

组合逻辑电路中存在两种不同类型的险象:一种是逻辑险象;另一种是功能险象。

(1）组合逻辑电路中的逻辑险象

所谓逻辑险象是指电路中一个输入变量发生变化时,电路在瞬变过程中出现短暂错误输出(毛刺）的现象。

图7.34所示的F=A ·A电路中，G,门的延迟时间使得信号A由“0”变到“1”时，在电路输出端产生“0-1-0”型险象。一个信号经过不同路径到达同一门的输出端时，由于每条路径上时的延时往往不同，因而到达的时间可能有先有后，这种现象称为“竞争”。“竞争”就是产生险象的根本原因。

同样，或门电路也会产生险象，如图7.35所示，这是一种“1-0-1”型险象。

我们把单一输入变量变化前后输出稳定值相同，而在输入变量变化时产生瞬时错误输出称为静态逻辑险象。上面讨论的“1-0-1”型险象和“0-1-0”型险象都属这种险象。

组合电路中还有另一类逻辑险象—动态逻辑险象。所谓动态逻辑险象是指某一输入变量变化前后输出稳定值不同时，电路中出现的险象。具有动态逻辑险象的电路所造成的瞬时误动作是输出产生3次或大于3次的奇数次变化,也就是波形的毛刺是以“1-0-1-0”或“0-1-0-1”形式出现的。图7.36所示电路中，在B=C=“1",A由“1”到“0”变化时，输出信号F的变化情况为“1一→0→1→0”，出现正向尖脉冲。

(2）静态逻辑险象的判别方法

判断一个电路是否存在静态逻辑险象的方法有代数法、卡诺图法和示波器法3种。

1代数法。

代数法是根据函数式的结构来判断，方法如下。

1. 当变量同时以原变量和反变量形式出现在函数式中时，该变量就具备了竞争的条件。

b.消除式中其他变量而仅留下被研究的变量，若得到下列两种形式，这说明存在静态逻辑险象。

F=A·A

“0 -1-0”型险象

F=A＋A“1-0-1”型险象

消除其他变量的方法，是将这些变量的各种取值组合依次代入式中，这样就把它们从式中消去了。如果某一变量仅以一种形式出现在函数式中，它的变化绝不会引起竞争，可不考虑它的影响。

例7-2判断下列函数是香存在静态逻辑险象。

F=AB＋AC+AC

由该式可知,变量A和C均具备竞争条件。先来考虑A变化时是否会引起静态险象，为此将B、C的各种取值分别代入式中，得到表7.9所示结果。

这说明,在B=C=“0”条件下，A变化时将产生“1-0-1”型险象。用同样方法可判断出，C变化时虽存在竞争，但始终不会产生险象。

2卡诺图法。

由一个函数（或电路）所对应的卡诺图很容易判断该函数（或电路）是否存在静态逻辑险象。只要有两个卡诺圈相切，则当变量在两个卡诺圈搭接处发生变化时该电路必然存在路象，而两个卡诺圈交叠或相互错开,则不会产生险象。

③示波器法。

险象仅仅发生在输入信号变化瞬间，因而可以借助示波器，让待研究的输入变量处于变化之中,来观察是否有险象发生,具体方法如下。

将给定逻辑电路中某一具有竞争条件的变量用频率较高(>1MHz）的脉冲信号代替，而将其他变量接逻辑开关，然后在这些变量的各种取值下，用双踪示波器同时观察该脉冲信号及输出波形，就可看出该变量变化时，输出波形有无毛刺产生。对每一个具有竞争条件的变量逐一测试，就可较快确定该逻辑电路实际上是否存在险象、险象类型以及出现的条件。

以例7-2为例。

F=AC+ AB+AC

由前面的分析已知，A、C是具有竞争条件的变量。先在该电路A端送1MHz脉冲信号,B，C接逻辑开关，在BC分别为“00"“01"“10”“11”的情况下观察输出波形有无毛刺:再将测试脉冲移到C端，在AB分别为“00”“01”“10”“11”的情况观察输出波形，结果是,在BC=“00”且A由“1”变为“0”时产生“1-0-1”型险象。

至于动态逻辑险象，它的判断不像静态逻辑那样一目了然，只能针对某种转换进行具体分析。消除动态逻辑险象也比较困难。在实验中，我们可用上述示波器法来判断动态逻辑险象

（3）组合逻辑电路中的功能险象

若组合逻辑电路中有两个或两个以上输入变量同时发生变化，由于可能经历不同变化途径而产生的险象称为功能险象。类似逻辑险象，它也分为静态功能险象和动态功能险象。

对图7.37所示电路来说，当ABCD由“0001”变到“0111”时，由于变量B,C不可能绝对同时变化，若C先由“0”变为“1”，有卡诺图可见，这时F的变化为“1-0-1”，产生静态功能险象。而当ABCD由“1100”变到“1011”时，如途径是“1100”→“1101” →“1111”→“1011”，则F的变化为“1→0→1→0”出现动态功能险象。

由上面的功能分析以见，这类险象是由电路的逻辑功能决定的，所以称为功能险象。无论是静态功能网功能险象还是动态功能险象都可由卡诺图来判断。

(4）险象的消除方法

险象对数字系统带来的危害视它的负载电路性质而定。如果负载是组合电路或惯性大的仪表，则影响不大;如果负载是时序电路，而且毛刺的宽度等于或大于后级的响应时间,则会使时序电路中的触发器错误动作。显然该情况下险象是有害的。

险象的消除有以下几种方法。

1修改逻辑设计。

要消除逻辑险象，可在原函数中加上多余项或乘上多余因子（对或与表达式)，也就是在卡诺图中，用一个多余圈将两个相切的卡诺圈连接起来，或将卡诺图重圈，避免相切。其目的是使F不再可能化为（A+A）或A·A的形式，从而消除逻辑险象。

可以证明，添加多余项后，原来的险象消除了，但增加了设备量。

②加滤波电路。

在对输出波形要求不高的情况下，可在输出端加一个RC积分器（低通滤波器）或直接加滤波电容，适当选取R、C值将毛刺压抑在电路正常工作的允许范围内，从而消除毛刺对后级工作的影响，如图7.38所示。

③加取样脉冲。

由上面的分析可知，险象仅发生在输入信号变化的瞬间。因此，在组合电路输出门的一个输入端加一个取样脉冲，就可以有效地消除任何险象。取样脉冲的出现时间一定要与输入信号的变化时间错开，这样，取样就能正确反映组合电路的输出值，如图7.39所示。必须指出，加取样脉冲后,输出将不是电位信号，而是脉冲n 二NT信号。

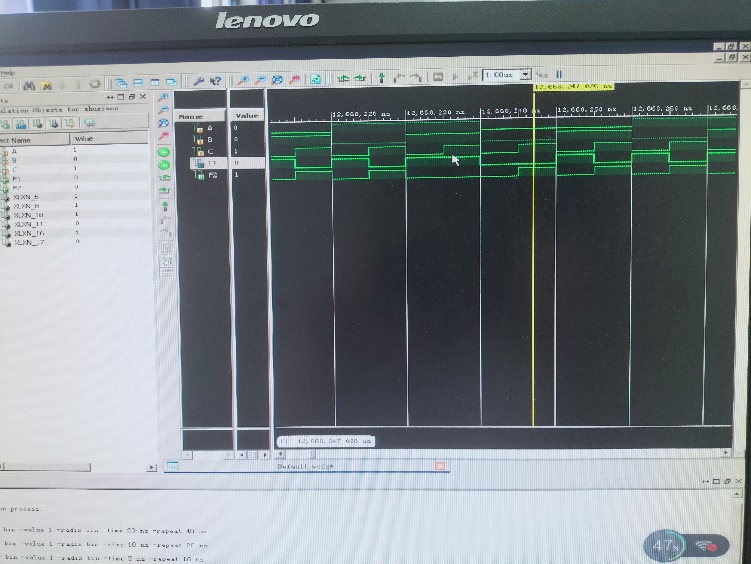
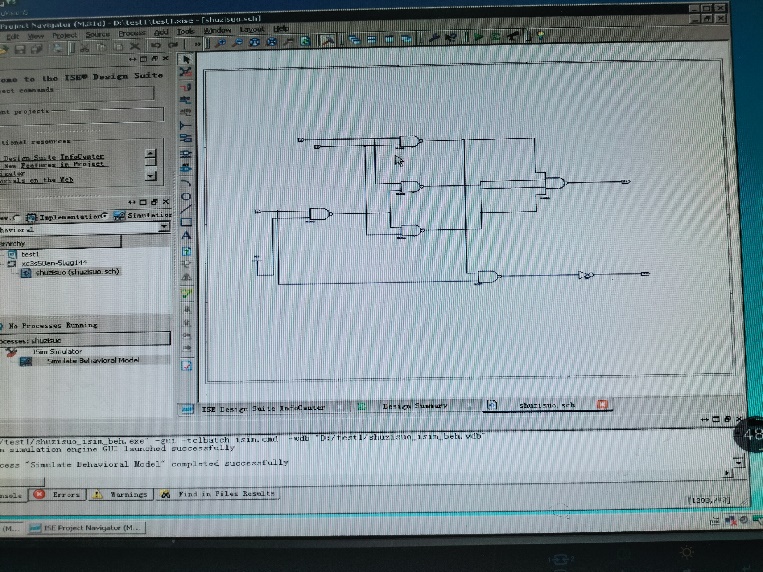
至于功能险象，由于它是几个输入变量的变化存在时差引起的,因而难于在逻辑设计时设法避免，通常采用脉冲取样法或加接滤波电路来消除。

## 实验步骤

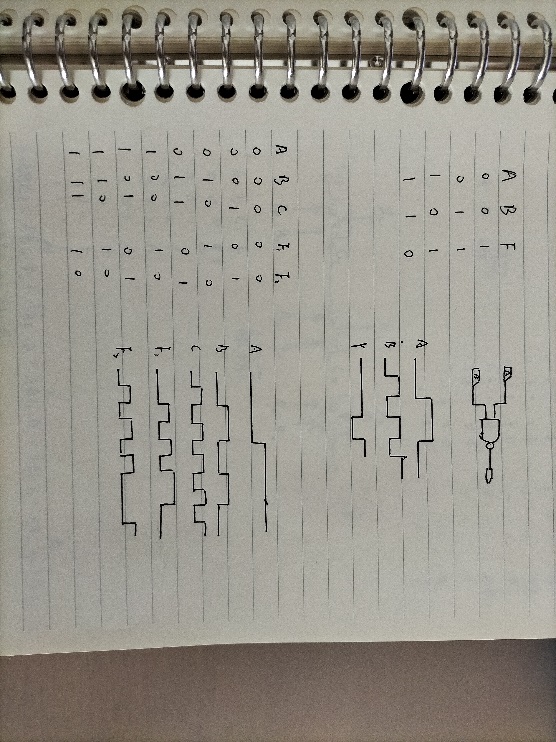
1. 打开软件ise14.7
2. 新建一个项目，按照已经画好的电路搭建一遍
3. 进行模拟，得到波形图
4. 将程序写好之后下载到实验箱，进行验证，是否和真值表上的结果相同，如果相同，则实验成功。

## 实验电路图

数字锁



真值表和波形图



## 实验数据分析和实验结果

结果和真值表一致，说明实验成功，波形图也和模拟出来的一样