

第 3 章 系统总线

3.1 总线的基本概念

3.2 总线的分类

3.3 总线特性及性能指标

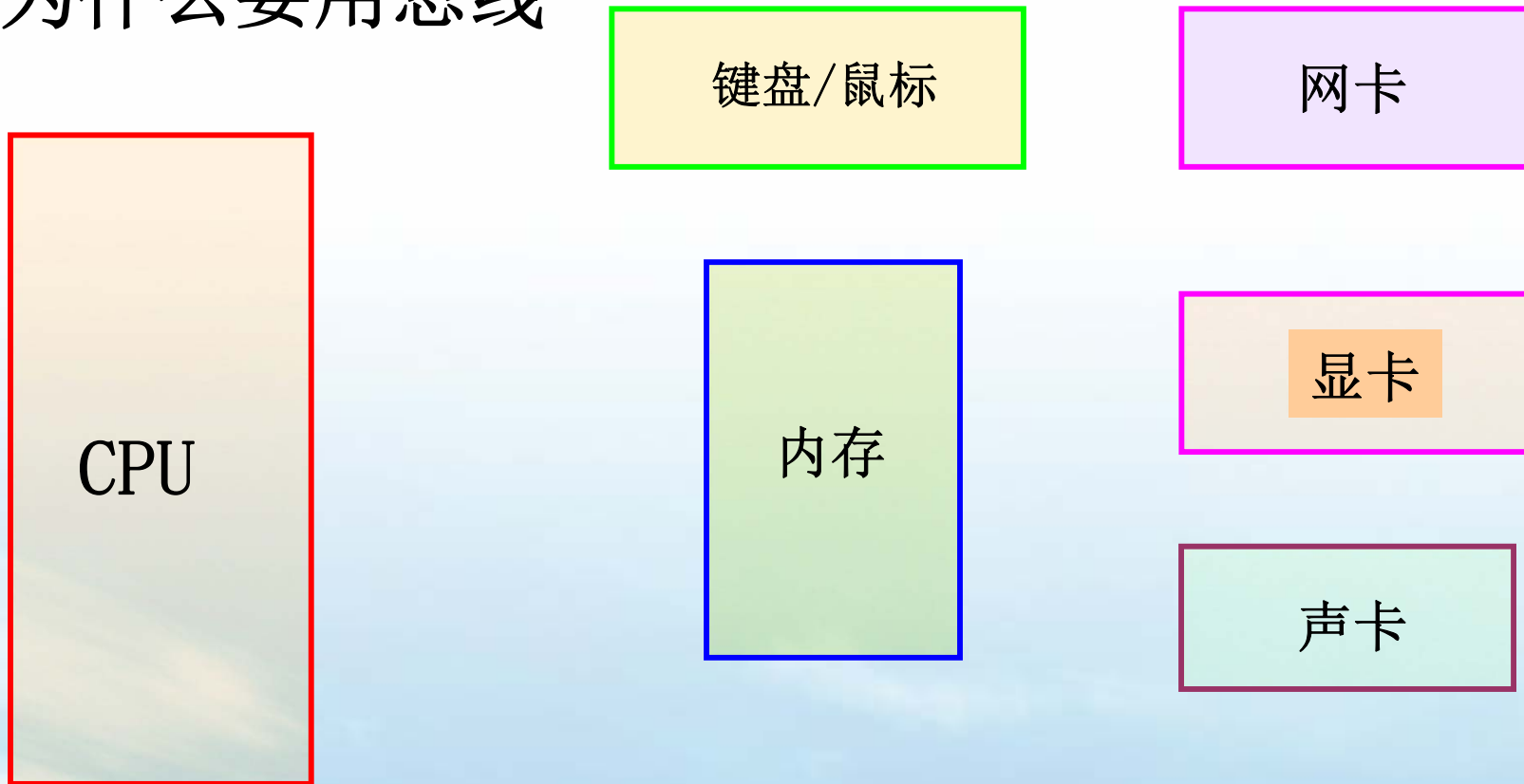
3.4 总线结构

3.5 总线控制



3.1 总线的基本概念

一、为什么要用总线



思考：

(1) 这些部件如何进行连接呢？

(2) 如果其中的某些部件损坏了，买来新的能否兼容呢？

3.1 总线的基本概念

二、基本概念

1. 总线（BUS）：是计算机系统中各部件之间的公共的信息传递通道。
是各个部件共享的传输介质。

2. 基本功能：借助于总线，计算机在各系统功能部件之间实现的交换，并在争用资源的基础上进行工作。

地址信息

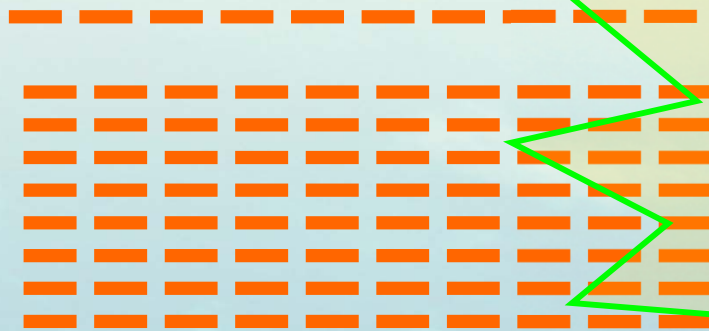
数据信息

控制信息

3. 总线上信息的传送

(1) 串行(一根线)

(2) 并行（多根线）



通过总线，计算机各部件间进行各种数据和命令的传送！

4. 基本特性：任一时刻，只能有一个方向的信息流动，不允许有相向行为。

即可以

一发一收

一发多收

, 不可以

多发一收

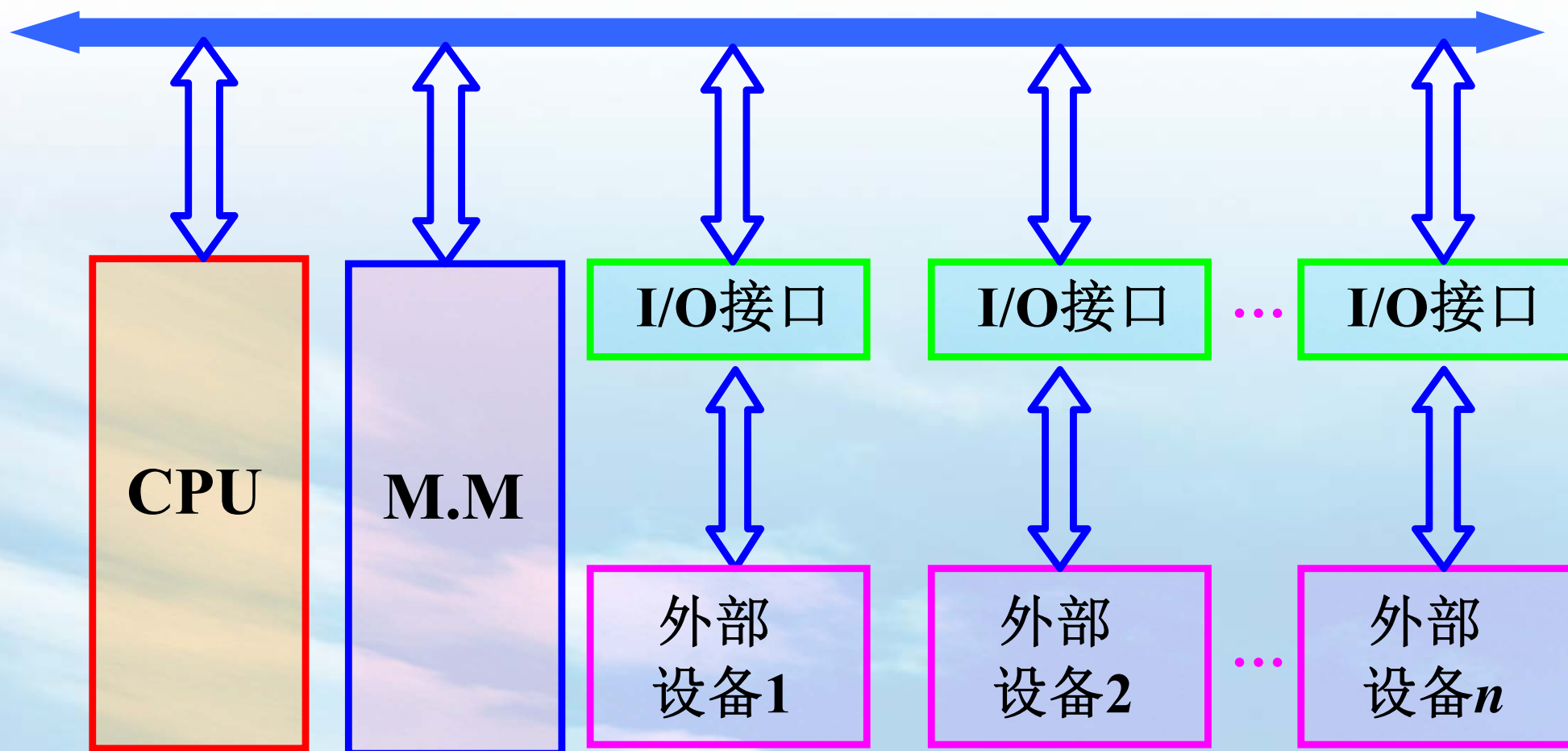
多发多收

3.1 总线的基本概念

三、总线举例

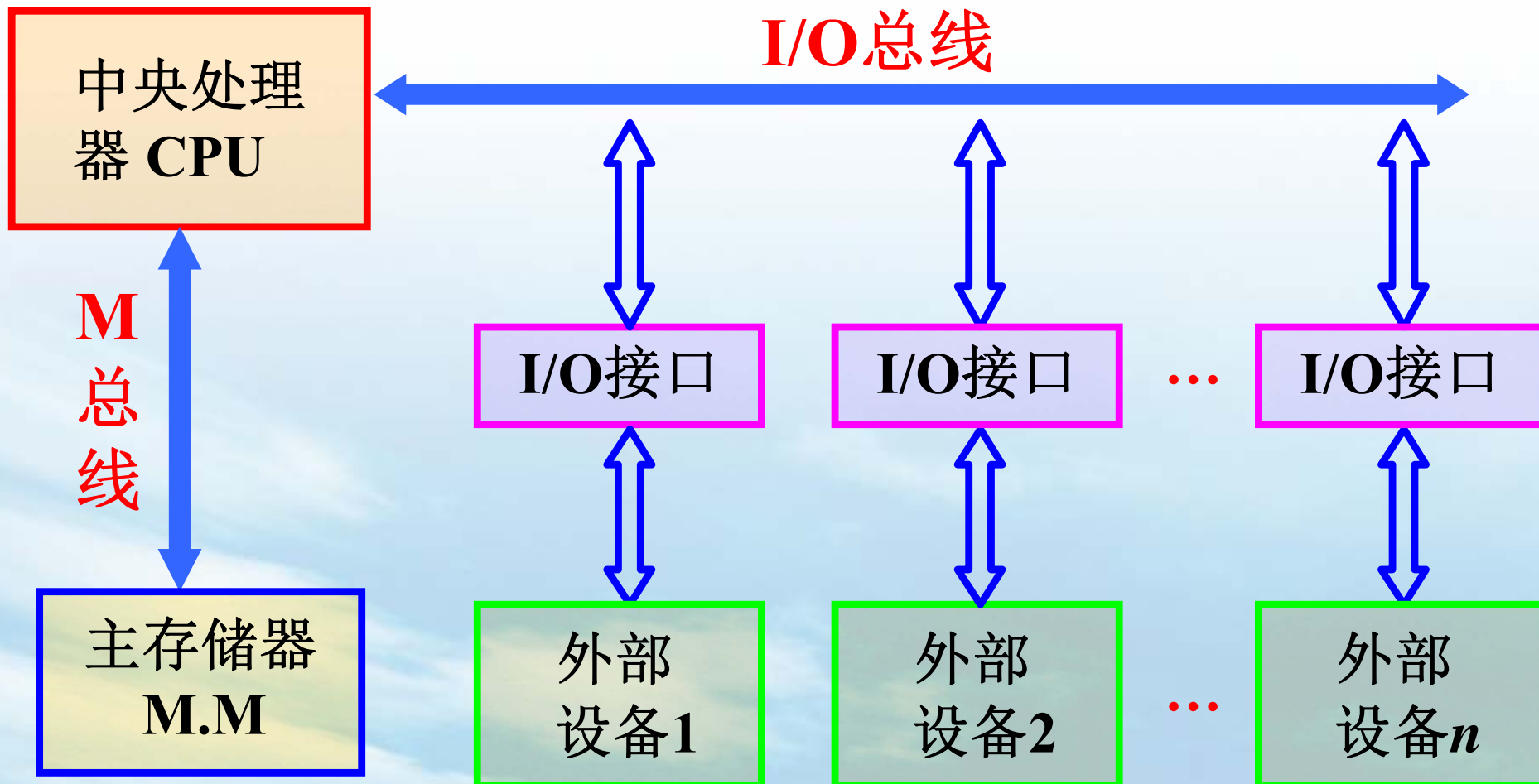
1. 单总线结构框图

单总线（系统总线）



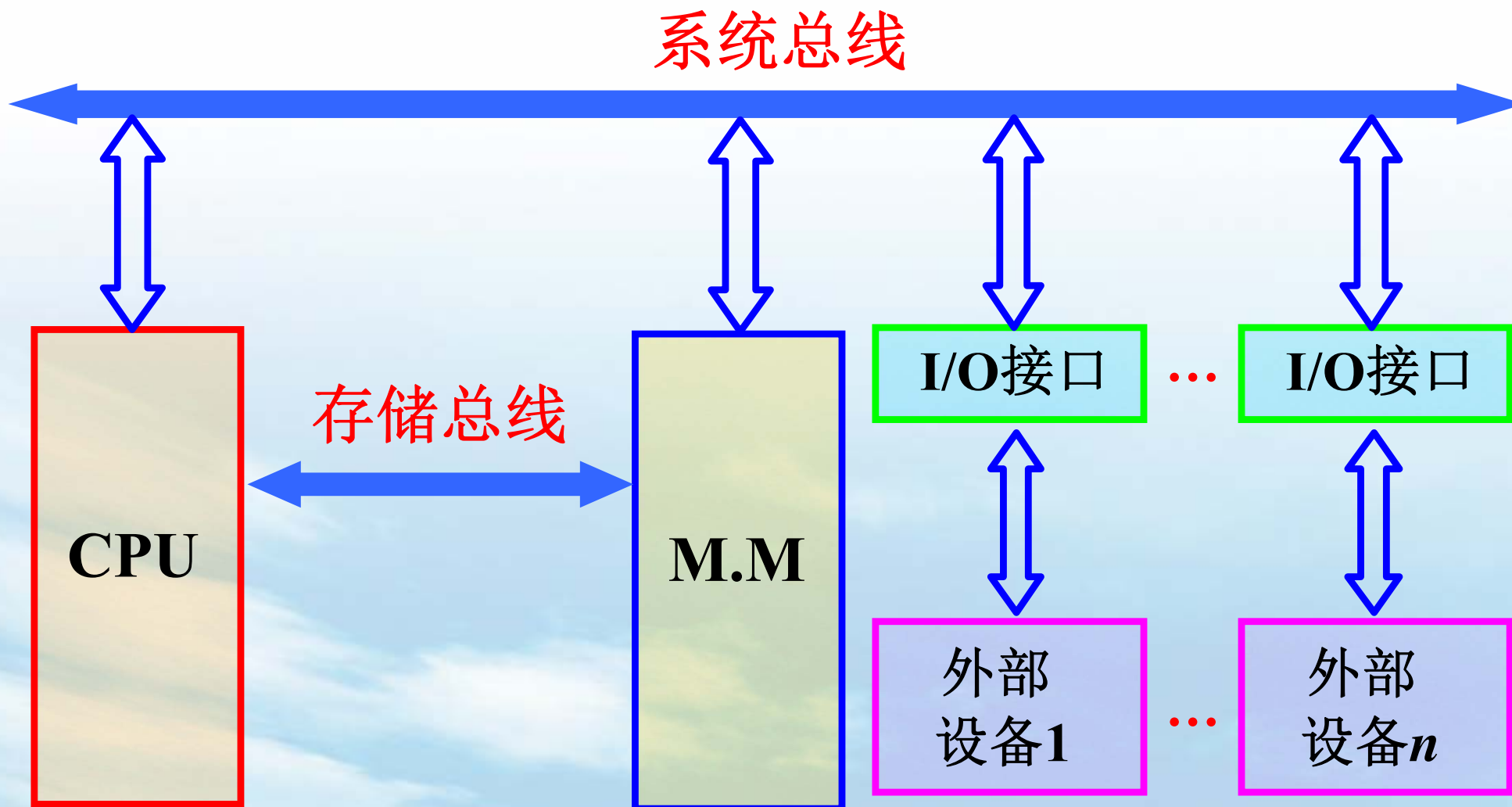
3.1 总线的基本概念

2. 面向 CPU 的双总线结构框图



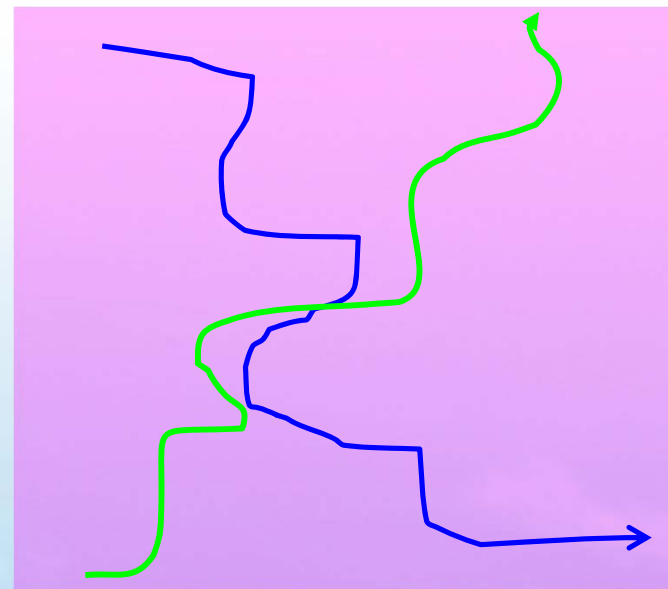
3.1 总线的基本概念

3. 以存储器为中心的双总线结构框图



3.2 总线的分类

1. 片内总线： 它位于微处理器芯片内部，故称为**芯片内部总线**。用于微处理器内部**ALU**和各种寄存器等部件间的互连及信息传送。



CPU

片内总线结构分为

单总线

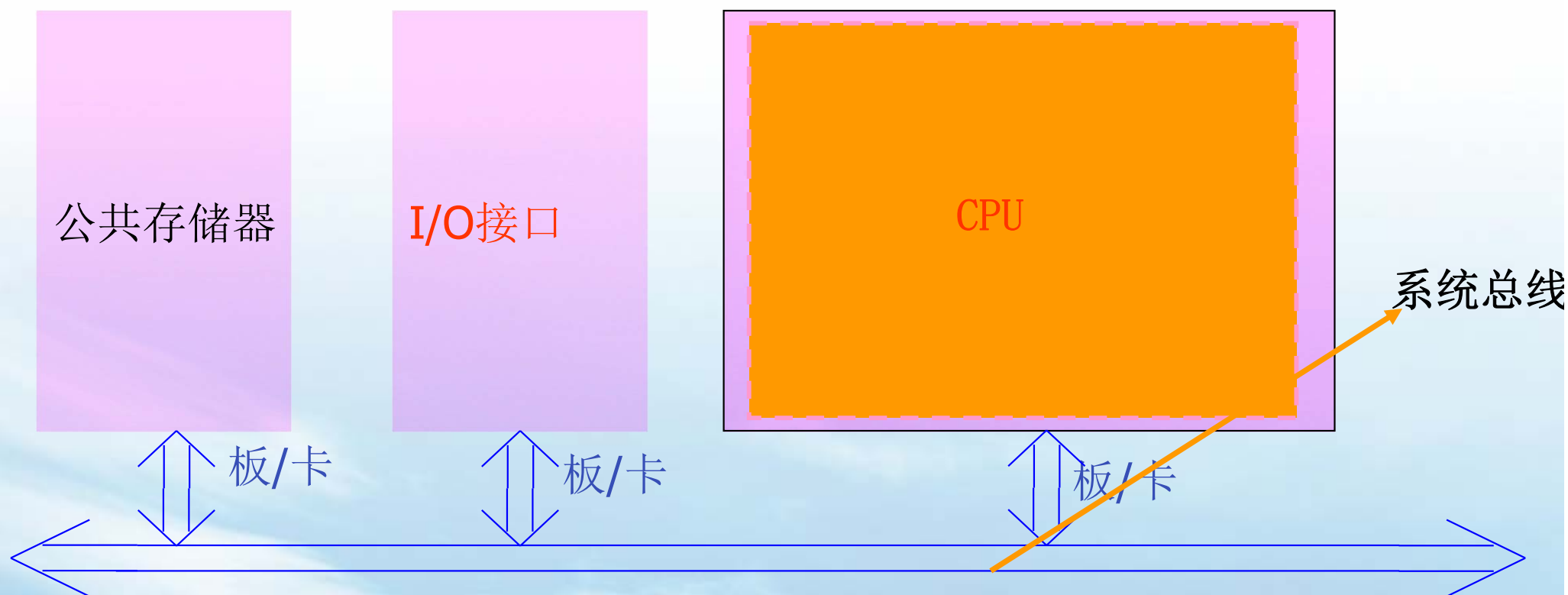
双总线

三总线

特点：芯片生产厂家决定。用户看不见，摸不到，掌控不了。速度极快，几乎不需要时间来衡量。

3.2 总线的分类

2. 系统总线 计算机各部件（CPU、内存、I/O接口）之间 的信息传输线。

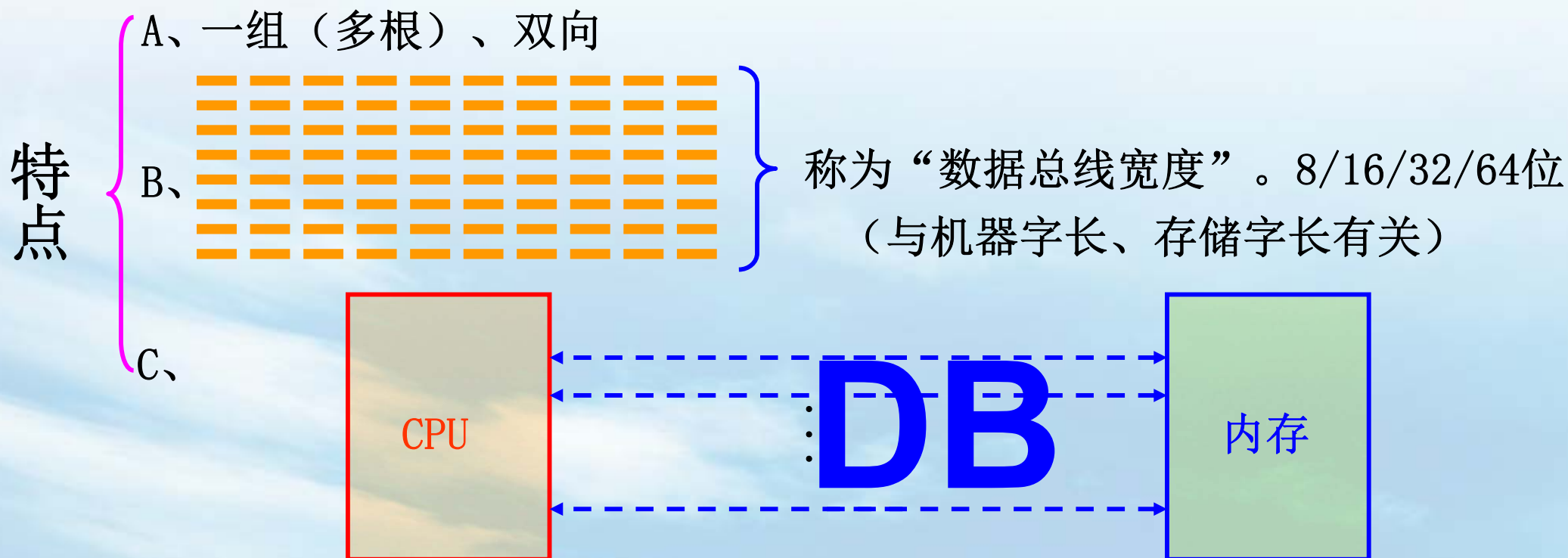


注：系统总线上传送的信息包括数据信息、地址信息、控制信息，因此，系统总线包含有三种不同功能的总线，即数据总线**DB (Data Bus)**、地址总线**AB (Address Bus)** 和控制总线**CB (Control Bus)**。

3.2 总线的分类

2. 系统总线

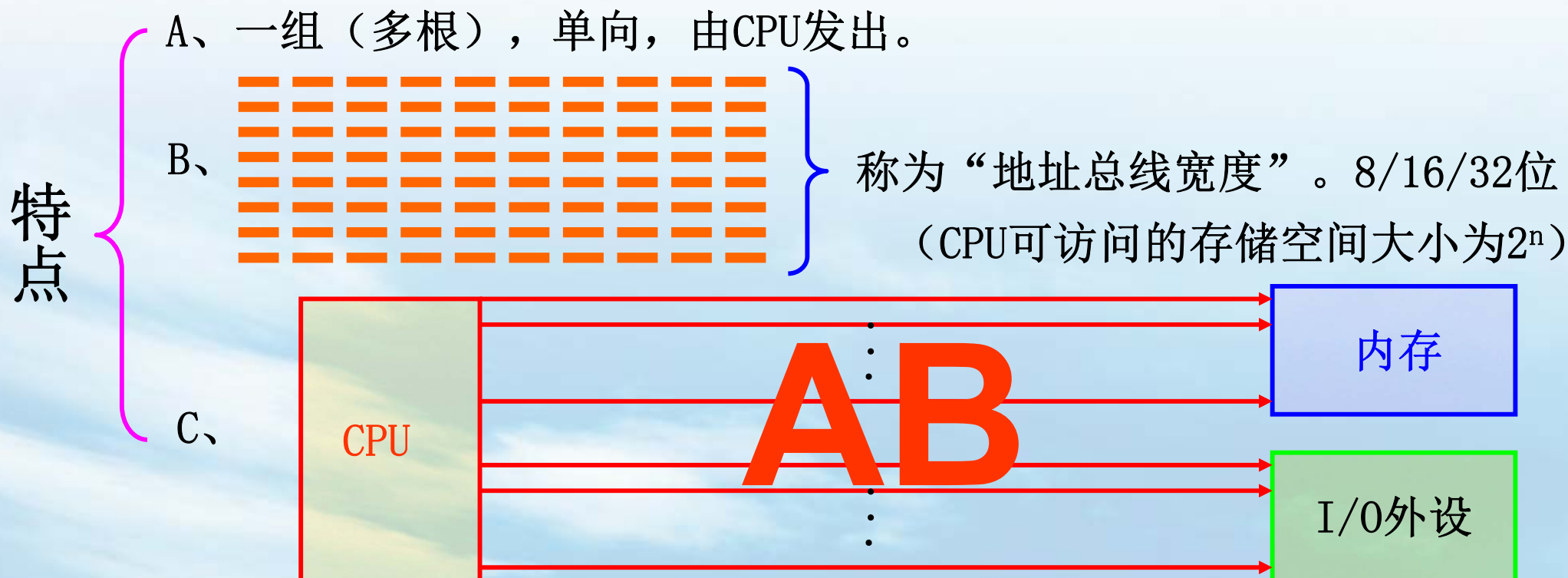
(1) 数据总线DB：用来传输各个部件之间的数据信息。



3.2 总线的分类

2. 系统总线

(2) 地址总线AB：一组用来指出数据总线上的数据所对应的内存单元地址或 I / O 外设地址的总线。



3.2 总线的分类

2. 系统总线

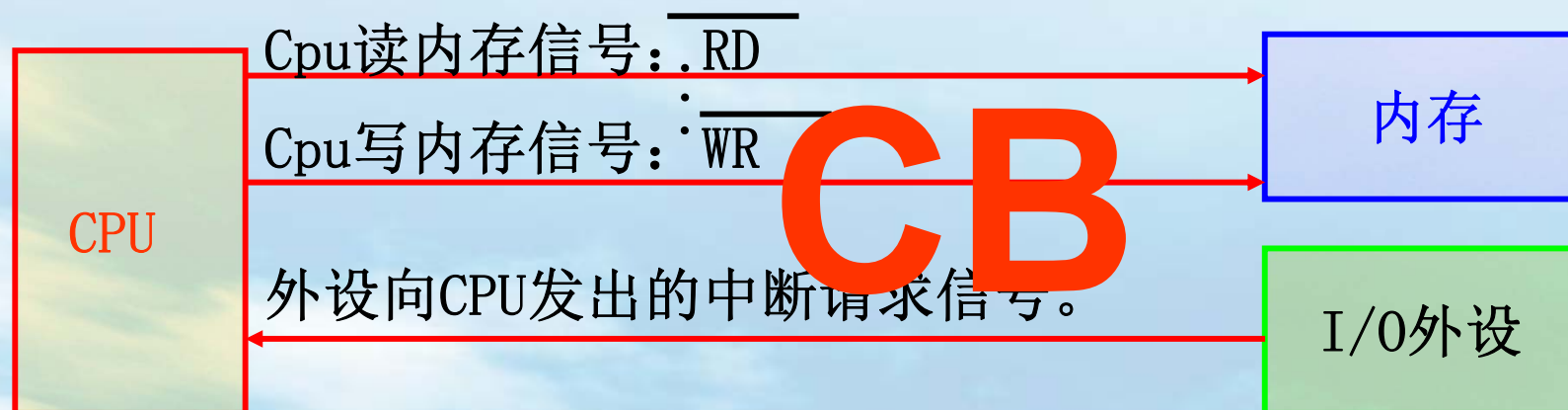
(3) 控制总线CB: 各个功能部件之间相互协调工作的控制信号的传输线。

特点

A、一根/多根，单向。

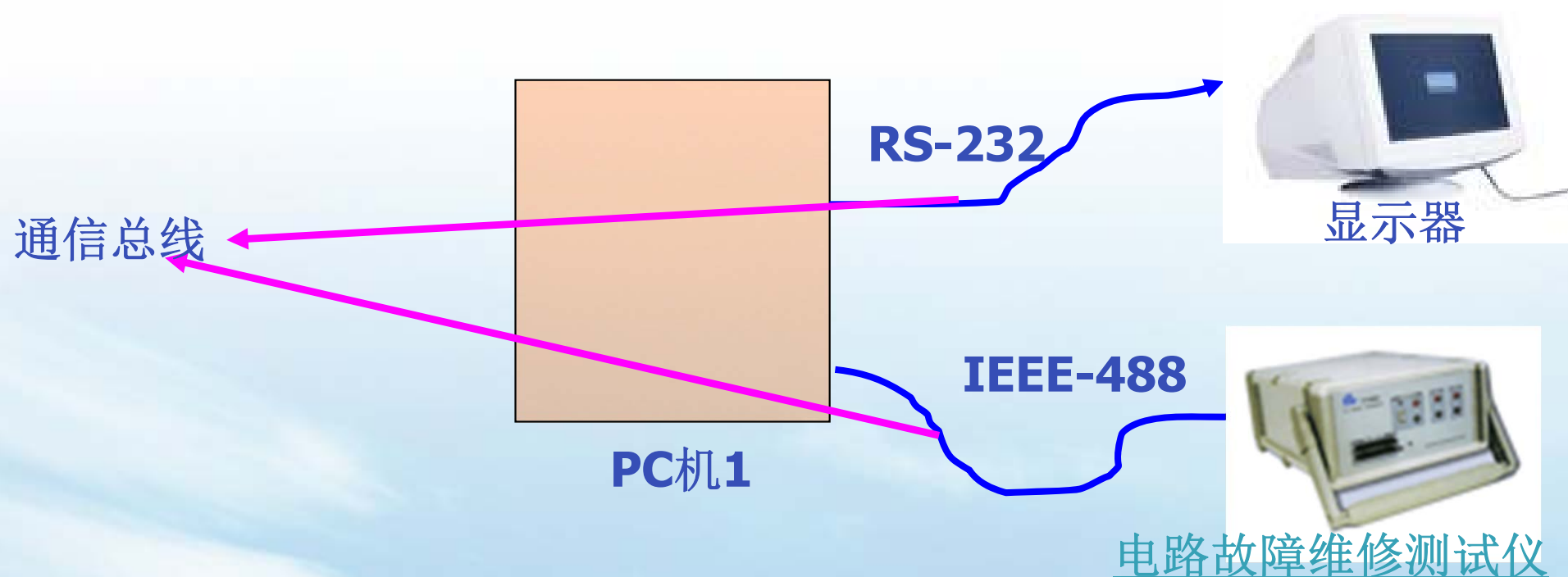
B、可由CPU发出，也可以由其他部件发出。

C、



3.2 总线的分类

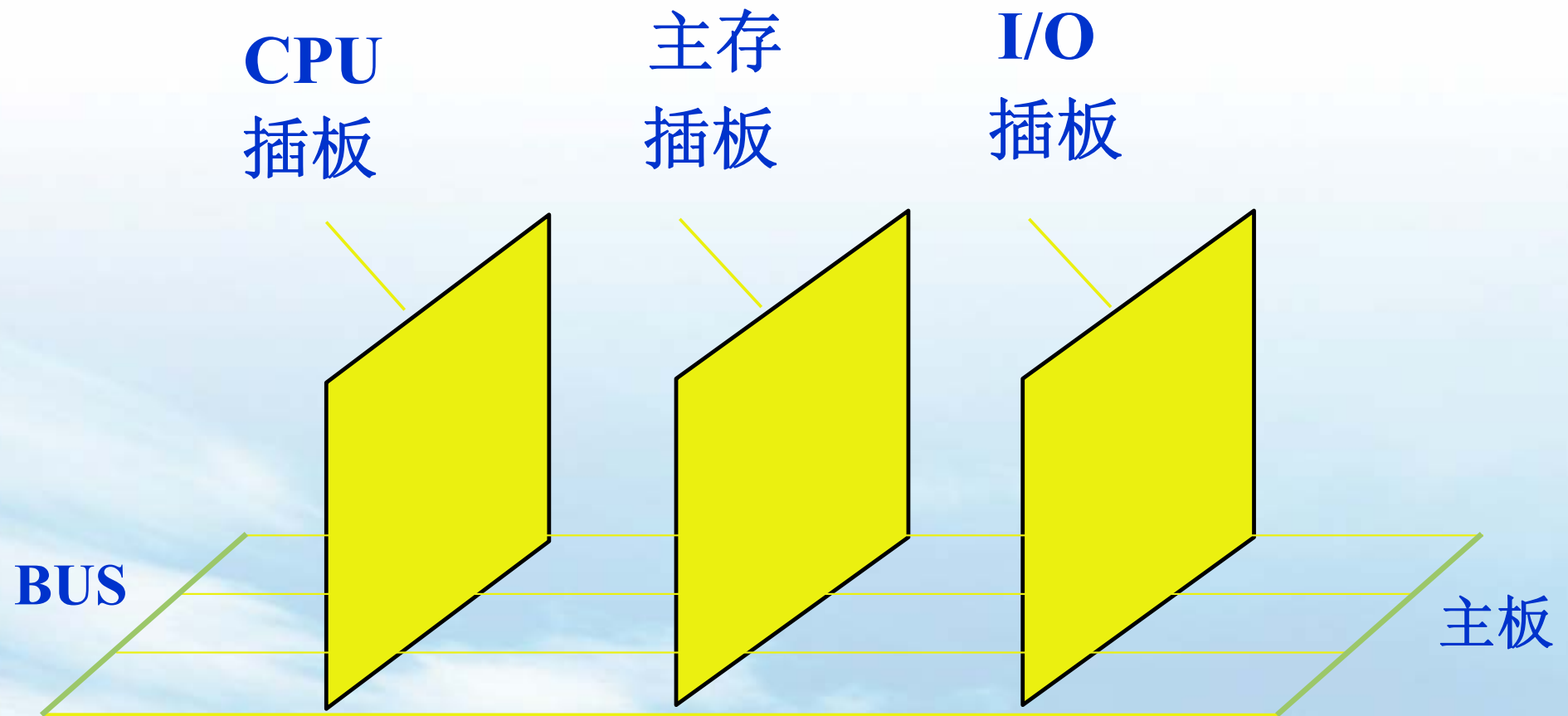
3.通信总线： 也称**外总线**。用于两个系统之间的连接与通信，如两台微机系统之间、微机系统与其他电子仪器或电子设备之间的通信。



常用的通信总线有**IEEE-488**总线，**VXI**总线和**RS-232**串行总线等。外总线不是微机系统本身固有的，只有微型机应用系统中才有。

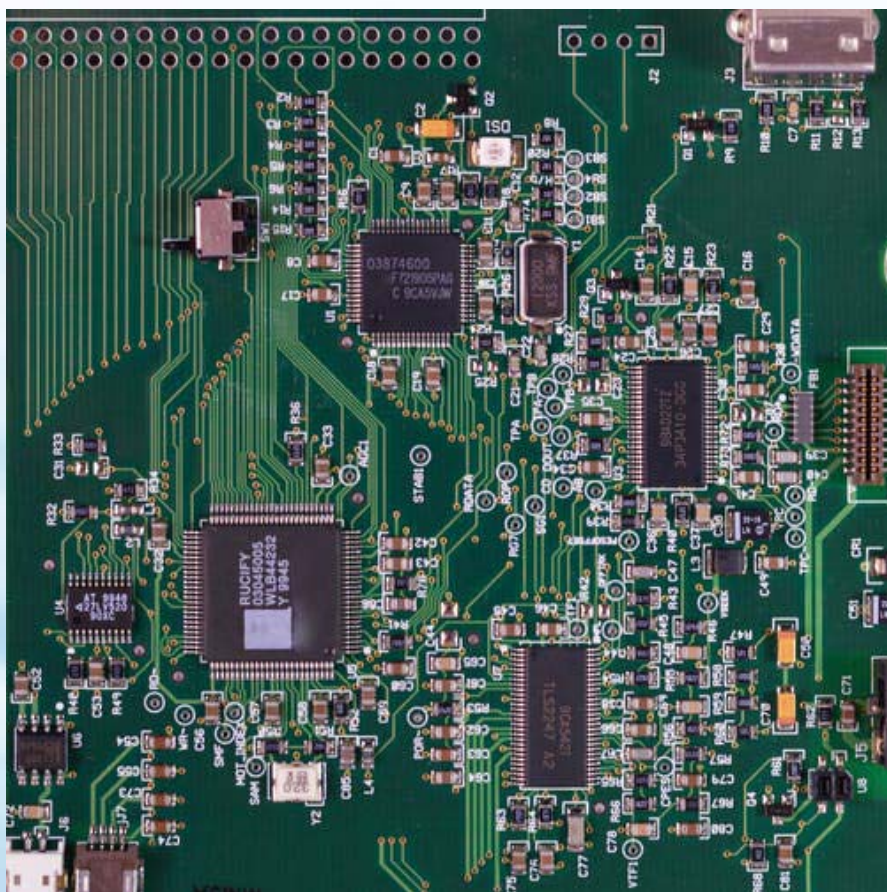
3.3 总线特性及性能指标

一、总线物理实现



3.3 总线特性及性能指标

一、总线物理实现



3.3 总线特性及性能指标

二、总线的基本特性

1. 机械特性 总线在机械连接方面的性能。引脚个数、形状、几何尺寸等。

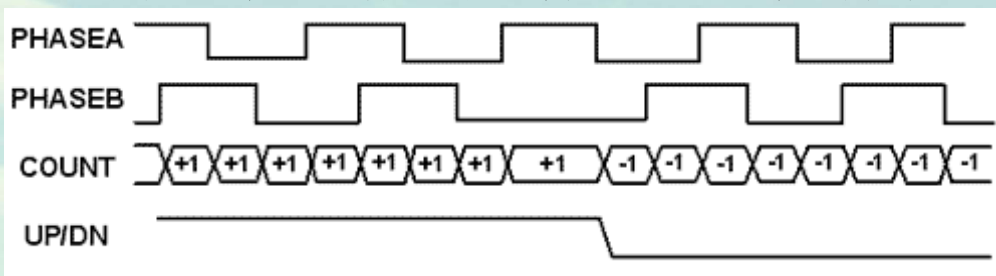


2. 电气特性：总线上的每一根传输线上信号的传递方向和有效的电平范围。



3. 功能特性：总线中每根传输线的功能。

4. 时间特性：总线中的任一根线在什么时间内有效。



时序图

3.3 总线特性及性能指标

三、总线的性能指标

评价总线
性能的优劣

1、总线宽度：主要是指数据总线的数目。

如4/8/16/32/64位。直接影响总线的传输率（吞吐量）。

◆ 一次操作可以传输的数据位数。

S100为8位

ISA为16位

EISA为32位

PCI-2可达64位

规律：总线宽度不会超过微处理器外部数据总线的宽度。

2、标准传输率（总线带宽）：总线上每秒钟能传输的最大字节量。以MB/S表示。

精髓：总线本身所能达到的最高传送速率。

例如：

总线时钟为8.33MHz，则16位总线标准传输率为 $8.33\text{MHz} \times 2\text{B} = 16.66\text{MB/s}$

3.3 总线特性及性能指标

三、总线的性能指标

3、总线定时协议（握手机制）

依据数据传输采用何种时钟控制，可分为

同步

异步

半同步

分离式

待讲……

4、总线复用

物理线路是一组，功能上地址线与数据线复用——分时复用。

5、信号线数

地址线、数据线和控制线三种总线数的总和。

重在
理解

6、总线控制方式

并发工作、自动配置、仲裁方式、逻辑方式、计数方式。

7、其他指标

如负载能力、电源电压、能否扩展等。

3.3 总线特性及性能指标

四、总线标准

总线标准

- ISA
- EISA
- VESA(LV-BUS)
- PCI
- AGP
- RS-232
- USB

3.3 总线特性及性能指标

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz（独立）	33 MBps
EISA	32	8 MHz（独立）	33 MBps
VESA (VL-BUS)	32	32 MHz（CPU）	133 MBps
PCI	32	33 MHz（独立）	132 MBps
	64	64 MHz（独立）	528 MBps
AGP	32	66.7 MHz（独立）	266 MBps
		133 MHz（独立）	533 MBps
RS-232	串行通信 总线标准	数据终端设备（计算机）和数据通信设备（调制解调器）之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线 带屏蔽双绞线 最高	1.5 Mbps (USB1.0) 12 Mbps (USB1.0) 480 Mbps (USB2.0)

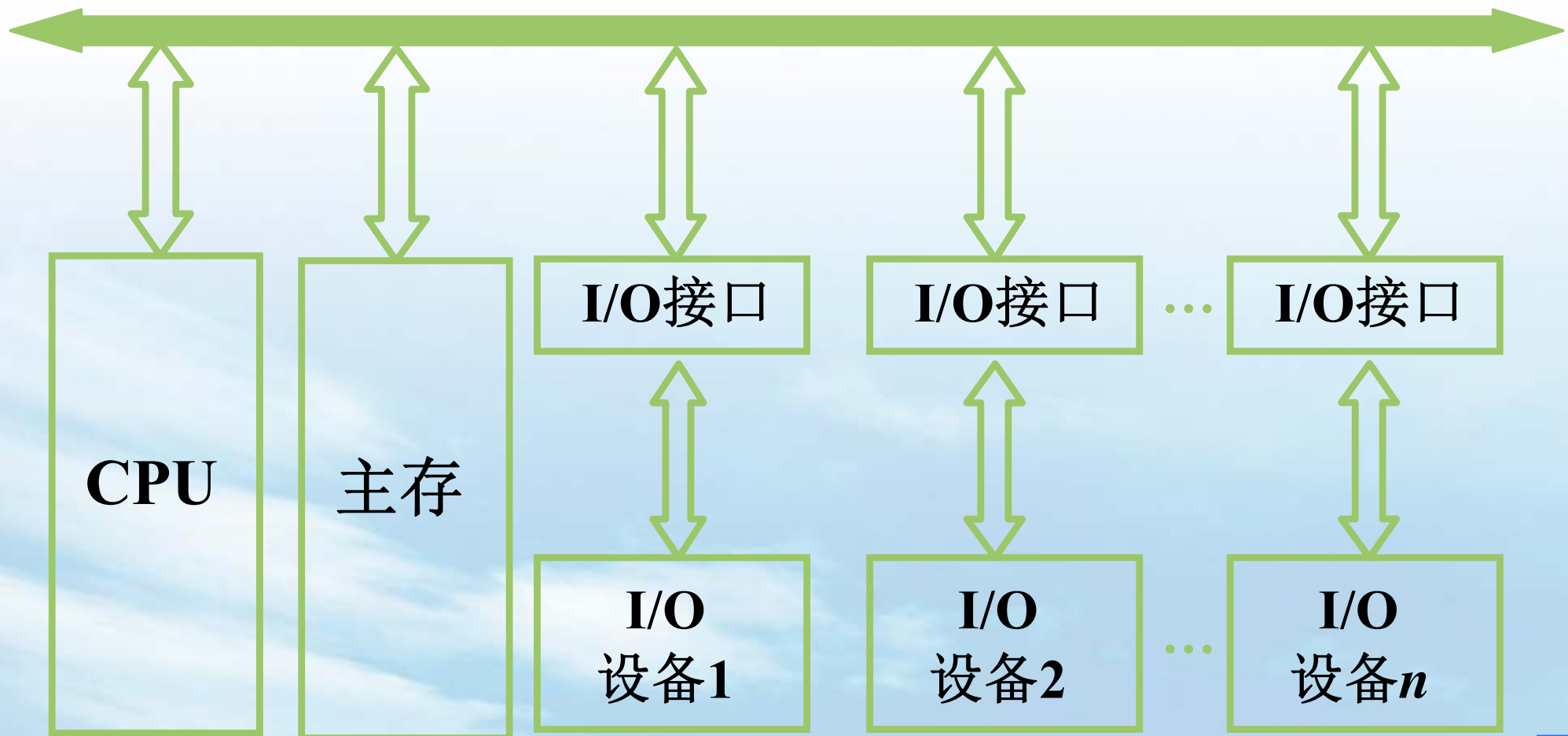
四、总线标准



3.4 总线结构

一、单总线结构

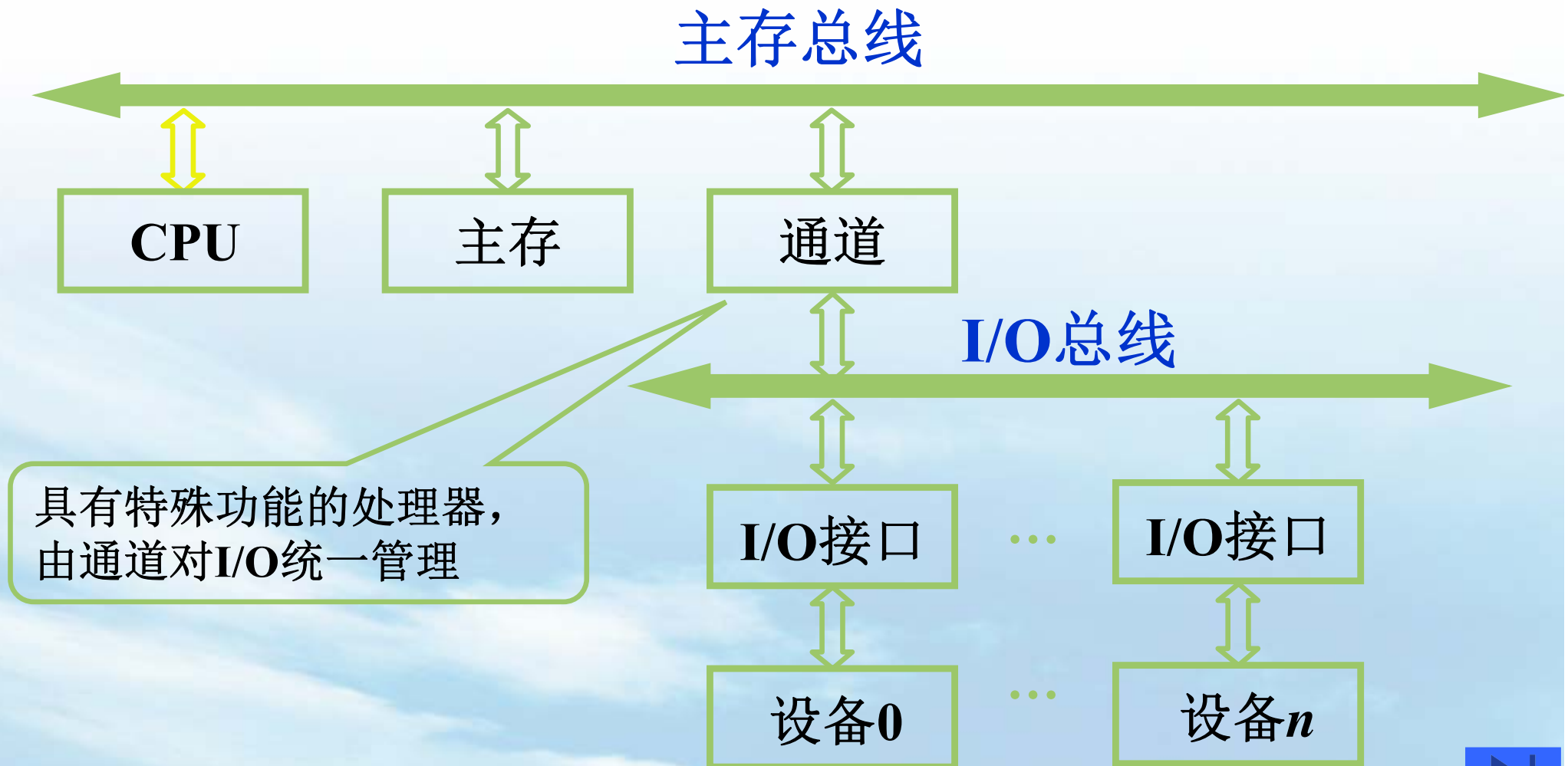
单总线（系统总线）



3.4 总线结构

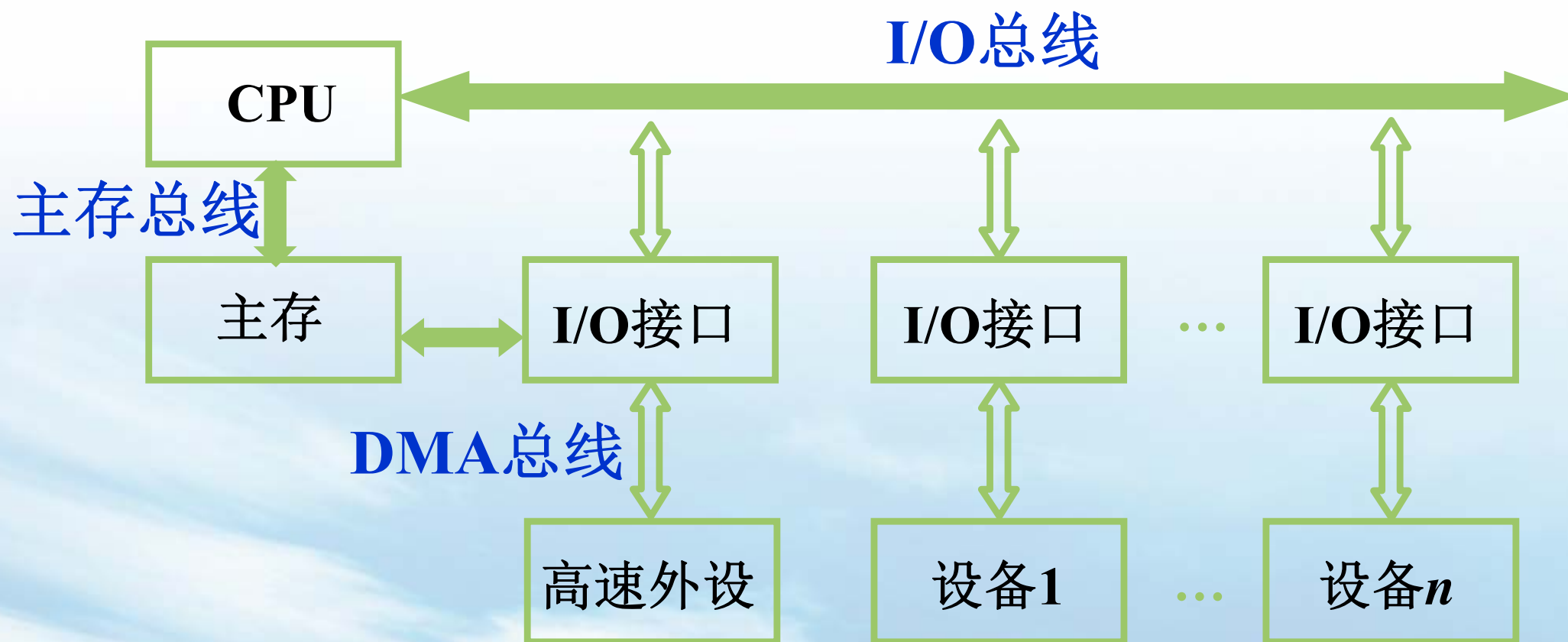
二、多总线结构

1. 双总线结构



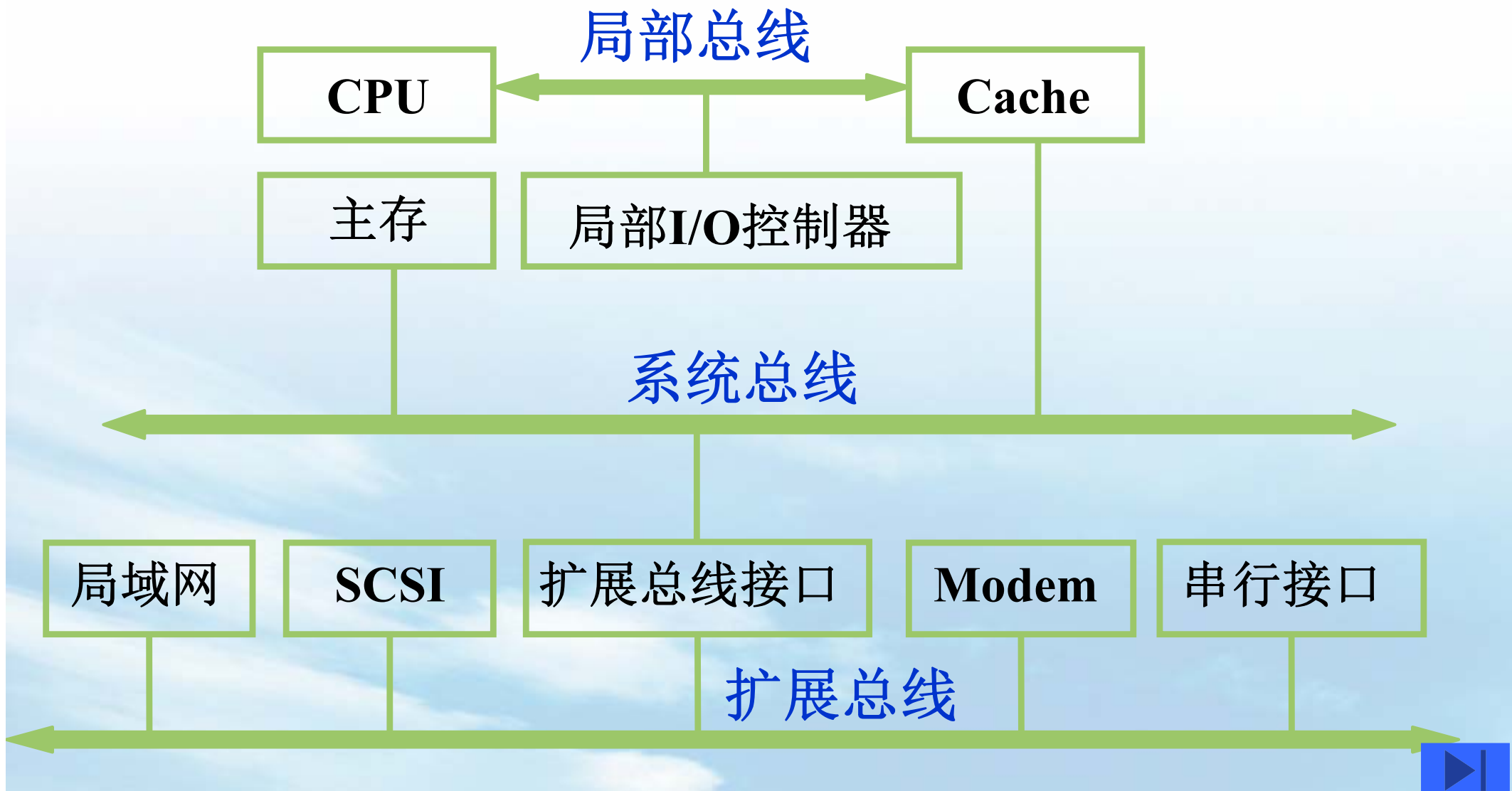
3.4 总线结构

2. 三总线结构



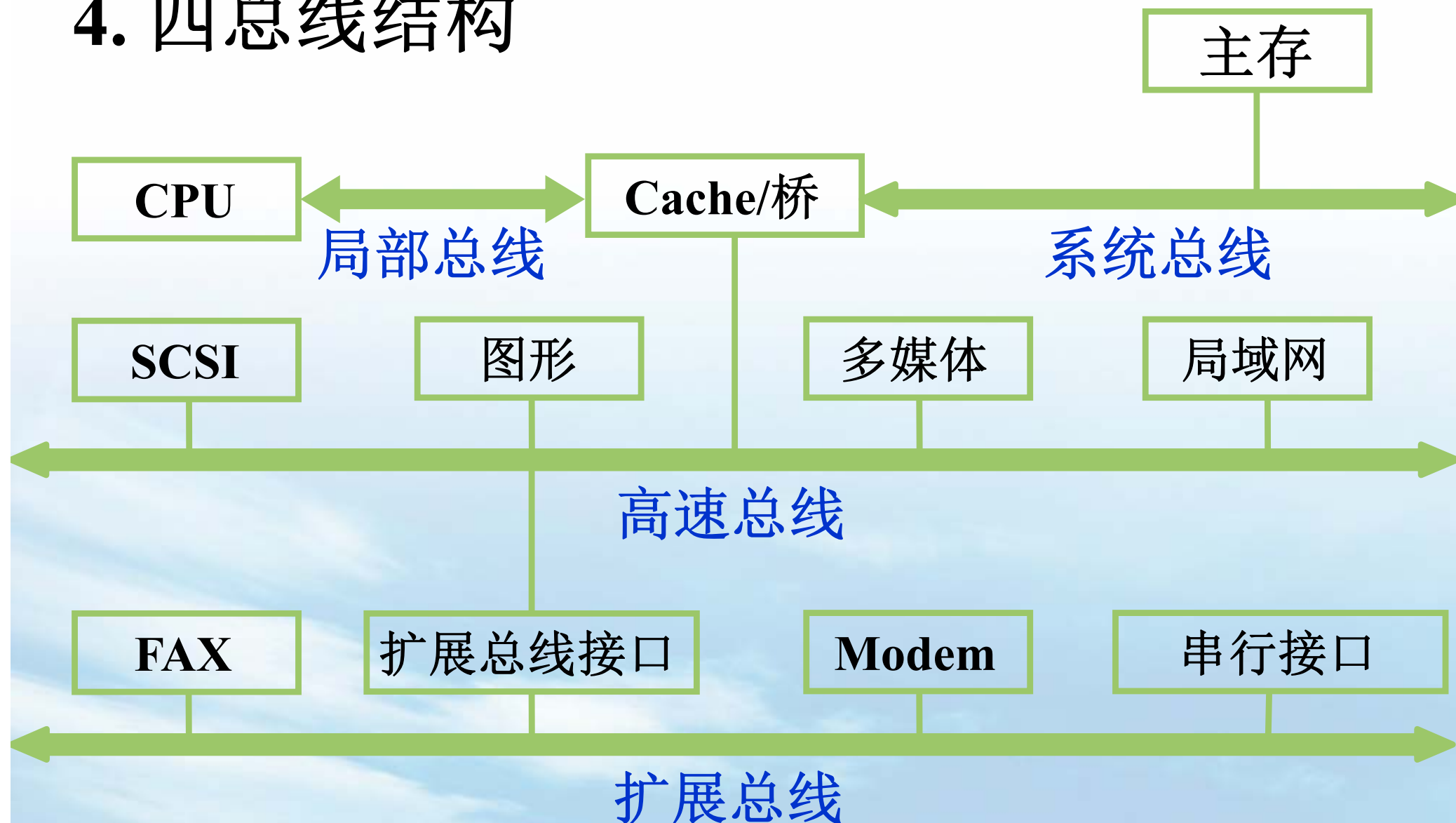
3.4 总线结构

3. 三总线结构的又一形式



3.4 总线结构

4. 四总线结构



3.4 总线结构

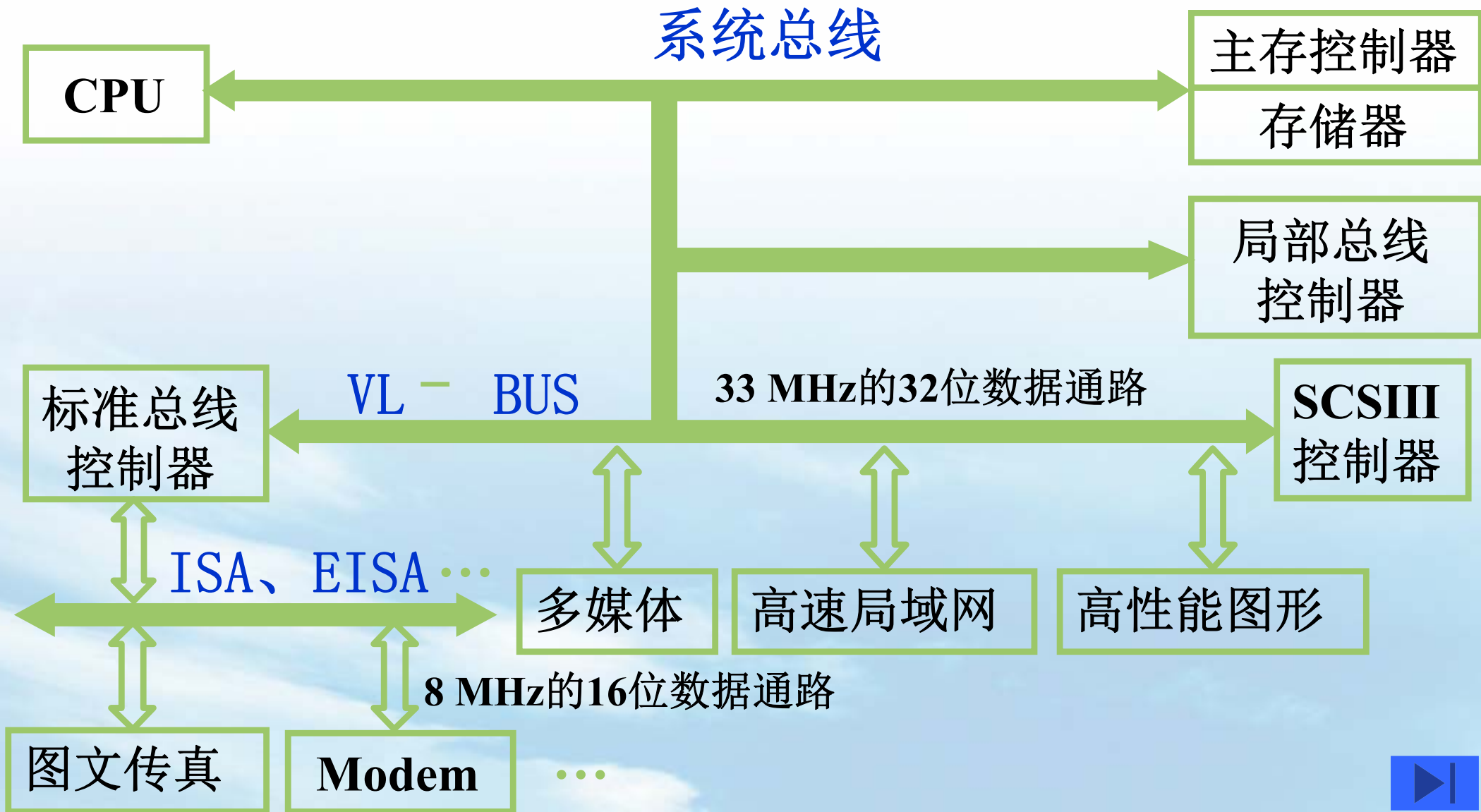
三、总线结构举例(自学)

1. 传统微型机总线结构



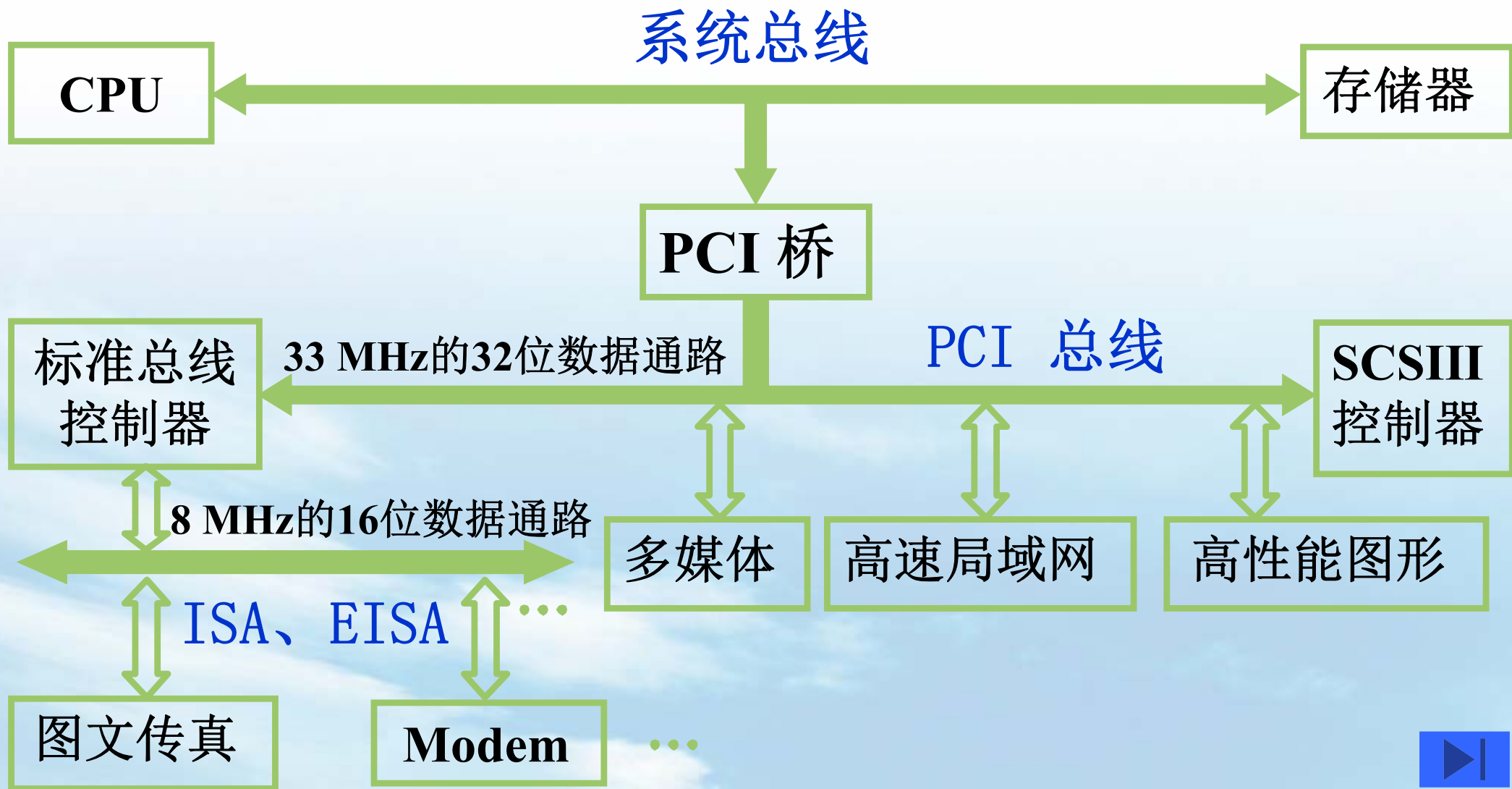
3.4 总线结构

2. VL-BUS局部总线结构

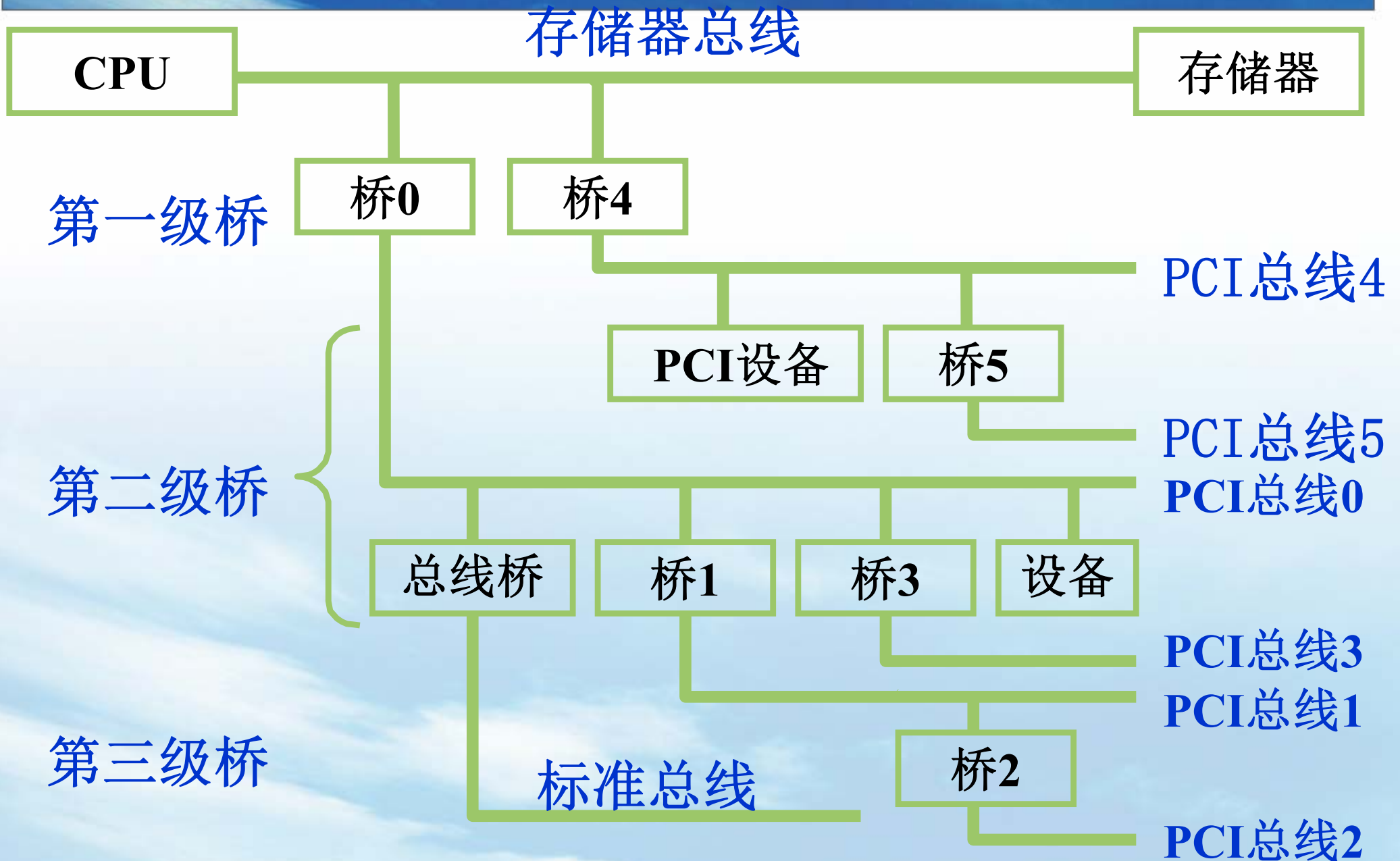


3.4 总线结构

3. PCI 总线结构



4. 多层 PCI 总线结构



3.5 总线控制

一、总线控制的功能和特点

总线控制：就是管理总线的使用，包括总线上设备的管理和设备使用总线的过程管理。具体功能如下：

总线控制 {

- 总线资源的管理** {
 - 资源：存储空间、I/O空间、中断、通道
 - 管理：资源分配、冲突判定、设备选择、启动、复位
- 总线仲裁（判优控制）**
- 总线定时（通信控制）**
- 总线连接：**实现不同总线协议之间的转换。

特点： {

- (1) 总线控制的功能由总线控制器来完成。包括 {
 - 判优控制（仲裁逻辑）
 - 通信控制
- (2) 总线控制器在实现技术上并不一定存在一个独立的控制器模块。
它的功能可能分布在总线的各个部件或设备上。

3.5 总线控制

二、总线判优控制

1. 总线上的设备分类

- ☆ 控制能力
- (1) 总线主设备：对总线具有控制权，信息传送的发起者。
 - (2) 总线从设备：没有总线控制权，只能响应从主设备发来的总线命令

2. 总线仲裁

当多个总线主设备同时发出总线请求时，就会出现竞争总线控制权的问题，故必须要有总线仲裁部件，以某种方式选择其中一个主设备作为总线的下一次主使用方。

根据总线仲裁电路的位置不同，仲裁方式

集中式仲裁：仲裁逻辑电路集中在一处。

分布式仲裁：仲裁逻辑分布在多个部件或设备上。

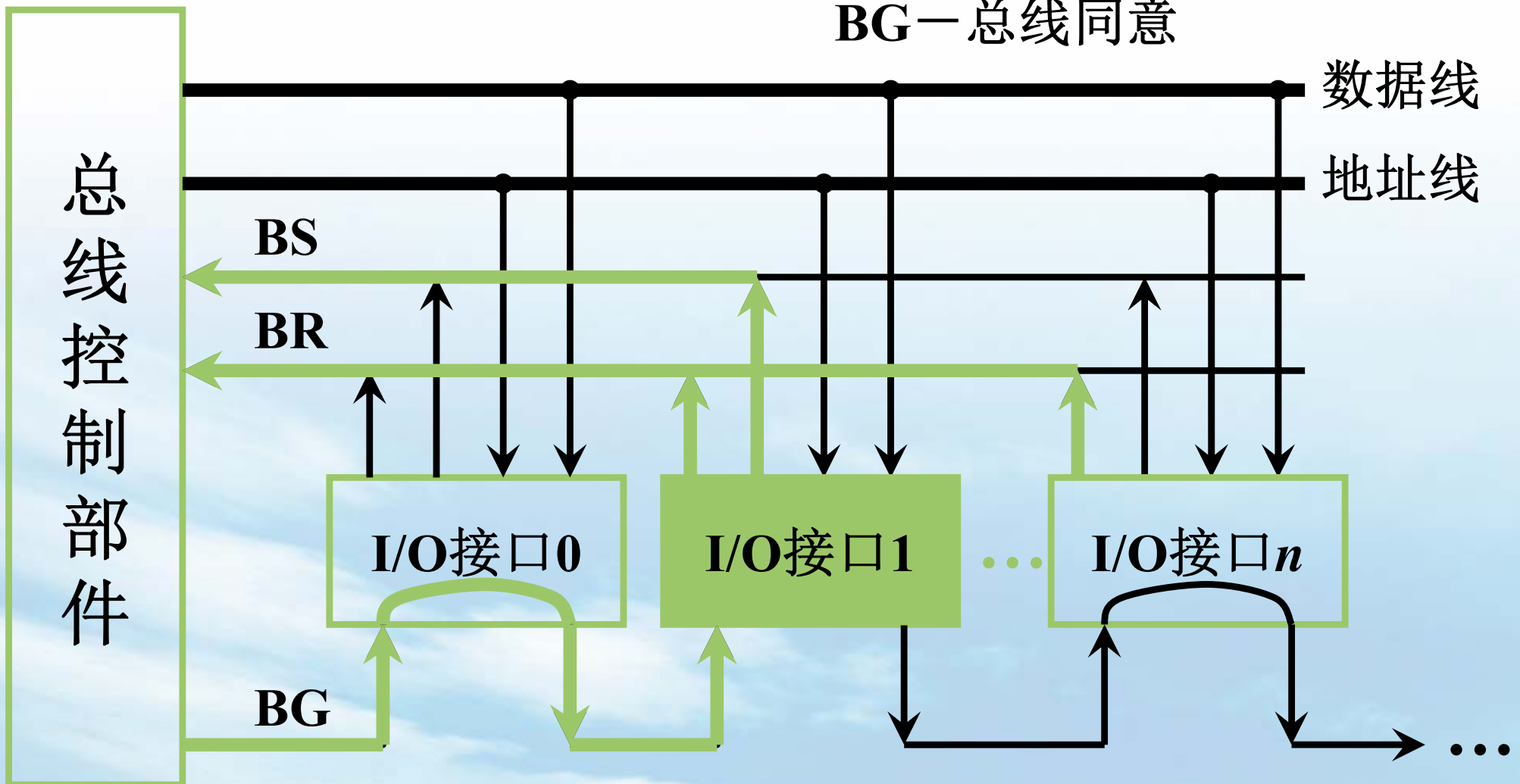
3.5 总线控制

(1) 链式查询方式

BS — 总线忙

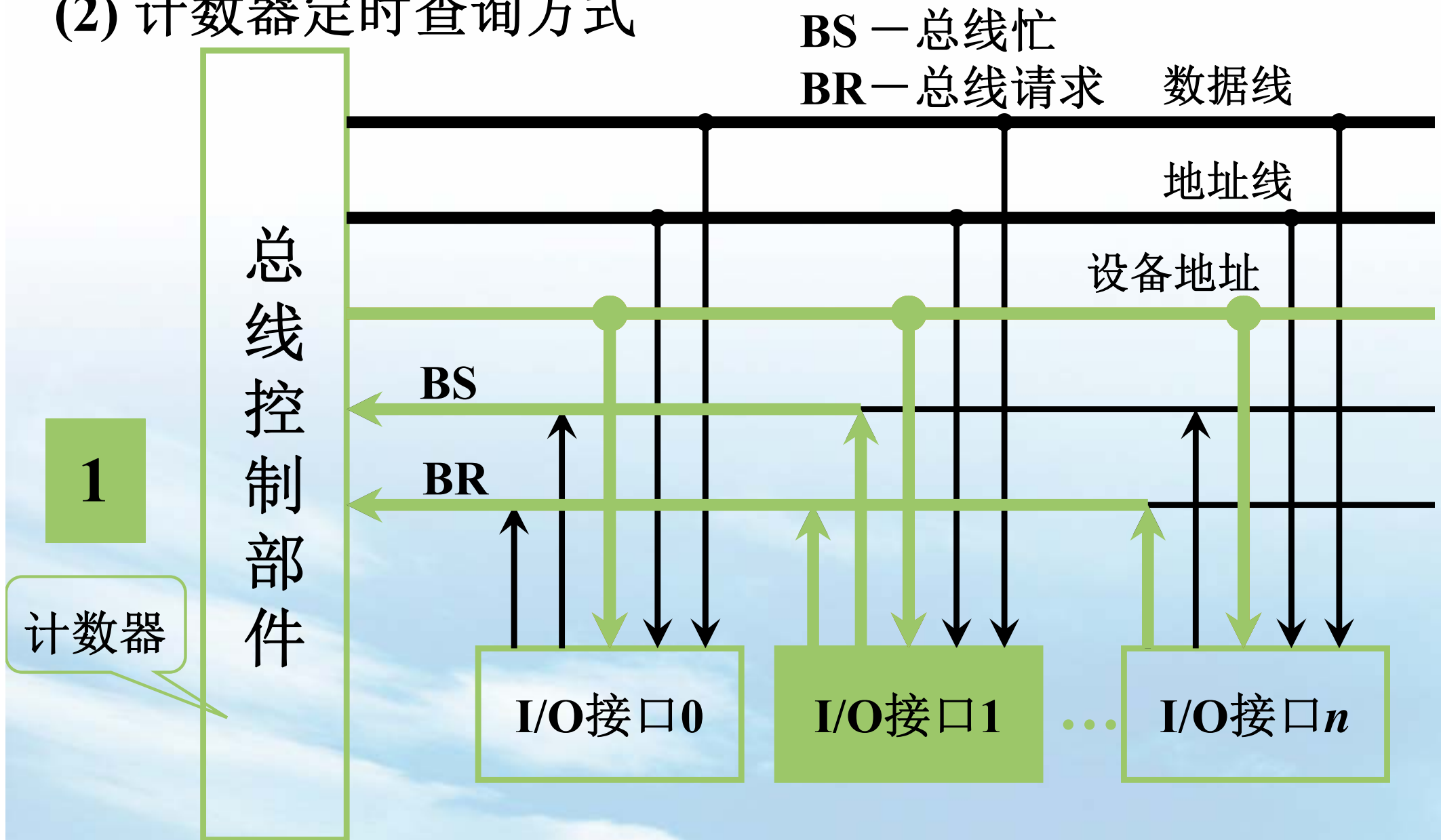
BR — 总线请求

BG — 总线同意



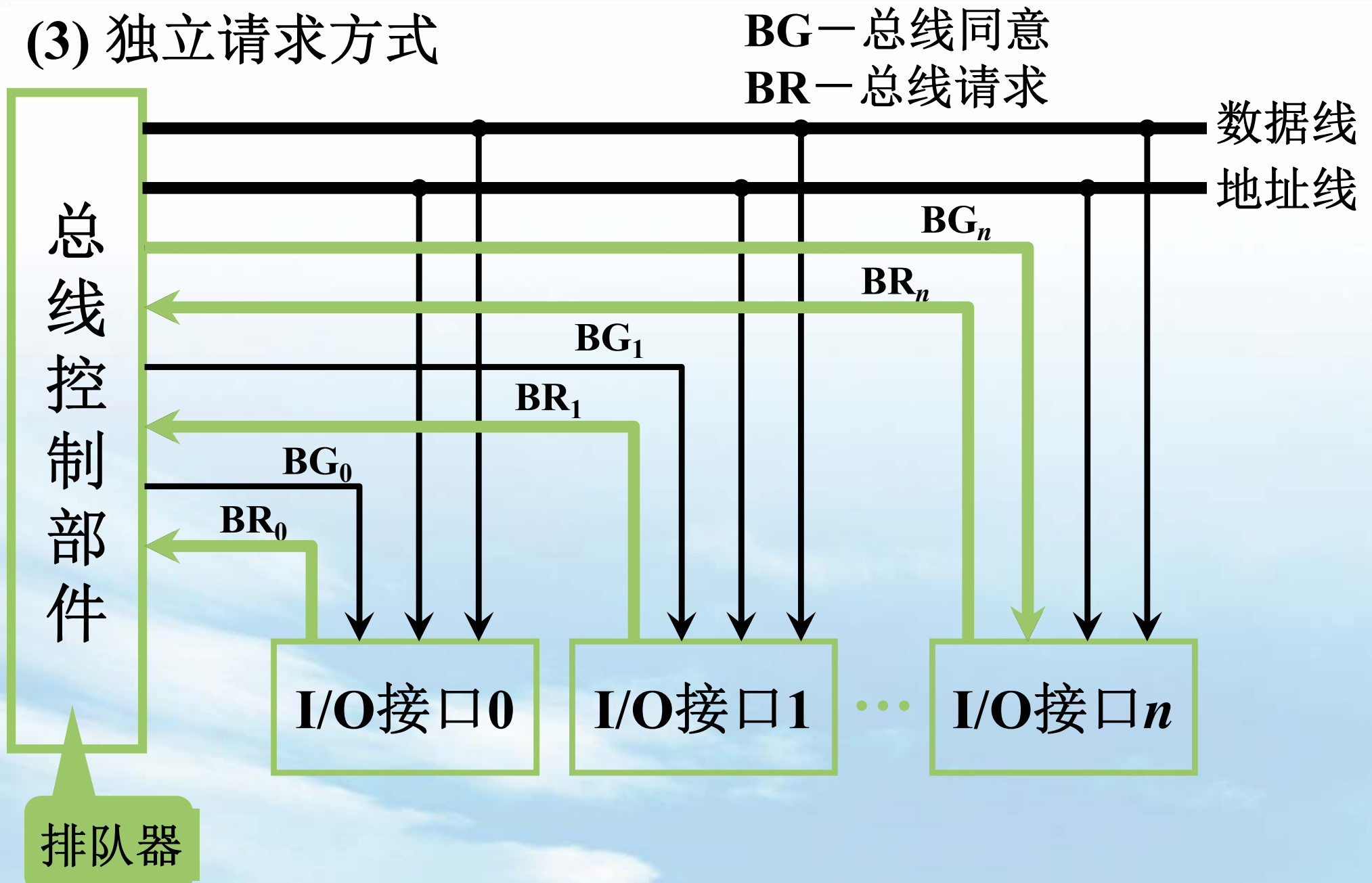
3.5 总线控制

(2) 计数器定时查询方式



3.5 总线控制

(3) 独立请求方式



3.5 总线控制

三、总线的通信控制

1. 含义：总线的通信控制：研究并解决主设备与从设备如何协调一致通信的问题（总线的定时） 包括通信何时开始、何时结束等。

2. 总线传输周期

申请分配阶段：

主模块申请总线，总线仲裁决定总线使用权。

寻址阶段：

主模块向从模块发出地址和命令，并启动从模块。

传数阶段：

主模块和从模块交换数据

结束阶段：

主模块撤销有关信息，让出总线使用权。

3.5 总线控制

3. 总线通信的四种方式

同步通信 由 统一时标 控制数据传送

异步通信 采用 应答方式，没有公共时钟标准

半同步通信 同步、异步结合

分离式通信 充分 挖掘 系统 总线每个瞬间 的 潜力

3.5 总线控制

(1) 同步通信

含义：通信双方采用统一时钟来控制数据的传送。

特点：

- ① 强制性同步，采用统一时钟；简单易控制。
- ② 对于每一个操作，每一时间都有明确的规定，显得比较“死板”。
- ③ 必须按照工作速度最慢的部件来设计时钟。
- ④ 当各个模块的存取时间相差较大时，会大大损失总线的工作效率。
- ⑤ 适用于总线长度较短，各模块部件存取时间比较一致的场合。

同步式数据输入时序

总线传输周期

时钟

地址

读命令

数据

T_1

T_2

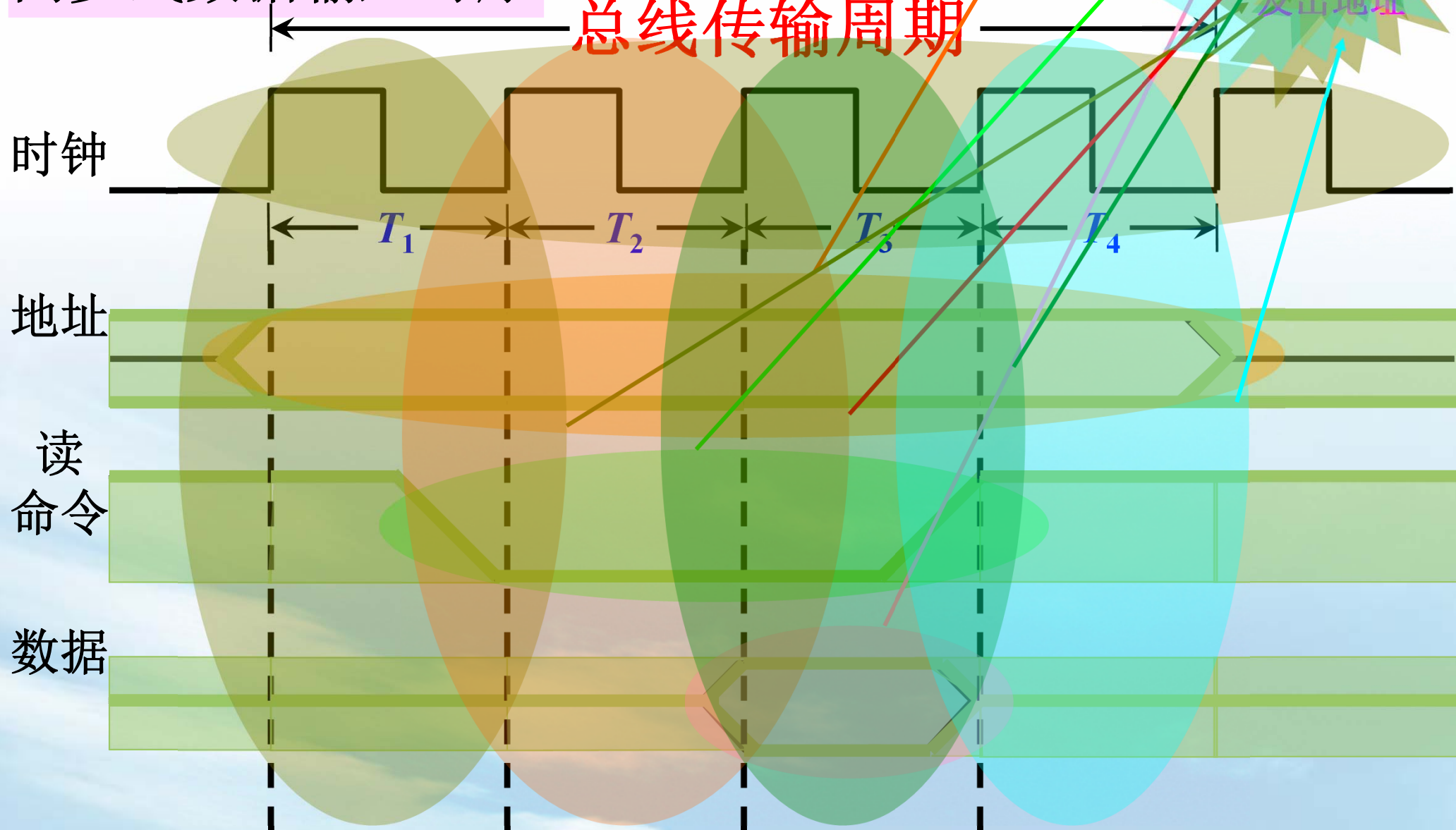
T_3

T_4

地址线上
出现地址

数据线上
出现数据

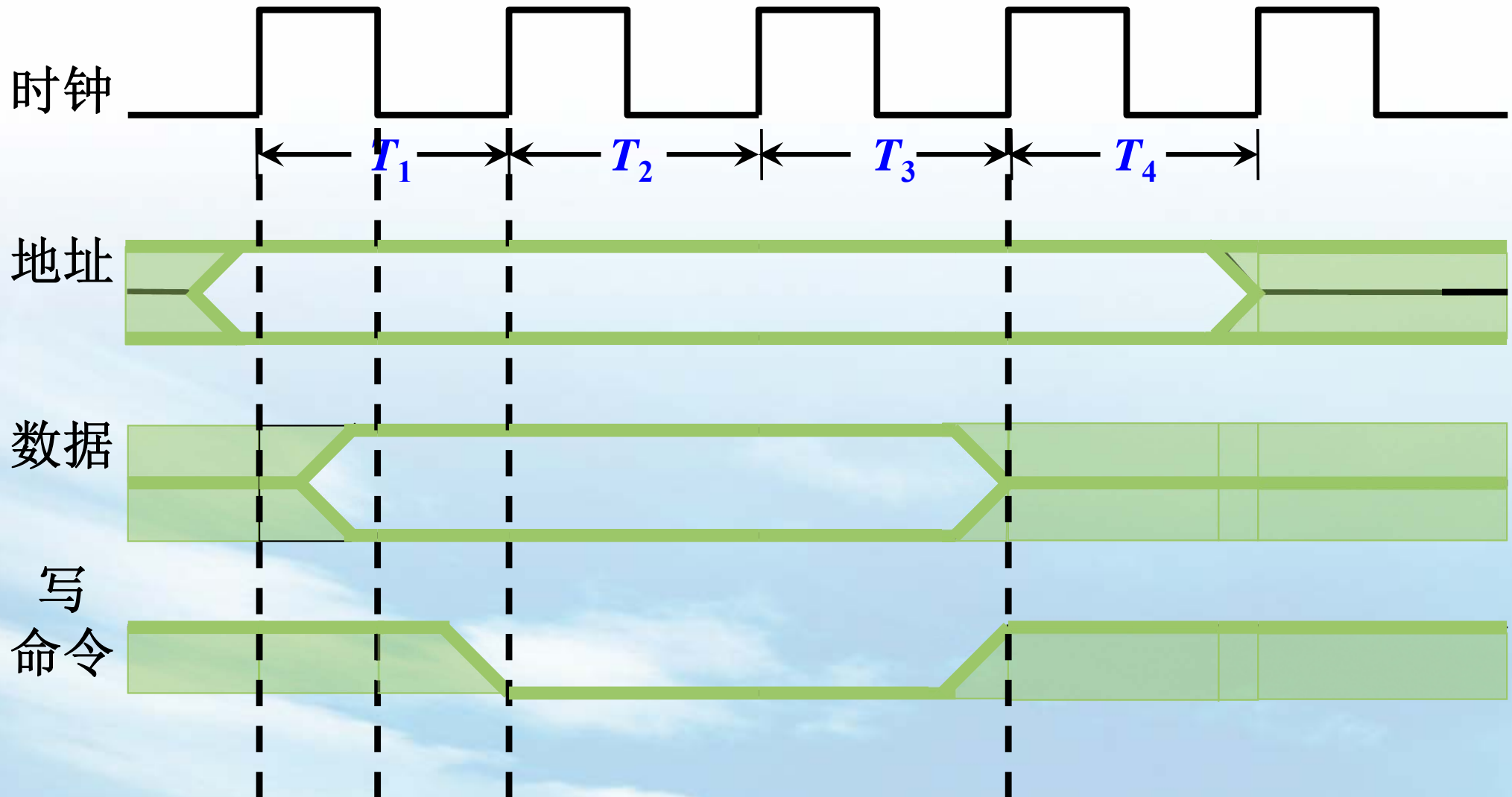
撤销读命令
发出地址



3.5 总线控制

同步式数据输出时序

总线传输周期



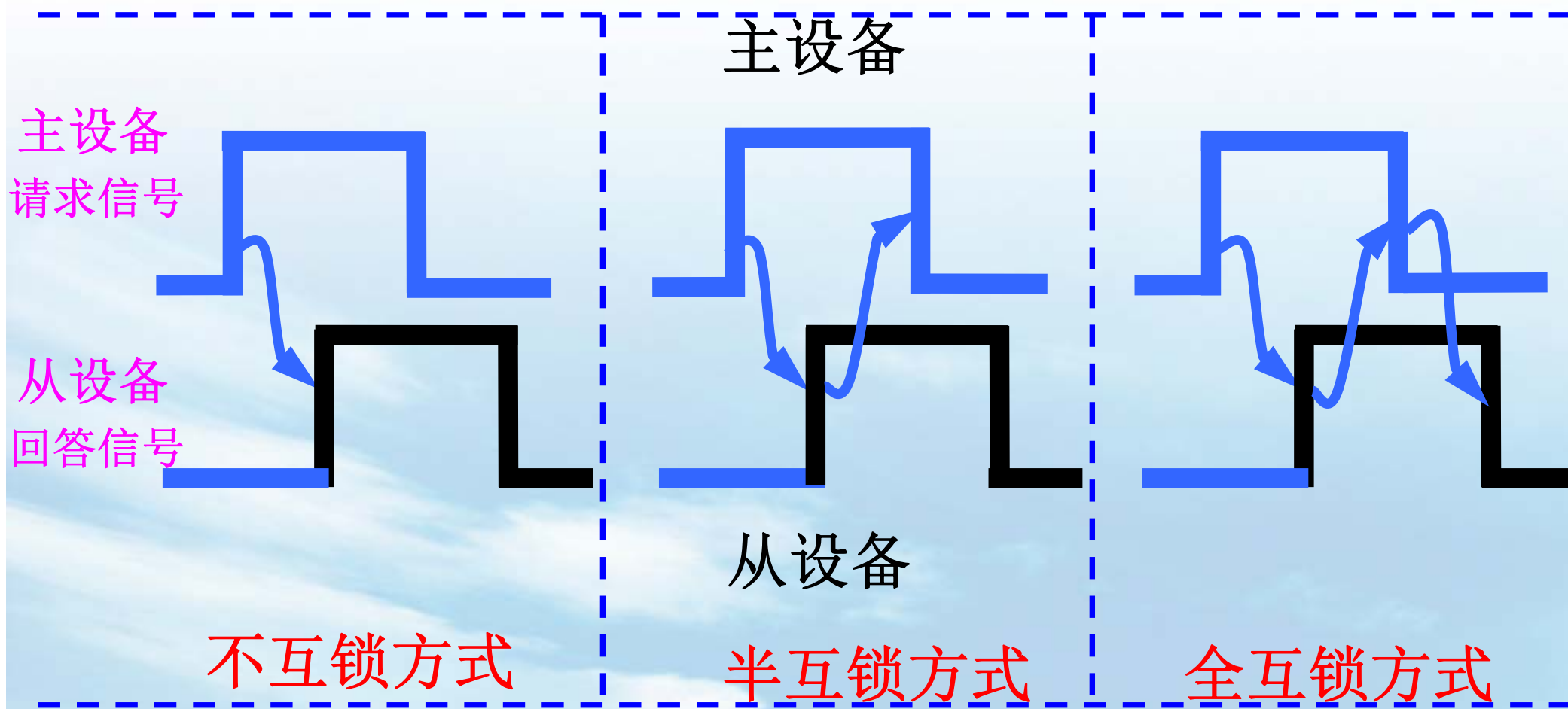
3.5 总线控制

同步式数据输出时序

教材P61: 例题3.1
课后练习3.14, 3.15

(2) 异步通信

- 特点：
- ① 没有公共时钟。
 - ② 采用握手方式，即请求应答方式。
 - ③ 相互通信的设备其工作速度参差不齐。



3.5 总线控制

(3) 半同步通信（同步、异步 结合）

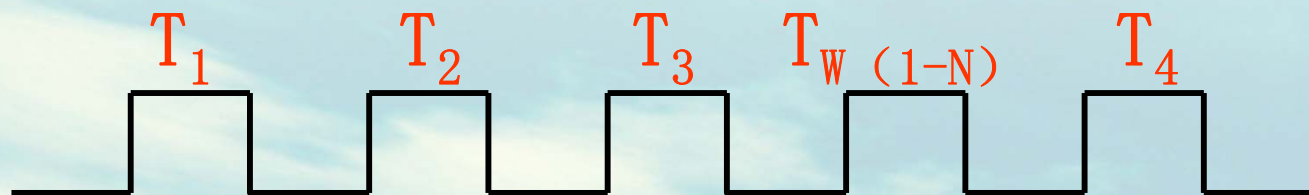
特点： 采用公共时钟，加入等待机制，有等待信号线 ($\overline{\text{WAIT}}$)
既有同步特征，又有异步特征。

同步 发送方 用系统 时钟前沿 发信号。

接收方 用系统 时钟后沿 判断、识别。

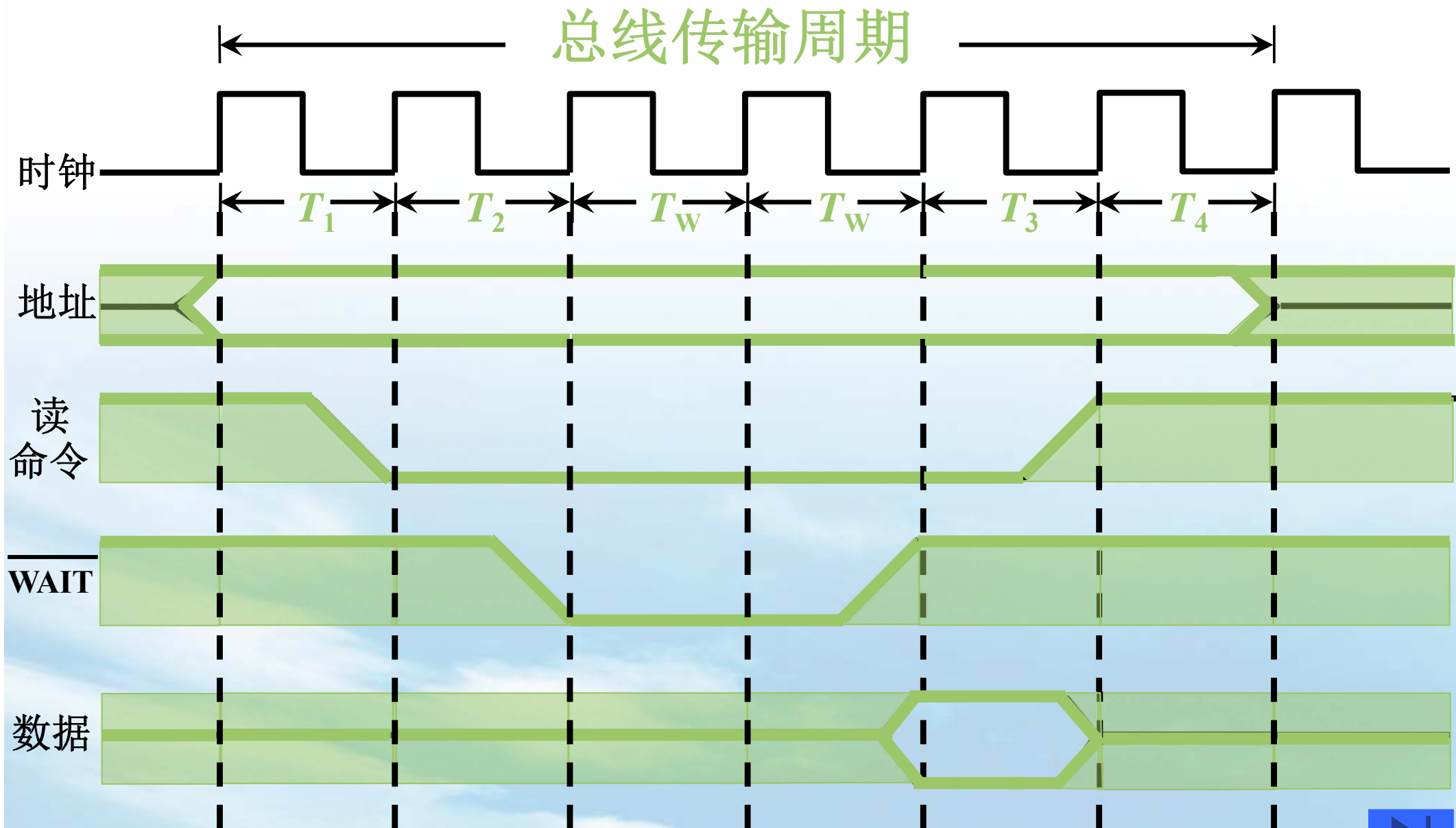
异步 允许不同速度的模块和谐工作

增加一条 “等待” 响应信号 $\overline{\text{WAIT}}$



等待状态 T_W 是公共时钟的整数倍。

以输入数据为例的半同步通信时序



3.5 总线控制

(4) 分离式通信

精髓： 将总线周期分解为两个子周期，充分挖掘系统总线每瞬间的潜力。



子周期1

主模块 申请 占用总线，使用完后，
即 放弃总线 的使用权。

子周期2

从模块 申请 占用总线，将各种信
息送到总线上。

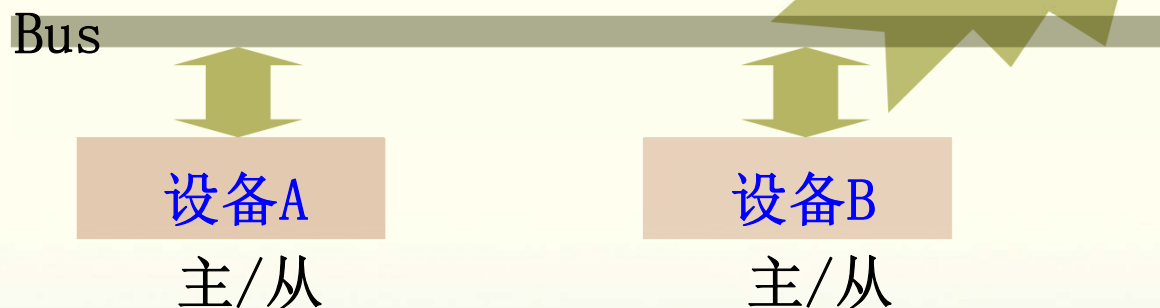
主模块

一个总线传输周期

分离式通信特点

充分发挥了
总线的有效占用

1. 各模块有权申请占用总线



2. 总线被占用时，无空闲

3. 各模块准备数据时，不占用总线

4. 采用同步方式通信，不等对方回答

5. 适用于大型计算机系统



PC机

特点

Q & A

1-3章作业
扫码进入雨课堂