



# 第5章 可编程逻辑器件和FPGA设计

第一讲 可编程逻辑器件

第二讲 FPGA设计概述

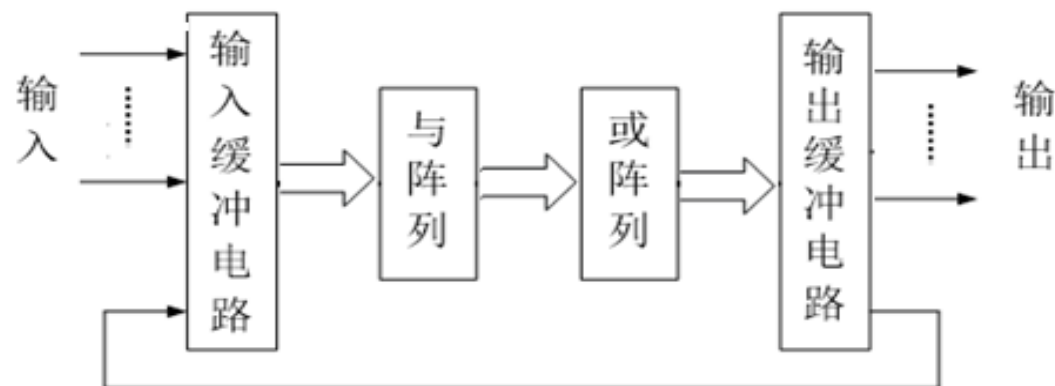
第三讲 专用集成电路

第四讲 存储器阵列

# 可编程逻辑器件

- 固定逻辑标准芯片曾被广泛使用
- 但固定逻辑芯片**功能单一**，不能随电路设计的需求而任意改变
- 固定逻辑芯片逐渐被**可编程逻辑器件**（Programmable Logic Device, PLD）取代
- PLD是一种用于实现逻辑电路的**通用器件**
- PLD包含多个逻辑单元，可根据需要通过**编程开关**连接进行编程，以构成不同功能的逻辑电路
- PLD的结构主要由**与阵列**和**或阵列**构成

# PLD器件



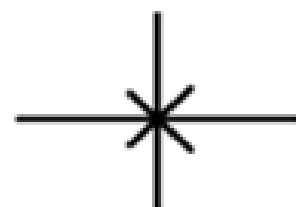
PLD结构框图

## PLD中基本电路符号

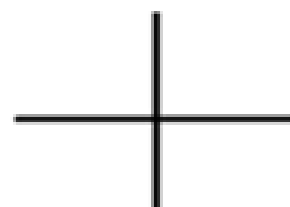
### 互补缓冲器



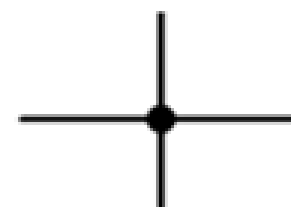
### 阵列连线



可编程连接

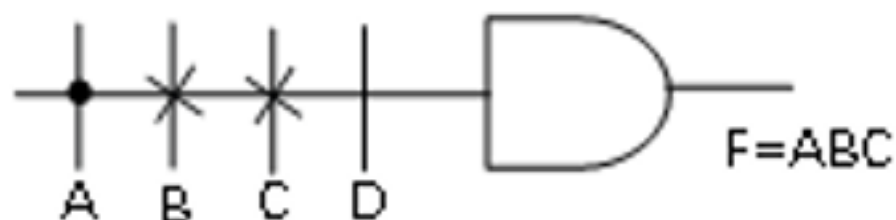


未连接

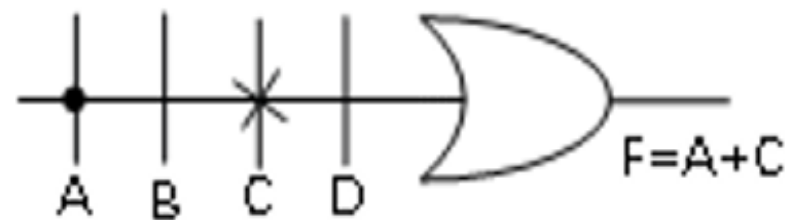


固定连接

### 与阵列表示

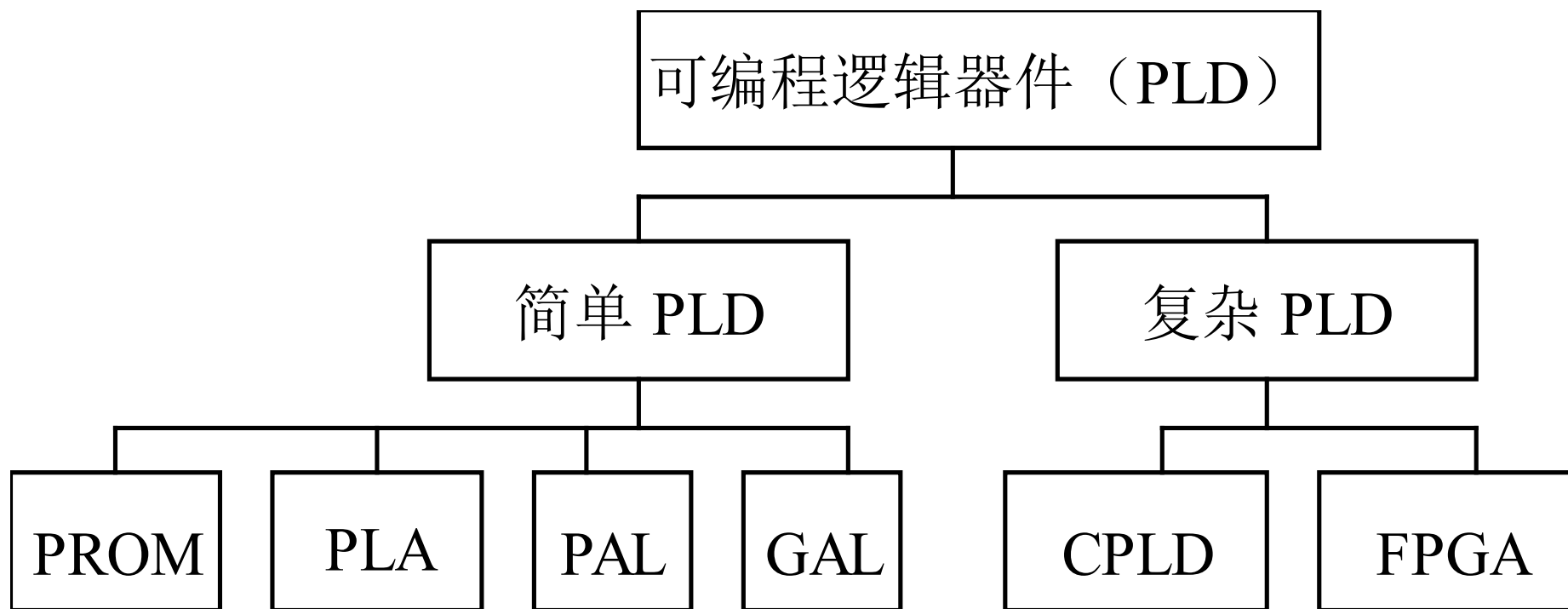


### 或阵列表示



# PLD器件

## PLD分类

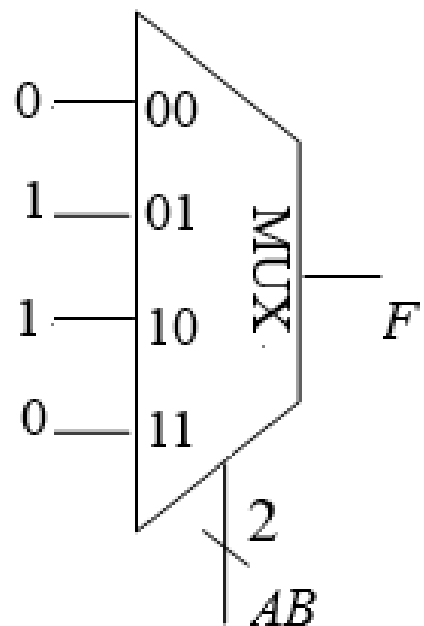


# PLD器件

## □ 回顾

$A$	$B$	$F$
0	0	0
0	1	1
1	0	1
1	1	0

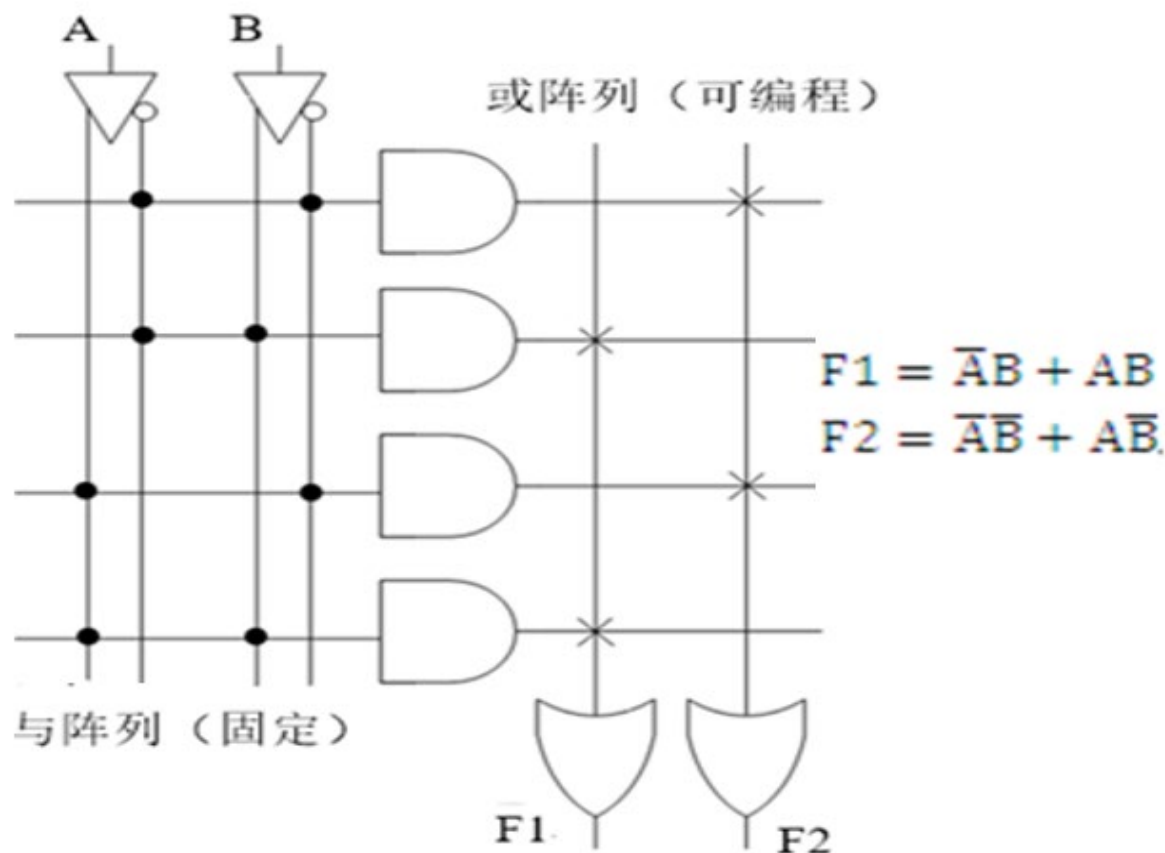
真值表



用一个4-路选择器实现

# PLD器件

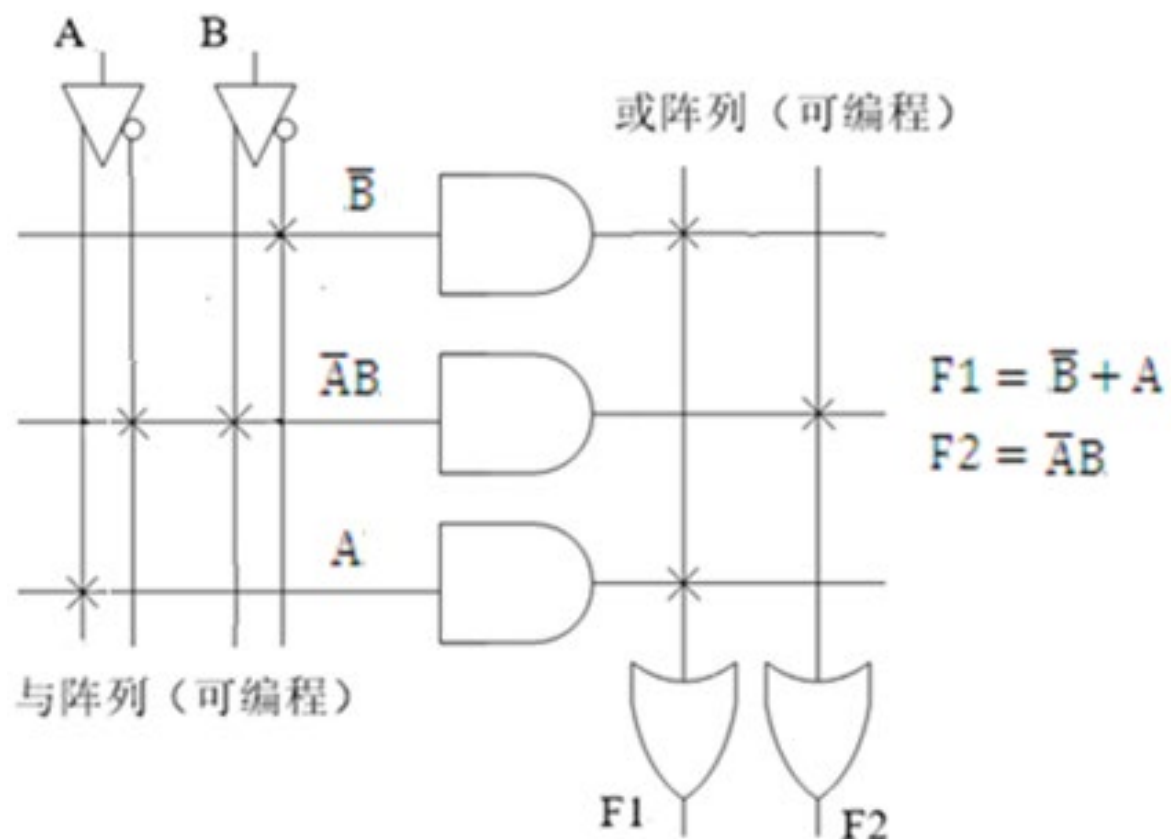
可编程只读存储器（Programmable Read Only Memory, PROM）是一种与阵列固定、或阵列可编程的简单PLD。



任何逻辑函数转换成标准与-或表达式后，可用PROM来实现与阵列的水平线输出对应标准与-或表达式中的标准乘积项，即最小项。

# PLD器件

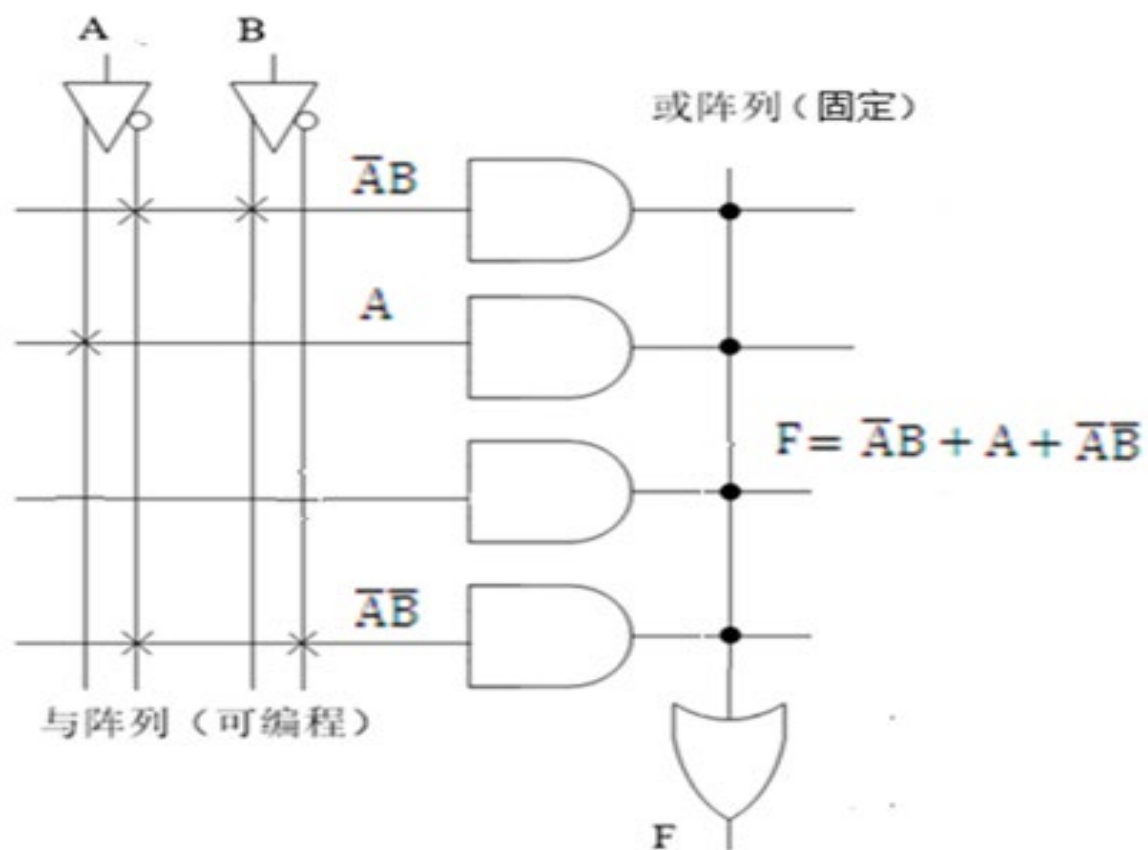
可编程逻辑阵列（Programmable Logic Array, PLA）是一种与阵列、或阵列都可编程的逻辑阵列。



无须像PROM那样将逻辑函数转换成标准与-或表达式，而只要化简成最简与-或表达式即可，可节省编程资源。

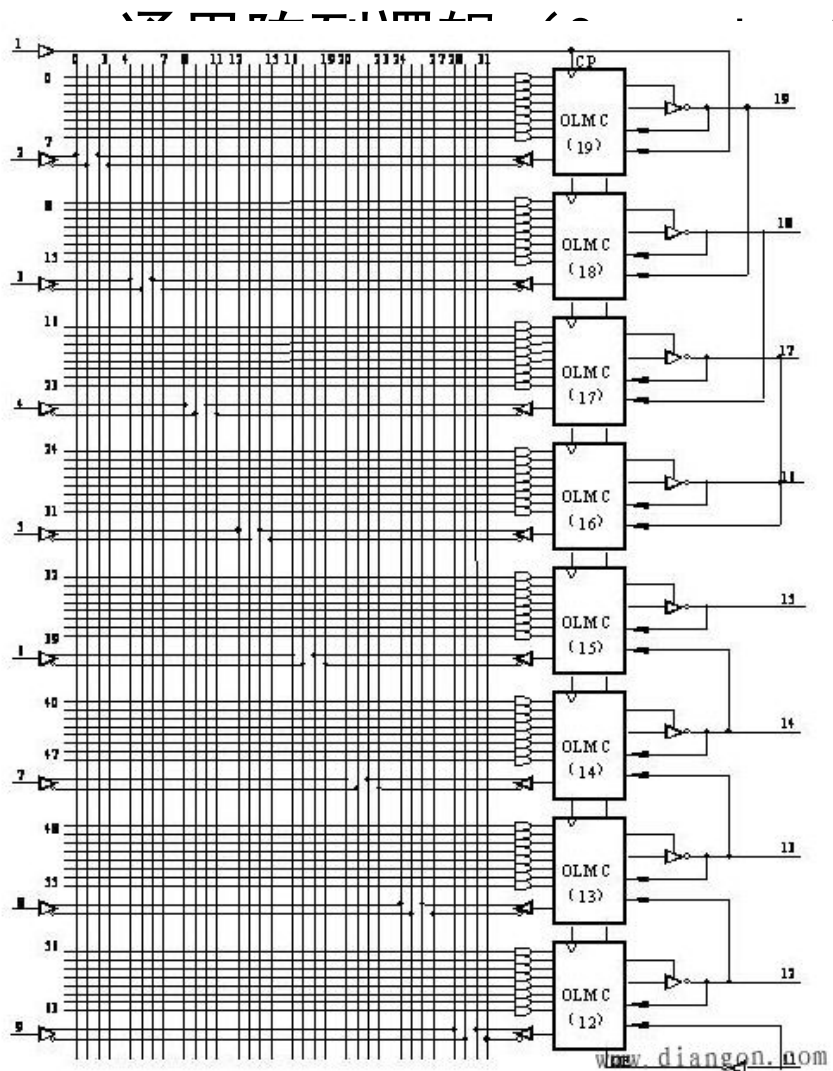
# PLD器件

可编程阵列逻辑（Programmable Array Logic, PAL）是一种与阵列可编程、或阵列固定的逻辑阵列。





# PLD器件



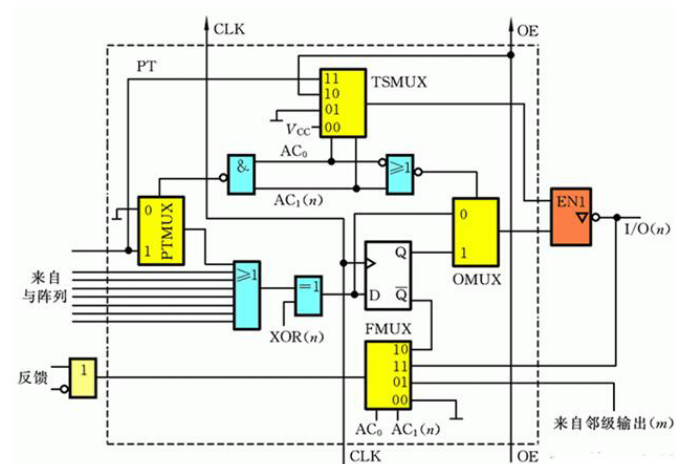
Array Logic, GAL)

或阵列固定，灵活性差。LATTICE公司推出了一种新-GAL。

其输出逻辑宏单元 (Output Logic Macro Cell,

状态，可适用不同的功能需求。

重复编程和设置加密位等特点。

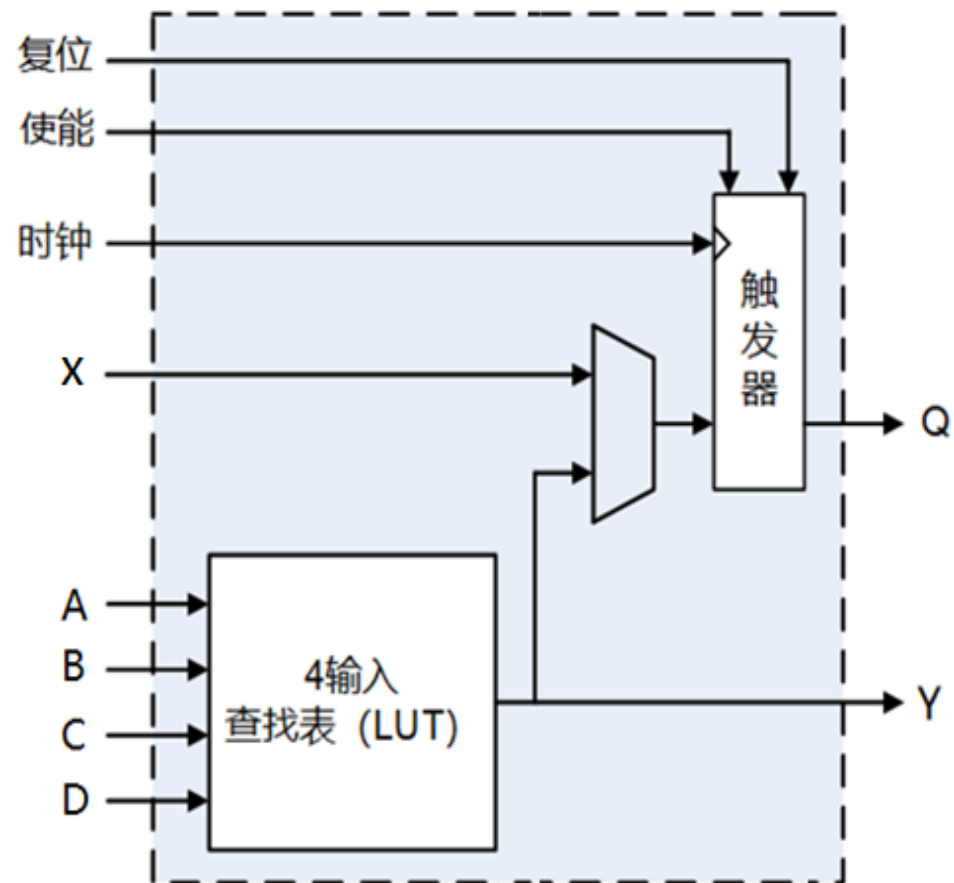


# PLD器件

- 复杂可编程逻辑器件（Complex PLD, CPLD）主要包括：
  - 逻辑阵列块（Logic Array Block, LAB）
  - I/O控制块：用于和芯片的I/O引脚互连
  - 可编程互联阵列（PIA）
- 每个LAB由4~20个宏单元（Macrocell）构成。宏单元包括：
  - 可编程逻辑阵列
  - 乘积项选择矩阵
  - 可编程寄存器：可以编程实现D、JK或钟控SR触发器等。
- 宏单元有多种配置方式，也可级联使用
- PIA用于连接所有宏单元，并与芯片时钟、复位、使能等引脚连
- CPLD集成度远高于PAL和GAL
- CPLD通常提供带片内RAM/ROM的嵌入式存储器阵列

# FPGA设计概述

- 现场可编程门阵列（Field Programmable Gate Array, FPGA）是一种高集成度的复杂可编程逻辑器件，可通过EDA软件对其进行配置和编程，可反复擦写。
- FPGA内部包含大量可配置逻辑块CLB，它由若干查找表（Look-Up Table, LUT）及多路选择器、进位链、触发器FF等附加逻辑组成。
- 可对CLB进行不同配置。  
如右图：可对MUX编程配置为输出是LUT实现的组合逻辑电路结果Y；也可配置为输出是时序逻辑电路结果Q。
- LUT本质上是一个RAM，多采用SRAM实现。



# FPGA设计概述

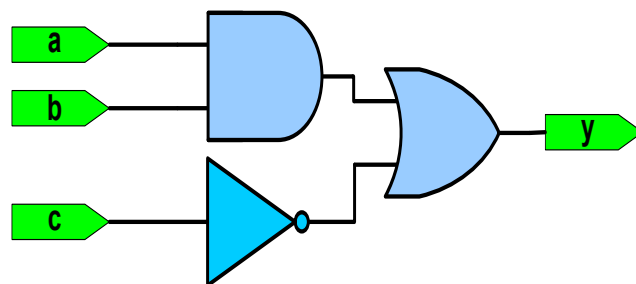
- 函数发生器通过查找表LUT实现，其中的内容可编程配置
- LUT存储单元中存放函数输出值，用于实现一个小规模逻辑函数

举例：若要实现函数  $f(a, b, c) = ab + \bar{c}$

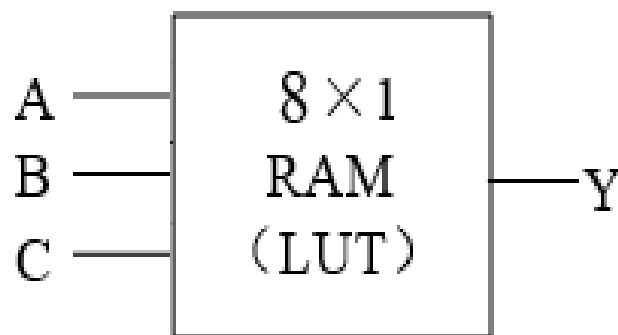
真值表

a	b	c	y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

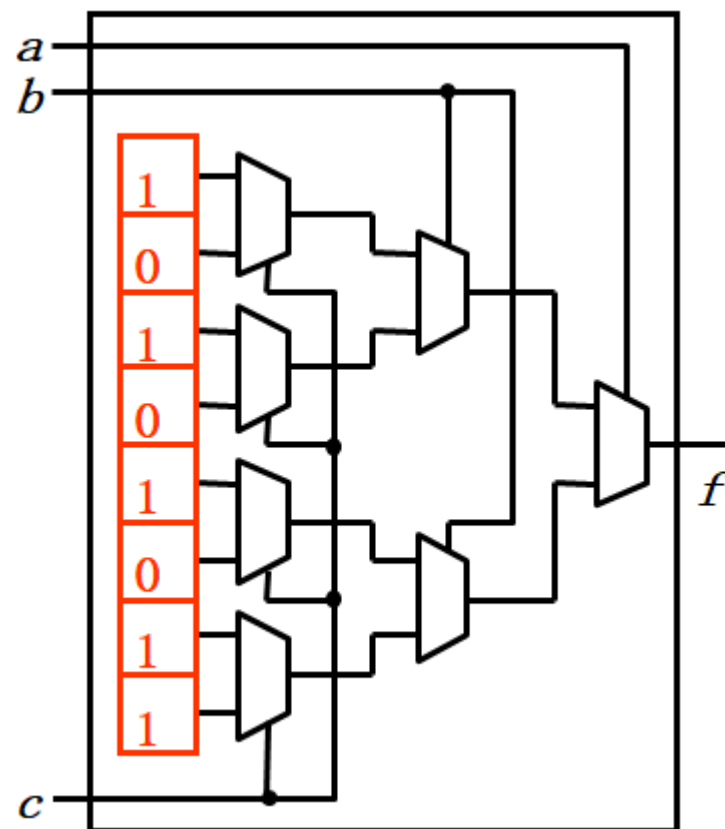
门电路实现



3输入LUT



3输入LUT实现

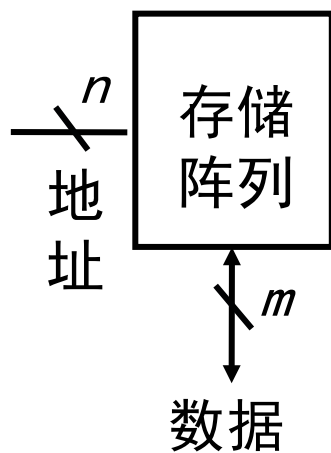


# 专用集成电路ASIC

- 专用集成电路（Application-Specific Integrated Circuit, ASIC）是一种应特定用户要求和特定电子系统的需要而设计、制造的集成电路。
  - 全定制：设计者完成所有设计，速度更快
  - 半定制：使用标准库里的标准逻辑单元（标准单元）
- FPGA和ASIC目前都是电子设计领域的主流产品。
  - ASIC面向特定用户的需求，具有体积小、功耗低、可靠性高、性能高、保密性高、成本低等优点，一般用于**批量大的专用**产品中。
  - FPGA可编程特性使其应用非常灵活，但芯片内部逻辑门的使用率大幅降低，导致功耗高、速度慢、资源冗余且价格昂贵，一般用于**小批量产品设计**中。

# 存储器阵列

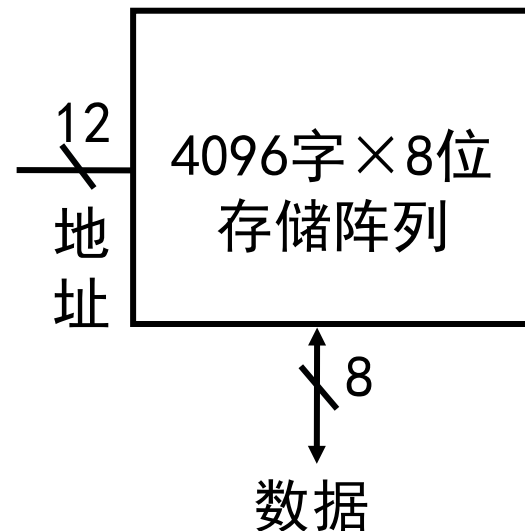
- 存储器可用来存储数字电路中的数据。
  - 寄存器用来存储少量数据，速度更快
  - 存储器阵列用来存储大量数据，速度较寄存器慢
- 在CPLD和FPGA芯片中通常会提供片内存储器阵列
- 存储器阵列中每位数据对应一个记忆单元（cell），称为存储元



$2^n \times m$ 位存储阵列

000	0	1	0	0
001	0	0	1	1
010	0	1	0	1
011	1	0	1	1
100	1	1	0	0
101	1	0	1	1
110	0	1	1	0
111	1	0	0	0

8 × 4位存储器阵列



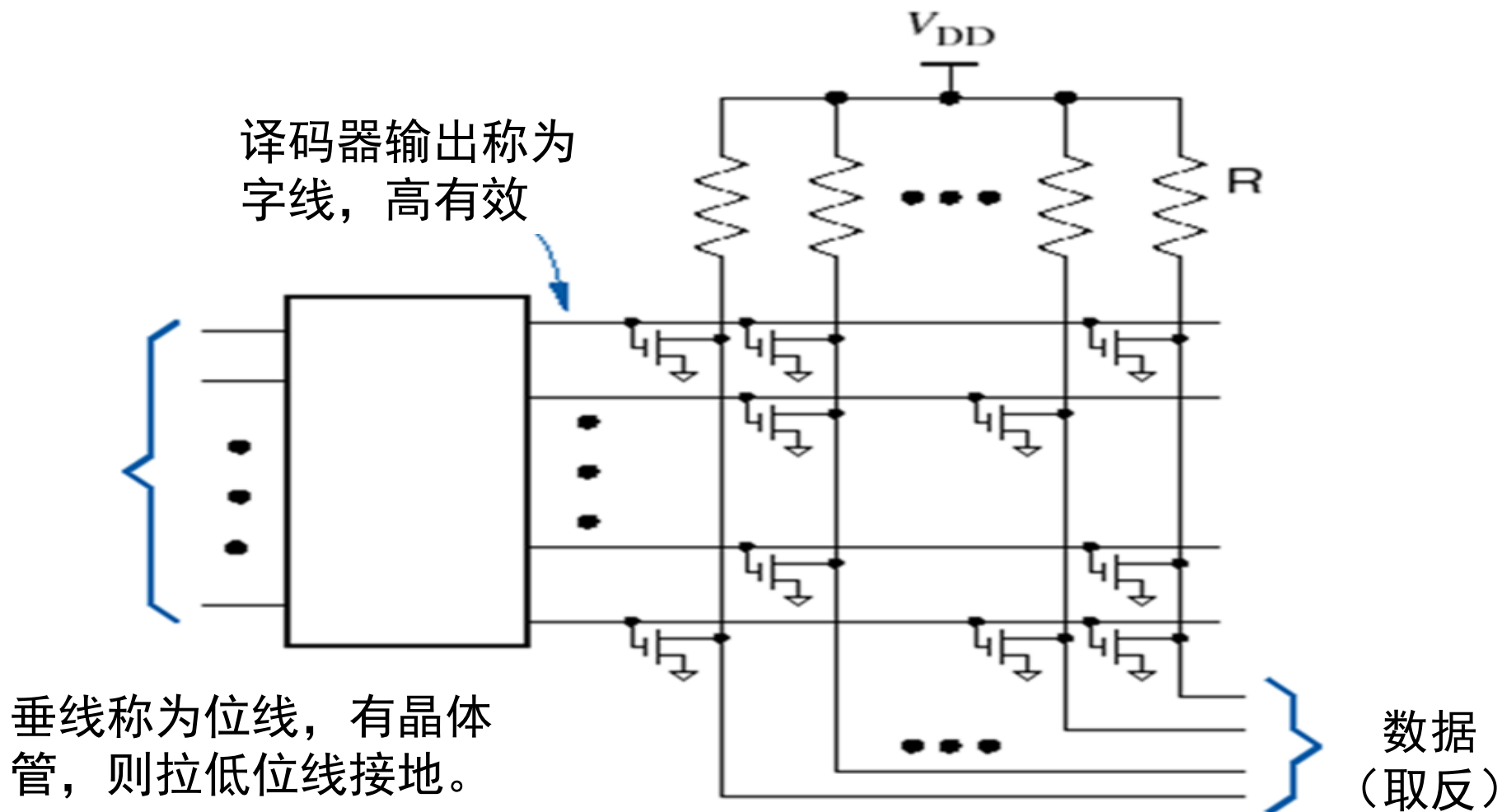
4KB存储器阵列

# 存储器阵列

- 按功能可分为：只读存储器 (Read-only Memory, ROM) 和随机存取存储器 (Random-access Memory, RAM)
  - ROM属于非易失性存储器，即使电源断电，ROM中存储的数据也不会消失。根据工艺的不同，分为：
    - 掩膜只读存储器MROM
    - 一次可编程只读存储器PROM
    - 光擦除可编程只读存储器EPROM
    - 电擦除可编程只读存储器EEPROM (E<sup>2</sup>PROM)
  - RAM属于易失性存储器，一旦电源断电，RAM中存储的数据就消失。
    - 静态RAM (Static RAM, SRAM)
    - 动态RAM (Dynamic RAM, DRAM)

# 存储器阵列

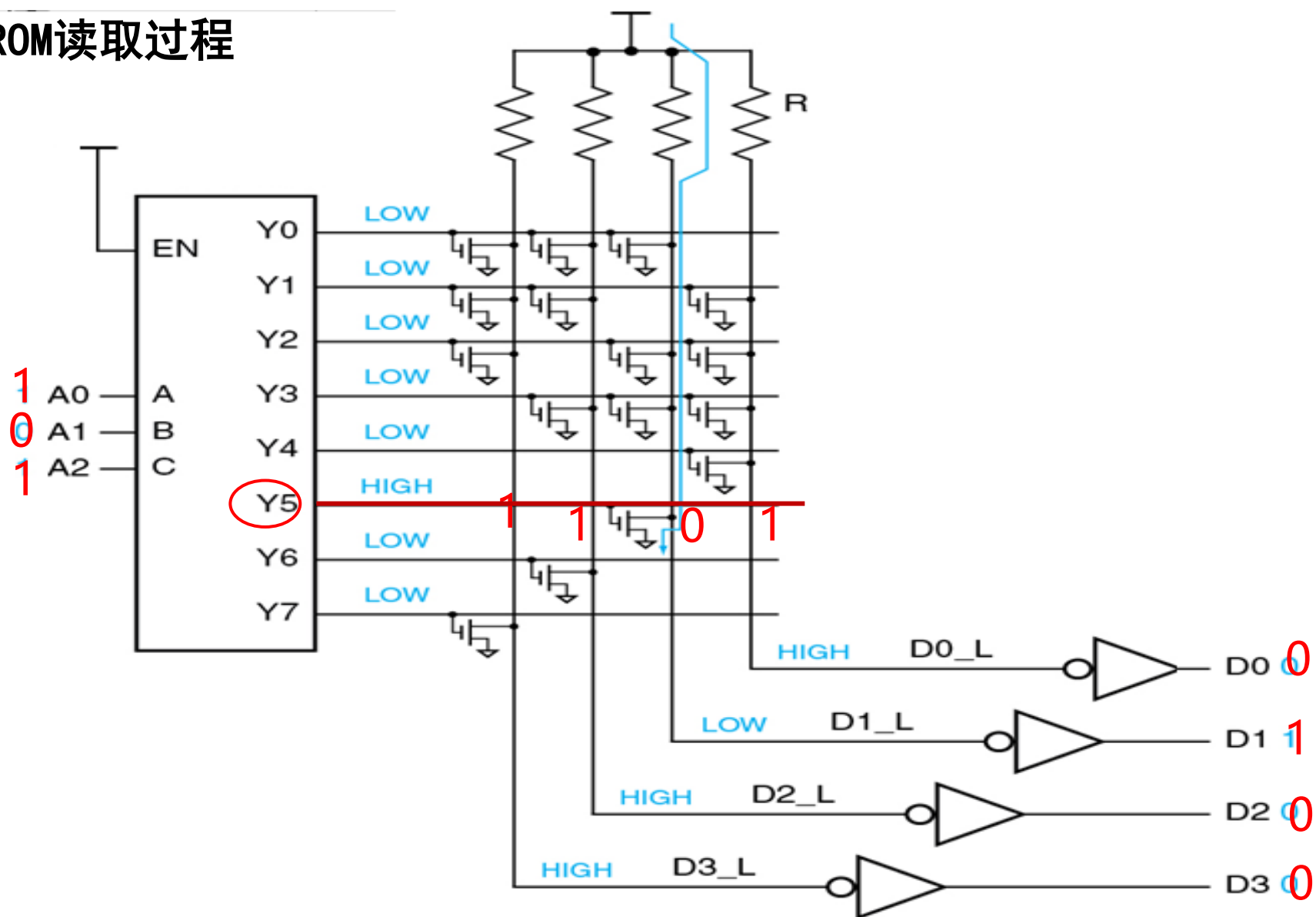
- ROM存储阵列根据MOS晶体管的有无来区分存储0和1
- 不同类型的ROM，主要区别在于MOS晶体管的特性不同





# 存储器阵列

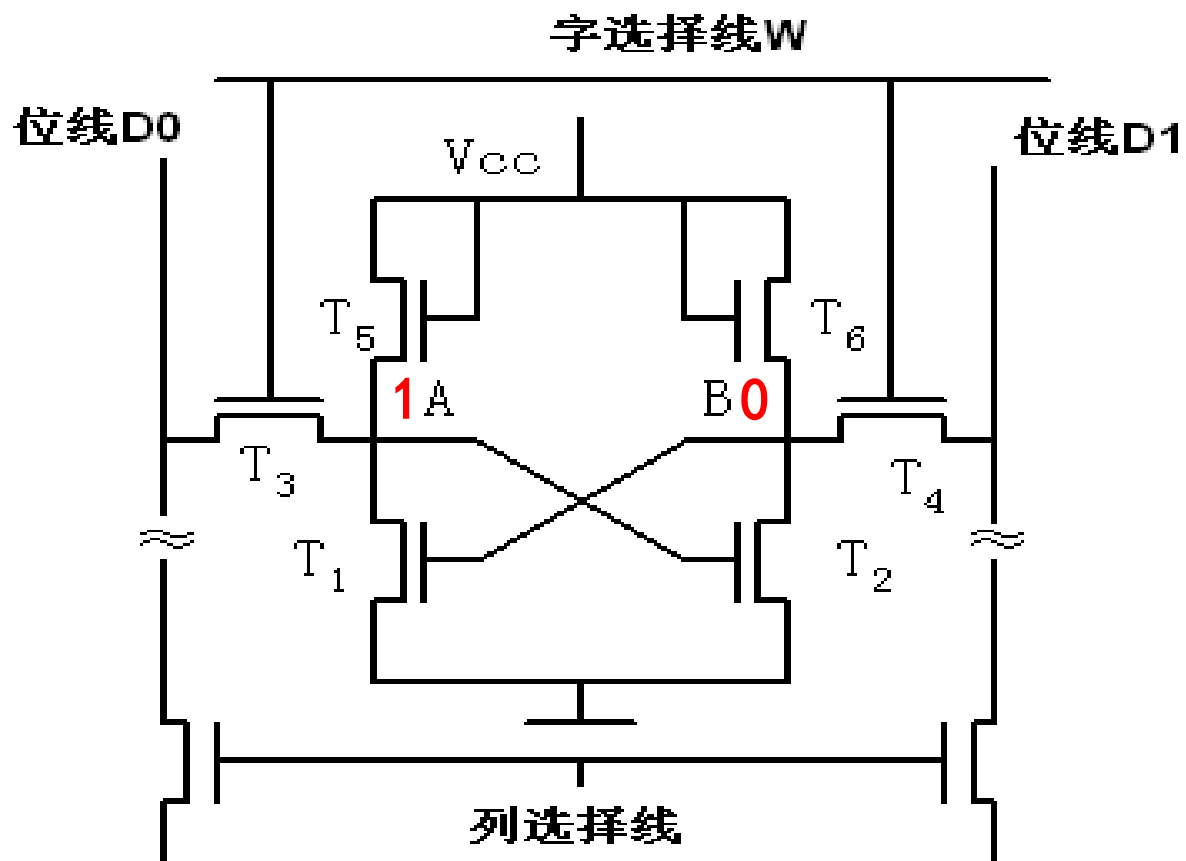
- ROM读取过程



# 存储器阵列

静态存储器SRAM：只要保持电源，存储单元中存放数据就保持不变

- 读写速度快、价格高、功耗大、集成度低，无需刷新。
- 存储单元使用6个MOS晶体管来实现



T1和T2构成触发器，T5、T6为负载管，T3、T4为门控管。

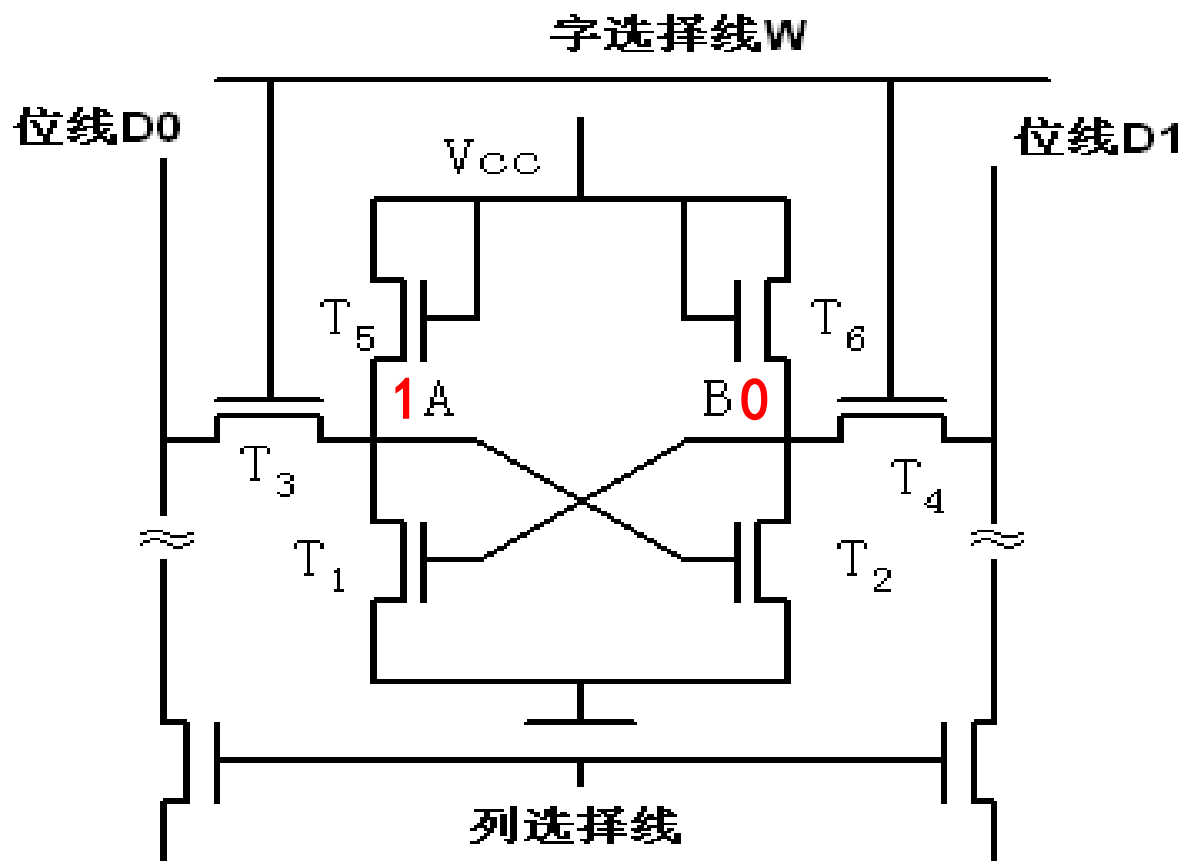
假设存“1”状态时A点为高电平，B点为低电平，此时T2管导通，T1管截止。

字选择线W为低电平时，T3与T4截止，此时触发器与外界隔离，从而保持信息不变。

# 存储器阵列

读取时，先在D0、D1上加高电平，再在字线W上加高电平。

- 若存储为1，则B点为低电平，电流经T2流到地，因T4导通，位线D1高电平被拉低而产生一个负脉冲；若存储为0，则A点为低电平，电流经T1流到地，因T3导通，位线D0高电平被拉低而产生一个负脉冲



写入时，字线W上加高电平

若要写“1”，则在位线D1上加低电平，因T4导通，B点电位下降，T1截止，A点电位上升，使T2管导通完成写“1”

若要写“0”，则在位线D0上加低电平，因T3导通，A点电位下降，T2截止，B点电位上升，使T1管导通完成写“0”

# 存储器阵列

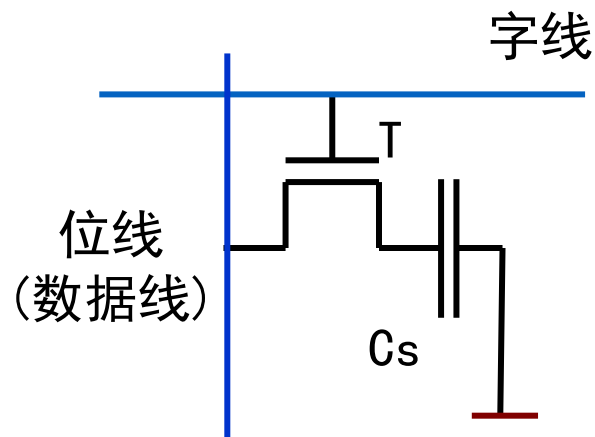
动态存储器DRAM：单MOS管，电容上存有大量电荷为1，否则0

读写原理：字线上加高电平，使T管导通。

写“0”时，数据线加低电平，使 $C_s$ 上电荷对数据线放电；

写“1”时，数据线加高电平，使数据线对 $C_s$ 充电；

读出时，数据线上有一读出电压。它与 $C_s$ 上电荷量成正比。



优点：电路元件少，功耗小，集成度高，用于构建主存储器

缺点：速度慢，是破坏性读出（需读后再生），需定时刷新

刷新：DRAM的一个重要特点是，数据以电荷的形式保存在电容中，电容的放电使得电荷通常只能维持几十个毫秒左右，相当于1M个时钟周期左右，因此要定期进行刷新（读出后重新写回），按行进行（所有芯片中的同一行一起进行），刷新操作所需时间通常只占1%~2%左右。