第三章

**异或门**：两个输入不相同时输出为1的门。

**时序图**：显示了电路如何对时变模式的输入信号产生响应的波形图，是一个开关网络的输入和输出信号关系在时间上的图形表示，可以显示中间信号和传播延迟。

**传播延迟**：是指从输入信号变化到产生输出信号变化所需的时间。

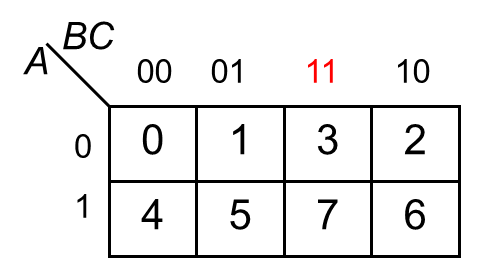
tpHL：输入变化引起相应输出从高到低变化的时间。

tpLH：输入变化引起相应输出从低到高变化的时间。

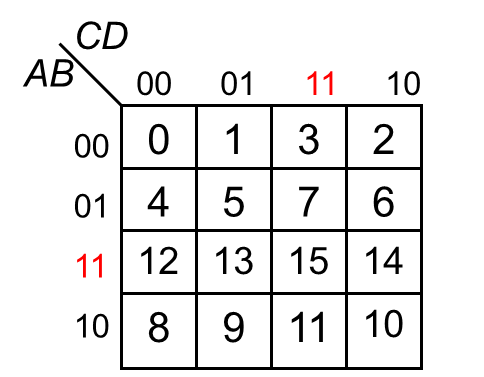
第四章

**卡诺图**：是逻辑函数真值表的图形化表示。n输入的卡诺图是一个含有2^n个单元的矩阵图。卡诺图的行和列的编号对应着逻辑变量的输入组合，几何（上下或左右）位置“相邻”的小方格具有逻辑相邻性，只有一个变量不同。用卡诺图表示逻辑函数时，逻辑函数包含的最小项所对应卡诺图编号的小格内填入1。

三输入卡诺图如图所示：



四输入卡诺图如图所示：



用卡诺图进行逻辑函数化简时，首先需要画出卡诺圈。用圆圈圈起多个相邻的值为1的格子（简称1格），标记成“卡诺圈”。卡诺圈越大越好，且必须包含2i个1。根据互补律，当两个1格相邻时，对应的最小项就可以加以合并，消去一对原变量与反变量，合并后只剩公共因子。卡诺图化简的过程为，反复利用合并项法则,保留相同变量,消去相反变量。

**蕴涵项**：一个卡诺圈的化简结果称为一个蕴含项，它可以覆盖一个或多个最小项。

**质蕴涵项**：一个不能和其余任何卡诺圈合并的卡诺圈的化简结果称为一个质蕴涵项。

**实质蕴涵项**：至少包含一个不能被其它任何质蕴涵项所覆盖的最小项的质蕴涵项称为一个实质蕴涵项。

**奇异“1”单元**：仅被一个实质蕴涵项覆盖的1格称为一个奇异“1”单元。

**卡诺图化简的化简过程**：先找出卡诺图中的所有质蕴涵项，再表示并选择所有的实质蕴涵项，最后在剩余的质覆盖项中选择最小的覆盖，覆盖那些不能被实质蕴涵项覆盖的最小项。

**QM算法**：是一种化简逻辑函数的方法。其化简步骤为：

1、按照最小项编号中1的个数，重新排列分组，使得每组中的最小项编号含有相同的1的个数。这样能够消去1个变量的最小项组合，只能来自相邻的两个组。

2、对于每两个相邻的分组，依次遍历其中的每一个最小项，若有可以化简的项，则进行化简，化简结果中用“-”符号将原来两个最小项中不同的位标记为无效位，所有在本轮化简中不能被化简的最小项都是质蕴涵项，不再继续化简。

3、将第二步的所有化简结果重新存入表中（第n组和第n+1组的化简结果存入第n组），重复第二步，直到所有相邻分组都无法再进行化简为止。

4、进行完以上三步后，就得到了所有质蕴涵项。接着建立质蕴涵表，它是用函数最小项和质蕴涵项建立的二维表。在每一个质蕴涵项包含的最小项下标注“X”。

5、接下来是覆盖过程算法，其目的是得到最小覆盖：

（1）查找只被一个质蕴涵项包含的最小项，则其对应的质蕴涵项为实质蕴含项。若无实质蕴涵项，则任意选择一个质蕴涵项作为实质蕴涵项。标注实质蕴涵项及其所包含的所有最小项。将这些实质蕴涵项加入覆盖。

（2）在质蕴涵表中去除实质蕴涵项和所包含的最小项。接着，如果一行被其它行覆盖，去掉该行；如果一列覆盖其它的列，去掉该列。

（3）如果第二步所得的质蕴涵表非空，则重新进入第一步，否则算法结束，得到最小覆盖。

**无关项**：是指电路的非法状态，即不包含在真值表中的状态。若不影响电路运行，则可不必刻意区分禁止态和其它状态，可以处理成0，也可以处理成1，按照化简的需要酌情确定。

**冒险**：同一输入信号由于在组合电路中存在不同的传输延时而导致了不正确的输出。

**静态-1型冒险**：输出函数在一定条件下，能简化成：F =≡1的冒险。

**利用卡诺图发现静态冒险**：若卡诺图中，圈与圈之间有相切现象，则可能出现静态冒险。

**消除冒险的方法**：添加冗余项，覆盖相切的两个质蕴涵项。

第六章

**有效电平的指示**：有效电平与逻辑门及大规模组件的输入输出引脚关联。一般用反相圈指示低电平有效的引脚，没有反相圈的引脚表示高电平有效。

**电路定时**：表明信号作为时间函数的逻辑行为。一般要在定时图中画出箭头以表明因果性——哪个输入转换导致哪个输出转换。

**译码器**：是输入n位二进制码，输出2^n中取1码的器件。一般的，对于每一种输入可能，只有一个输出信号有效。例如，对于2-4译码器74HC139，其输出是高电平有效的，也即当使能端有效时，将输入的n位二进制数化为10进制数p后，输出中的第p位为1，其余位均为0。当使能端无效时，所有输出均为0。而对于3-8译码器74HC138，其输出为低电平有效的。它有3个使能端，当且仅当3个使能端均有效时，输入才有效。

**编码器**：对每个输入信号分配一个唯一的二进制编码的器件称为编码器。是将译码器的输入变为输出，输出变为输入的结果。

优先级编码器：对于一个编码器，在任何一个特定的时刻，可能出现多于一个输入同时有效。如果出现多个输入同时有效，输出按输入优先级编码的编码器称为优先级编码器。例如，3位优先级编码器74HC148，其编码优先级为I7-I0，也就是说如果I5和I4同时有效，输出为I5的编码结果。另外，其输入是低电平有效的。它还有两个输出，GS和EO。GS有效时说明此时有一个或多于一个输入有效，而EO有效时说明此时无有效输入。

**数据选择器**：是一种有2^n个数据输入，n个选择输入，1个输出的器件。首先，n个选择输入进入输出为高电平的n-2^n译码器。然后再将各位数据输入与该译码器的各位输出相与，最后，上述结果中只要有一位为1，输出就为1。

**用具有n个选择变量的多路选择器实现n个变量的函数**：

将函数的n个变量依次连接到n个选择变量端，并将函数表示成最小项之和的形式。若函数表达式中包含最小项mi（例如，3输入中的A0A1A2代表m7），则相应输入的Di接1，否则Di接0。

**用具有（n-1）个选择变量的多路选择器实现n个变量的函数**：

从函数的n个变量中任选（n-1）个作为选择变量，一个作为数据输入，并根据各选择变量的输出结果来确定在每种选择的情况下，对应数据变量输入的值Di。这个值只能是0，1，X或。若在某种选择下，不管剩余变量的值为0还是1输出均为1，则该选择对应的Di接1，以此类推。

**半加器**：是指仅考虑加数和被加数的运算部件。

**全加器**：考虑加数、被加数和相邻低位的进位的运算部件。半加器和全加器的输出均包括运算结果和向下一位的进位。如：四位先行进位加法器74HC283，可用于进行两个四位二进制数的加法。它有八个分别表示两个四位二进制数的输入，四位加法输出和一位进位输出。

**算术逻辑单元**：能够对2个n位的操作数进行若干不同的算术和逻辑操作的器件，由一组功能选择输入来指定要执行的操作。对于一组特定的功能选择输入，可以对操作数进行不同的运算。

**三态门**：有一个使能端的缓冲器或反相器。当使能端无效的时候，直接将输入信号阻断；当使能端有效的时候，起到反相器或缓冲器的作用。

**数据总线**：是将若干条数据线合成一条的表示法，用[0:n]表示，其含义为序号从0到（n-1）的n根数据线。

**奇偶校验发生器**：是检验输入的信号中有奇数个还是偶数个1的器件。例如：74HC280，有9个输入和2个输出EVEN和ODD，当输入包含偶数个1时，EVEN输出为1。

第七章

**时序电路的状态**：是一个状态变量的集合，这些状态变量在任意时刻的值都包含了为确定电路的未来行为而必须考虑的所有历史信息。

**时序电路**：输出是输入和当前状态（现态）的函数，电路中存在反馈结构和存储元件的电路。

**状态图**：用圆表示电路状态，圆之间的有向箭头表示状态变换，箭头上标注产生状态变换的输入和相应输出的图。

**状态表**：顶部为输入信号，左侧为现态，右侧填入次态和输出信号的表。

**状态变化的驱动方式**：包括边沿触发和脉冲触发。前者是指在脉冲上升沿或下载沿时状态发生变化，后者是指在时钟脉冲的高低电平时状态发生改变。

**存储元件**：一种能存储某个输入信号的器件，一般具有两个稳定状态，属于双稳态元件。Q、QN表示存储元件的当前状态。

**双稳态元件**：有两个稳定的状态，即置位状态和复位状态的器件。Q为1的状态称为置位状态，Q为0的状态称为复位状态。同时还有两个状态相反的输出。

**激励输入**：有1个或多个输入能激励或驱动存储元件进入稳定状态，这些输入被称为激励输入。

**锁存器**：通过激励输入的电平来控制元件的状态的器件。

**置位锁存器**：激励输入有效强制元件的输出为1的锁存器。

**复位锁存器**：激励输入有效强制元件的输出为0的锁存器。

**置位复位锁存器**：同时具有置位和复位激励信号的锁存器。

**S-R锁存器**：S-R锁存器，即置位-复位锁存器，有两个输入信号

S和R。除非S和R均为0，否则其次态与现态无关。当S和R均为1时，其输出不确定。故S-R锁存器的次态方程和约束条件为：Qn+1 = S + ·Qn（S·R=0）。若给R-S锁存器加上使能端形成带使能端的R-S锁存器，则当使能端无效时，锁存器维持现态。

**D锁存器**：只有一个数据输入端的锁存器称为D锁存器，也称为透明锁存器。D锁存器有一个输入端D和一个控制端C，当控制端为0时保持现态，当控制端为1时次态与输入相同。即次态方程和约束条件为：Qn+1 = D（C=1）。

**建立时间**：输入D在C的下降沿到达前必须保持稳定的时间。

**保持时间**：输入D在C的下降沿到达后必须保持稳定的时间。建立时间或保持时间内D输入改变，会导致输出不可预测。

**触发器**：具有时钟控制信号，时钟信号的边沿向触发器发送激励信号，触发器根据激励信号改变状态的器件。

**触发器与锁存器的区别**：对于锁存器，在全部有效电平内，输入信号都能直接改变锁存器的状态；而对于触发器，只在时钟信号的边沿（包括上升沿和下降沿）改变其输出状态。

**主从式触发器**：在时钟脉冲信号高电平期间数据进入触发器，在下降沿输出反映输入的变化的触发器。其特点是数据在第一个边沿锁入触发器，第二个边沿后数据出现在输出端。

**D触发器**：一般指主从式正边沿D触发器，它由一对D锁存器构成。它有两个输入，CLK和D。在CLK的上升沿，采样D输入的信号，并在下降沿改变输出，其余时刻其输出不变。其次态方程为：Qn+1 = D。D触发器可以加上一个预置端和一个清零端，两者有效时均会导致输出端立即变化。前者强制使得输出变为1，后者使得输出变为0。

**建立时间**：输入D在时钟边沿到达前必须保持稳定的时间。

**保持时间**：输入D在时钟边沿到达后必须保持稳定的时间。

**R-S触发器**：一般指主从式R-S触发器。有三个输入，R，S和使能端C。当使能端C无效时，其输出保持现态不变。当C有效时，其次态方程为：Qn+1 = S + ·Qn。

**J-K触发器**：一般指主从式J-K触发器。有三个输入，J，K和使能端C。当JK输入同时有效时，输出Q和QN进入与当前状态相反的状态。

**1钳位**：在触发脉冲后沿时间，即使K输入有效,而J输入无效，触发器的输出也可能为1。这一问题称为1钳位。

**0钳位**：在触发脉冲后沿时间，即使J输入有效,而K输入无效，触发器的输出也可能为0。这一问题称为0钳位。

**T触发器**：在每一个时钟脉冲的有效边沿都会改变状态的触发器。其次态方程为：Qn+1 =。

**同步时序逻辑**：存储元件状态的变化是在同一时钟信号操作下同时发生的。

**同步时序电路的分析步骤**：

1、写出每个触发器的激励输入方程（输入和现态的函数）。

2、将激励方程代入到触发器的特征方程，得到转移方程。

3、写出电路的输出方程。

4、根据转移方程，列出所有输入、现态和输出、次态的组合，得到状态转移(输出)表。

5、根据状态转移表画出状态转移图。

6、说明电路功能及其能否自启动。

**同步时序电路的设计步骤**：

1、逻辑抽象：根据逻辑问题设定状态，构建原始状态转换图（表）。

2、状态化简：去除冗余状态，得到最小状态表。

3、状态编码：给状态分配一个二进制编码。

4、选择触发器：按照电路的需求，选择最合适的触发器类型。

5、导出方程：根据编码状态转换表和触发器特征方程，导出输出方程和激励方程。

6、画电路图：根据输出方程和激励方程画出逻辑电路图。

7、检查自启动：检查电路能否自启动。

**状态化简**：是指要获得一个最小化的状态表，这个表不仅能正确地反映设计的全部要求，而且状态的数目最少。

**等价状态**：设状态Si和Sj是状态表中的两个状态，如果对于所有可能的输入序列，分别从状态Si和Sj状态出发，所得到的输出响应（次态和输出）序列完全相同，则状态Si和Sj是等价的。等价状态可以合并，状态化简的目的是合并所有等价状态。

**蕴含表化简**：是一种进行等价状态判定，进行状态化简的方式。蕴含表化简的步骤为：

1、构建一个直角三角形阶梯表，两直角边的网格数相同，用状态名进行顺序标注。网格数等于原始状态表中的状态数少 1。纵坐标从上到下标注，缺少第一个状态；横坐标从左到右标注，缺少最后一个状态。

2、横纵坐标交汇的每个方格代表一个状态对。若方格对应的两状态对能确定等价，则方格内画勾；能确定不等价，则方格内画叉。若与其它状态对有关，则填写相关状态对。

3、进行关联比较，确定等价状态对。

**状态编码**：赋予状态一个唯一的二进制编码的过程。1位二进制编码需要用1个触发器表示。

**相邻状态分配法**：是一种状态编码的规则。包括以下几条：

规则1，次态相同，现态相邻。对于给定的输入，具有相同次态的现态应该分配逻辑相邻的编码。

规则2，同一现态，次态相邻。对于一个现态，在逻辑相邻输入下的次态，应该分配逻辑相邻的编码。

规则3，输出规则。在相同输入情况下，具有相同输出的状态应该分配相邻的编码。

规则4，已经利用规则1、2、3确定分配相邻编码的状态对，其次态对应该分配相邻的编码。

规则5，在进行状态分配时，先找到在化简的状态表中作为次态次数最多的状态，分配全0的编码，然后利用规则1、2、3、4进行状态分配。尽可能的满足所有的规则。

**异步时序逻辑**：存储元件状态的变化不是同时发生的。

**异步时序电路**：又称反馈时序电路，是指状态变化不受“统一时钟信号控制”，电路状态的改变是由输入直接引起的电路。在这种电路中，要求任一时刻只有一个输入发生变化。电路进入稳定状态后，才会有新的输入变化。

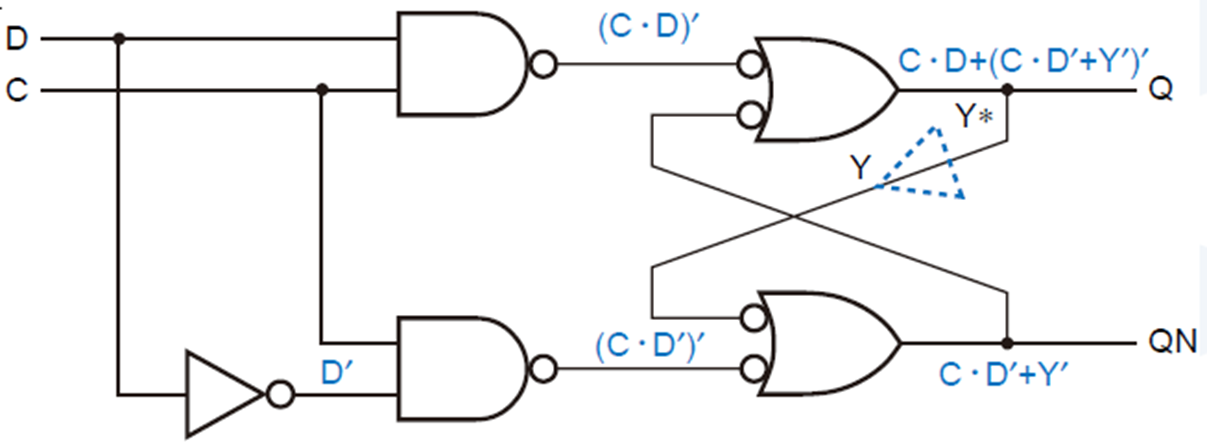
**异步时序电路的分析步骤**：

1、切断反馈路径，写出激励函数和输出函数。若发现从某器件出来的导线经过一定电路后又进入了自身，则切断的位置在从该器件出来之后的导线处，并设该导线的信号值为Y。

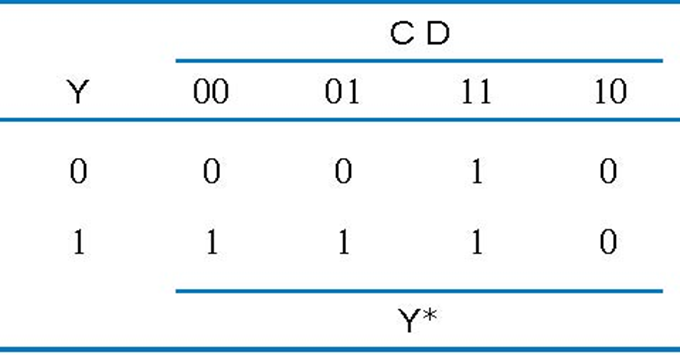
2、列出状态转移表。反馈电路的状态包括了Y和相关的输入，该输入会使得下一周期的Y发生某些变化，变为Y\*。

3、进行状态编码并作出状态图。

4、进行稳定状态的转移分析，作出状态转移图，并说明电路的时序功能。



该电路的各状态为：

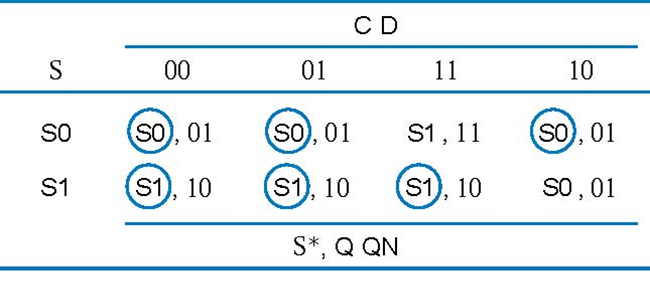


**总态**：用来描述异步时序机的行为。包括次态S和输入状态I。

**稳定状态**：如某一现态y在输入x发生变化时，若次态Y和现态y的值相同，则称次态Y为稳定状态；若次态Y和现态y的值不等，则称进入的次态Y为不稳定状态。不稳定状态不能保持不变，经过一段延迟时间后，现态和次态趋于一致，进入稳定状态，这一过程称为状态迁移。

**状态表**：对状态命名，且将稳定的总状态用圆圈圈住所得到的表。输入状态的改变能引起次态在状态表作水平方向移动，二次状态（不进行输入）的改变则引起次态在状态表中作垂直方向移动。

上述各状态对应的状态表为：



**流程表**：由现态和在不同输入条件下的次态及输出组成的表。其中需要表示出每次转移过程的最终目标，同时去除无效状态和那些不属于稳定的总状态在单个输入变化时会到达的下一状态的状态所对应的行。

**异步时序电路的设计步骤**：

1、根据逻辑要求，建立原始流程表

2、将原始状态表简化，得到最简流程表

3、对最简流程表进行状态分配

4、建立激励表和输出表

5、列出激励函数和输出函数表达式

6、画出逻辑电路图

7、检查电路能否自启动

第八章

**定时容限**：表示电路中的各个部件在不引起电路工作失效的情况下，比最坏的情况要坏多少。

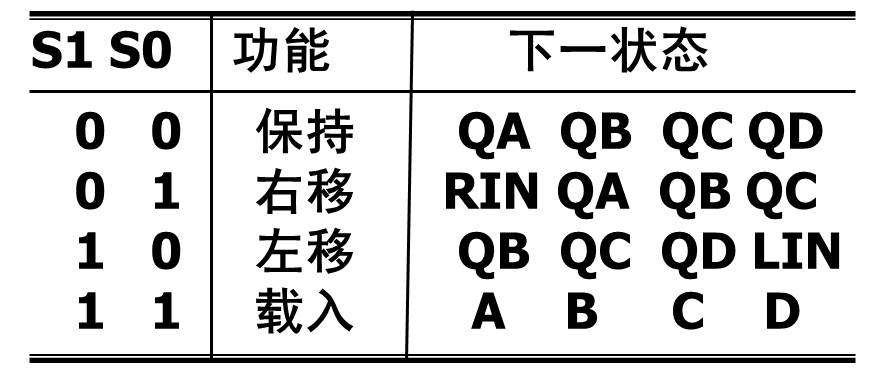
**寄存器**：共用一个时钟信号的多个D触发器组合在一起，称为寄存器，通常用来存储一组相关的二进制数（如指令、数据、地址和状态等）。

**计数器**：是实现计数功能的逻辑器件。按照时钟分为同步，异步计数器，按计数方式分为加法，减法和可逆计数器。

**行波计数器**：进位信息像波浪一样由低位向高位，每次传送一次的计数器，属于异步计数器。

**同步计数器**：所有的触发器共用一个时钟信号，在时钟信号有效后，所有触发器的输出同时发生变化的计数器。同步计数器的延迟小于异步计数器。例如，四位二进制同步计数器74HC163。它有一个时钟端，一个清零端和一个置数端，两个使能端和四个置数输入。其清零端和置数端都是低电平有效的。当清零端有效时，下一个时钟周期计数清零；当置数端有效时，下一个时钟周期其输出变为从四个置数端输入的值。它有四个计数输出和一个进位输出，当计数至1111时，进位输出为1一次，同时计数清零，其余时刻进位输出为0。与之类似的74HC161是四位二进制异步计数器，74HC169则是四位二进制可逆计数器，对于后者，当其计数至0000且处于减法计数状态时，进位输出为1一次，同时计数变为1111。

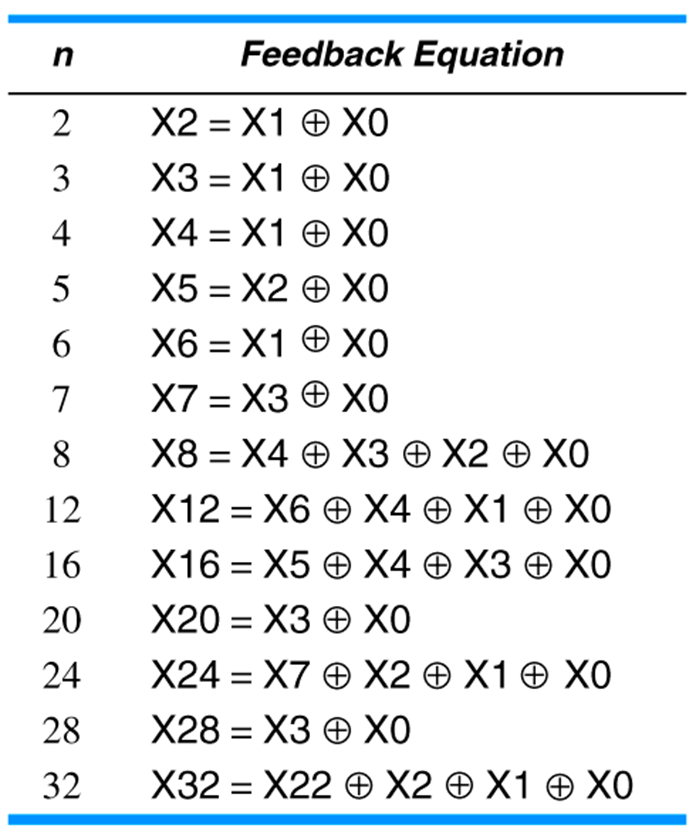
**移位寄存器**：是一个n位寄存器，在每一个时钟触发沿到来时就将所存储的数据移动一位。例如，四位通用移位寄存器74HC194。它有一个时钟端，一个低电平有效的清零端，两个控制输入S0和S1，一个左移输入和一个右移输出，以及四个数据输入A，B，C和D。它有四个输出QA，QB，QC和QD。其功能表为：



其中左移是指向下移动，右移是指向上移动。

**线性反馈移位寄存器**：又称最大长度序列发生器，是一种有 （2^n-1） 种有效状态的移位寄存器。其设计基于有限域理论。对于任意值n，至少可以找到一种反馈方程，使得计数器的计数循环包含所有（2^n-1）种非零状态。

n的值和相对应的反馈方程为：



需要注意，全0状态的下一状态还是全0。所以一般需要通过置数打破其无效的全零状态。可以将其改造成包含全零状态的线性反馈移位寄存器，其方法为额外增加一个异或门和一个n-1个输入的或非门，使得在全零输入的情况下，产生1。