**第三次实验报告-221900180-田永铭**

**实验目的**

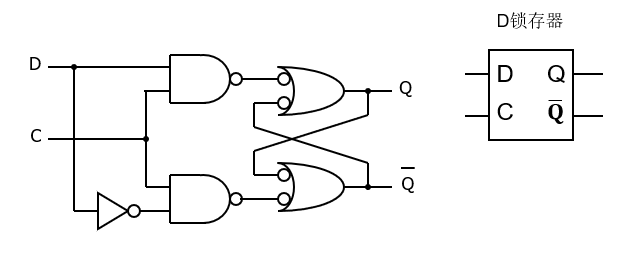
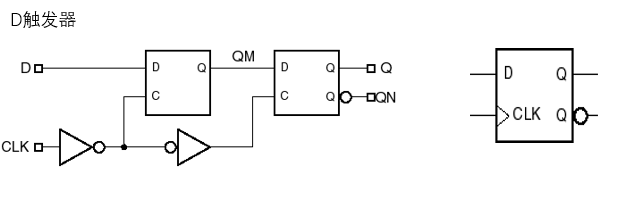
1. 掌握使用Logisim软件设计、实现时序逻辑电路的方法
2. 掌握触发器、计数器的设计方法和实现步骤
3. 学习寄存器和寄存器堆的设计和实现方法
4. 学习移位寄存器的设计原理和实现方法

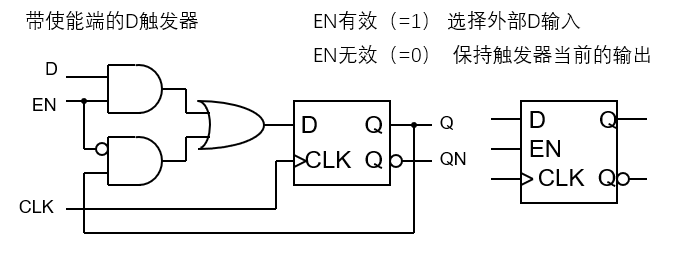
**实验1 D触发器**

**（一）实验原理**

**D触发器**

参考下图所示的锁存器和触发器原理图，首先在子电路中实现一个D锁存器，然后在另一个子电路中利用锁存器实现一个带有使能端的D触发器。输入信号有D（数据输入端）、EN（高电平有效）、CLK；输出信号有Q、QN。请注意下面给出的原理图依次为D锁存器、D触发器、带使能端的D触发器。

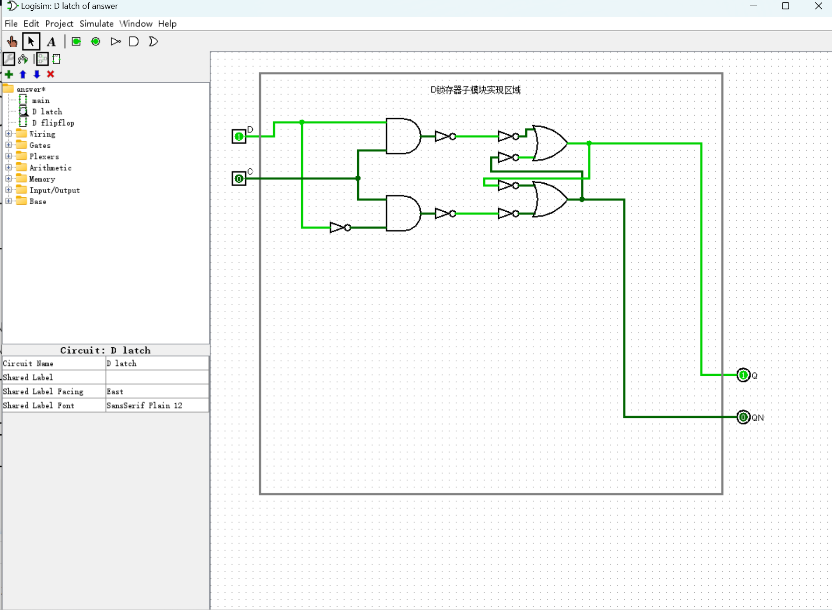
 



**（二）实验步骤**

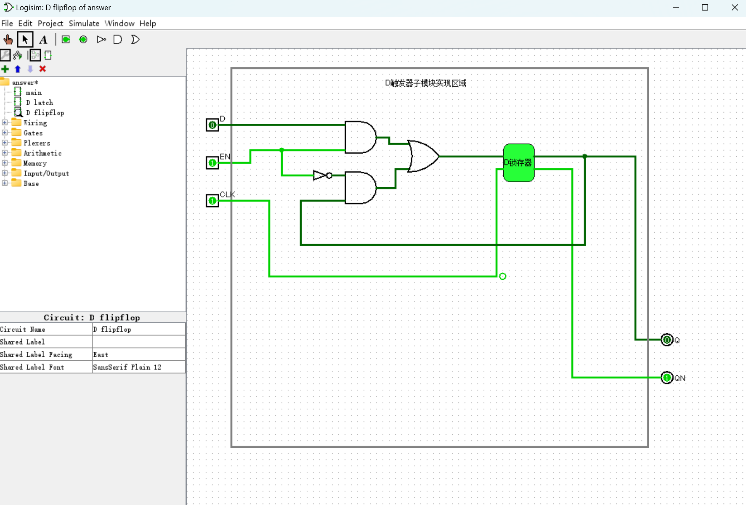
1.首先在子电路中实现D锁存器：

在电路中添加两个2输入的与门，7个反相器，两个2输入的非门，按照下图所示进行摆放与连接。



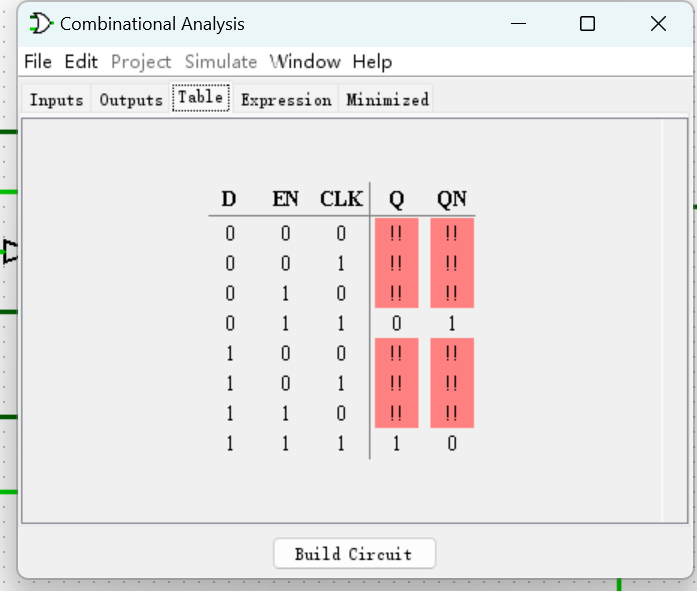
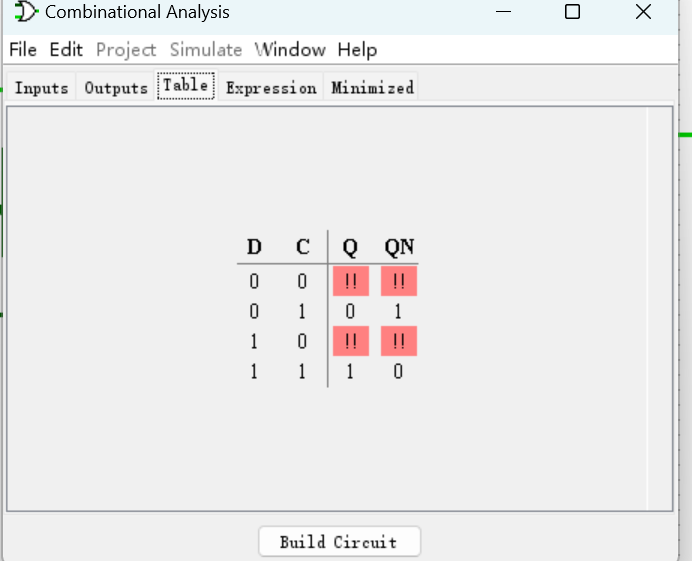
2.再实现D触发器：

在电路中添加一个第一步实现的D锁存器，再添加一个反相器，2个2输入的与门，一个2输入的非门，按照下图所示摆放与连接。



3.仿真验证电路，进入仿真状态，改变输入引脚赋值，记录输出引脚的数值，填写输入输出数据表，验证电路功能。

**（三）测试结果**



**（四）总结与思考**

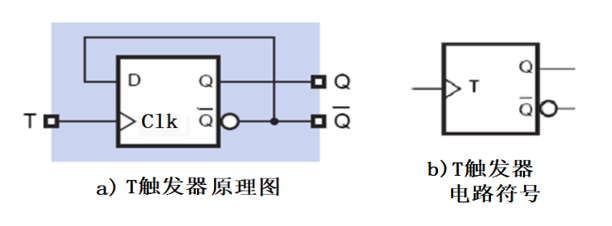
通过实验，我掌握了一些使用Logisim构建时序逻辑电路的方法，成功构建了一个D触发器。在搭建电路的时候，我出了一个小状况，我少用了一些反相器。经过改正，我完成了电路。这让我反思：在搭建电路之前，应该首先搞懂电路的原理，这样不仅会使电路搭建过程更快，还会减少错误。

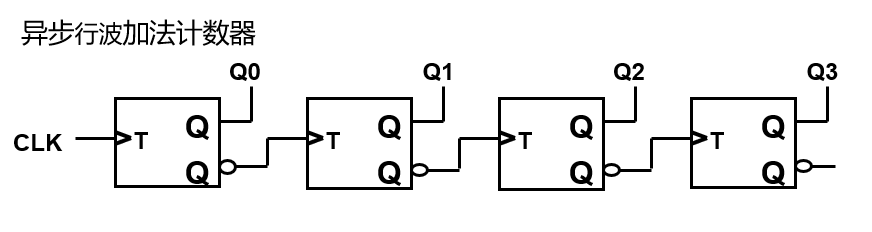
**实验2 加法计数器**

**（一）实验原理**

**4位行波加法计数器**

参考下面给出的电路图和功能表，首先实现T触发器（利用Logisim库中的D触发器），然后利用T触发器实现一个4位的2进制加法计数器。计数器的输入信号为CLK，输出信号为Q0、Q1、Q2、Q3。

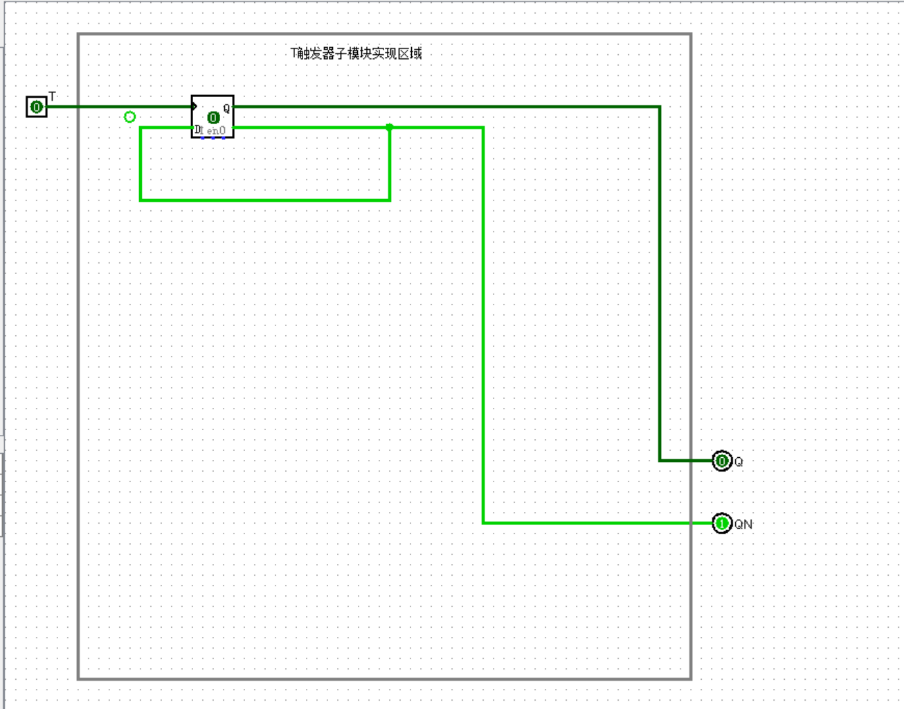




**（二）实验步骤**

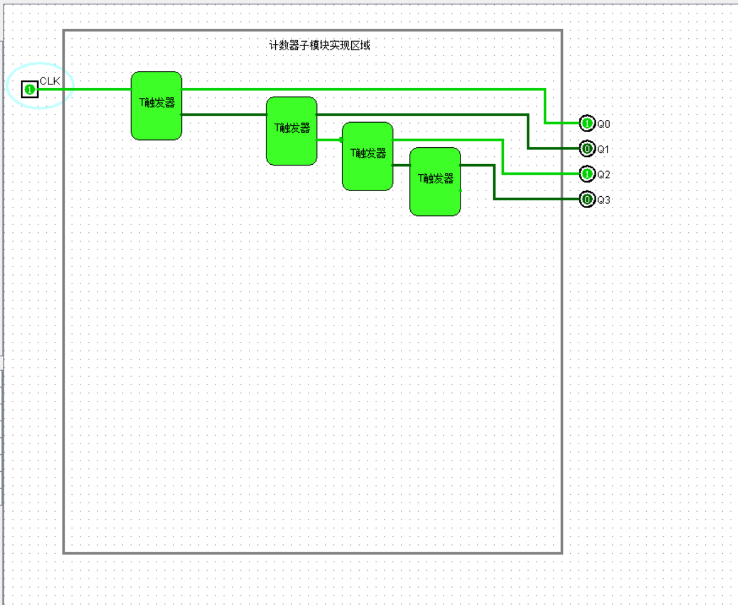
1.实现一个T触发器：

利用一个D触发器，按照下图方式实现。



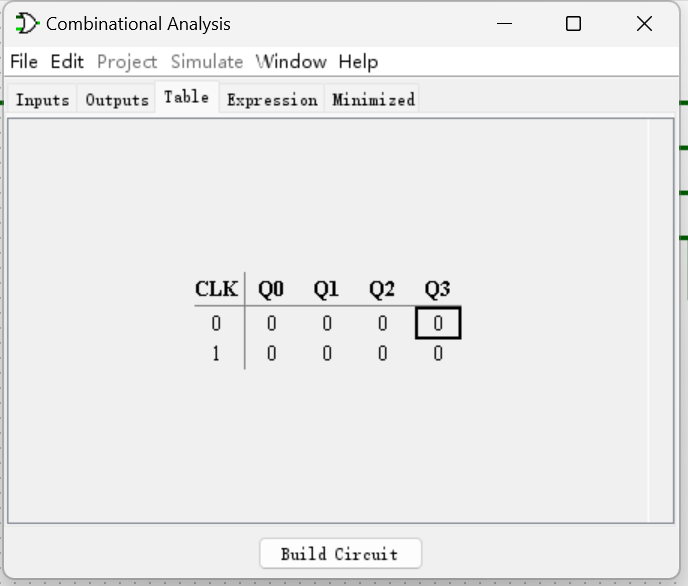
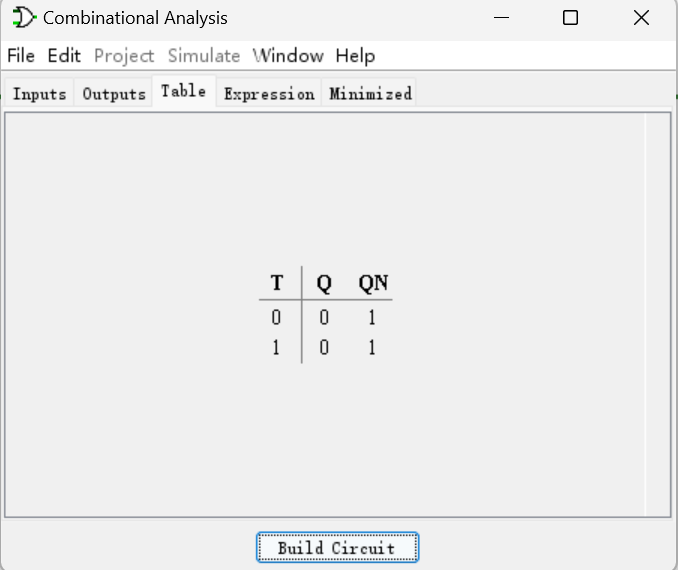
2.实现4位行波加法计数器：

将4个T触发器按照下图所示方式级联，实现4位行波加法计数器。



3.仿真验证电路，进入仿真状态，改变输入引脚赋值，记录输出引脚的数值，填写输入输出数据表，验证电路功能。

**（三）测试结果**

****

**（四）总结与思考**

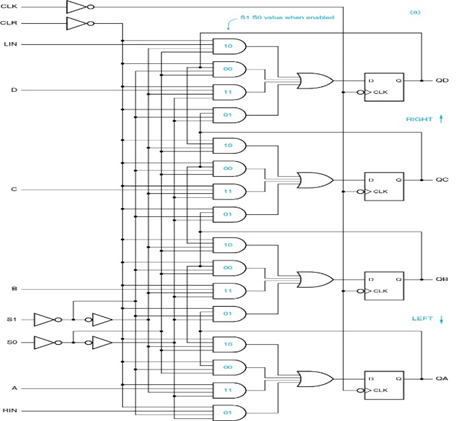
通过这次简单的实验，我掌握了一些使用Logisim构建时序逻辑电路的方法，成功构建了一个4位行波加法计数器。原本在课堂上，我对其理解并不深。但是通过这一次的电路搭建，我加深了对它的理解，更加清楚了其中的原理。马克思说实践是检验真理的唯一标准，此话一点不假。

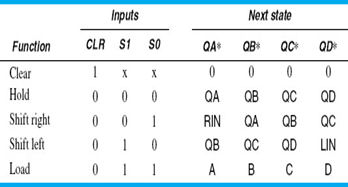
**实验3 位移寄存器**

**（一）实验原理**

1. **4位通用移位寄存器**

根据下面给出的电路原理图和功能表，实现一个4位的通用移位寄存器，输入端为A、B、C、D、CLK、CLR、LIN、RIN、S0、S1，输出端为QA、QB、QC、QD（请注意在移位时，QA为最左端，QD为最右端）。当做右移操作时，在最左端上补位RIN，当做左移操作时，在最右端上补位LIN。





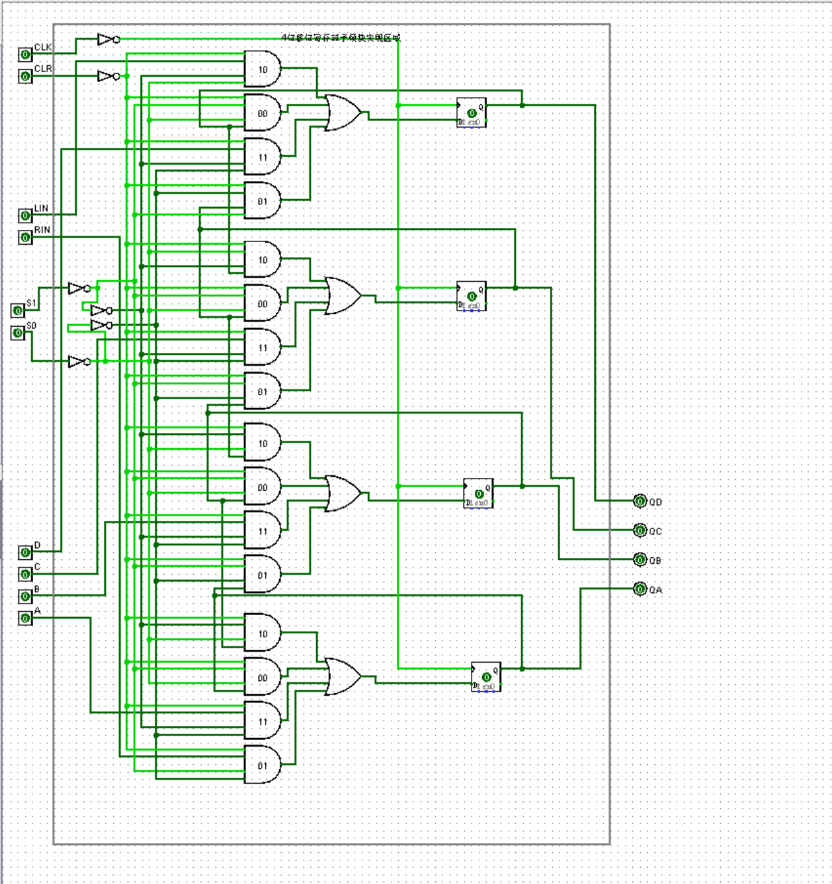
**（二）实验步骤**

1.首先添加器具：16个4输入的与门，4个4输入的或门，4个D触发器，6个反相器。

2.将器具规律排列。

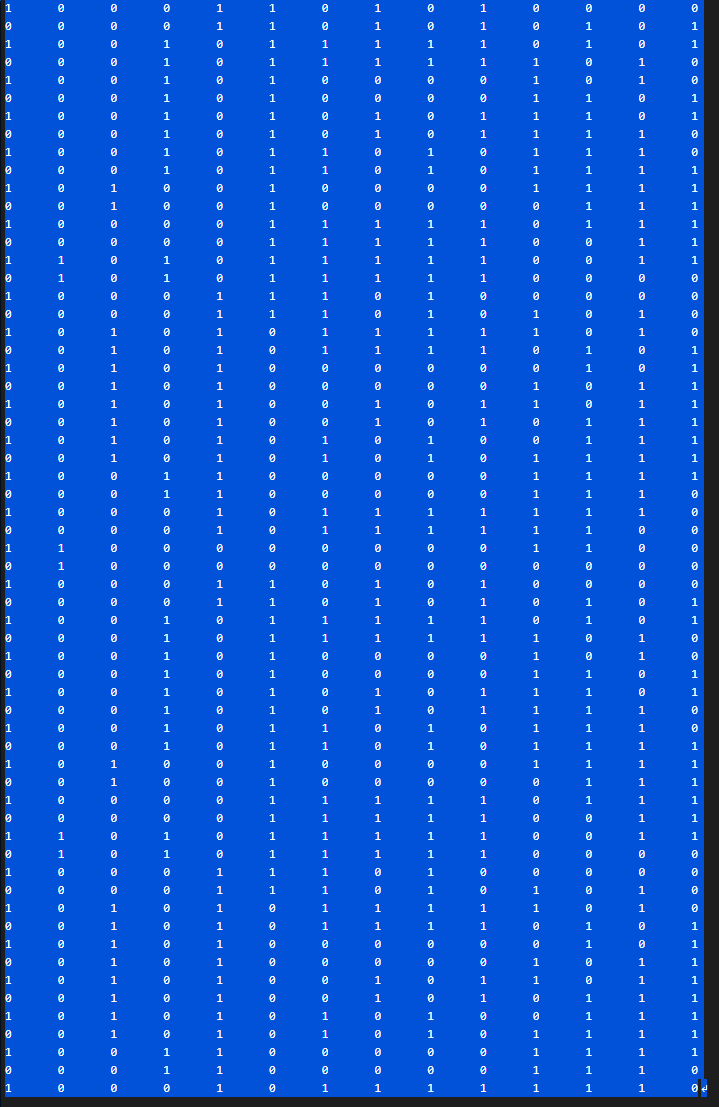
3.将16个与门分为4组，每一组进行编号，方便后续连线。

4.按照下图所示方式连线。



5. 仿真验证电路，进入仿真状态，改变输入引脚赋值，记录输出引脚的数值，填写输入输出数据表，验证电路功能。

**（三）测试结果**

CLR,LIN,RIN,S1,S0A,B,C,D,QD,QC,QB,QA****

**（四）总结与思考**

通过本次实验，我成功用LOGISIM 构建了题目要求的非常复杂的电路图。这个电路图我一共连接了三次才成功。我总结到：对于复杂的电路图，需要我非常耐心仔细，才能够连接成功。而就这题而言，可以观察到连线其实是有明显的规律的，我应该观察好规律再动手做实验，这样效率才会更高。总之，我明白了位寄存器的原理，并且最终实现了实验。