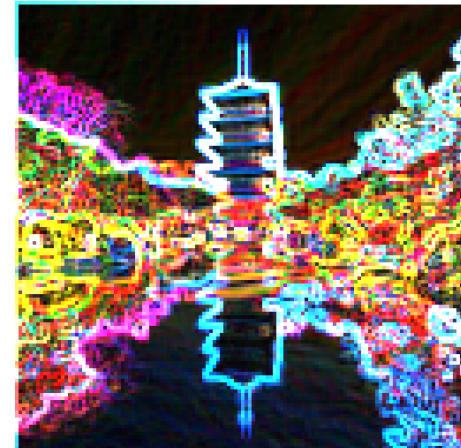


# ソーベルフィルタ

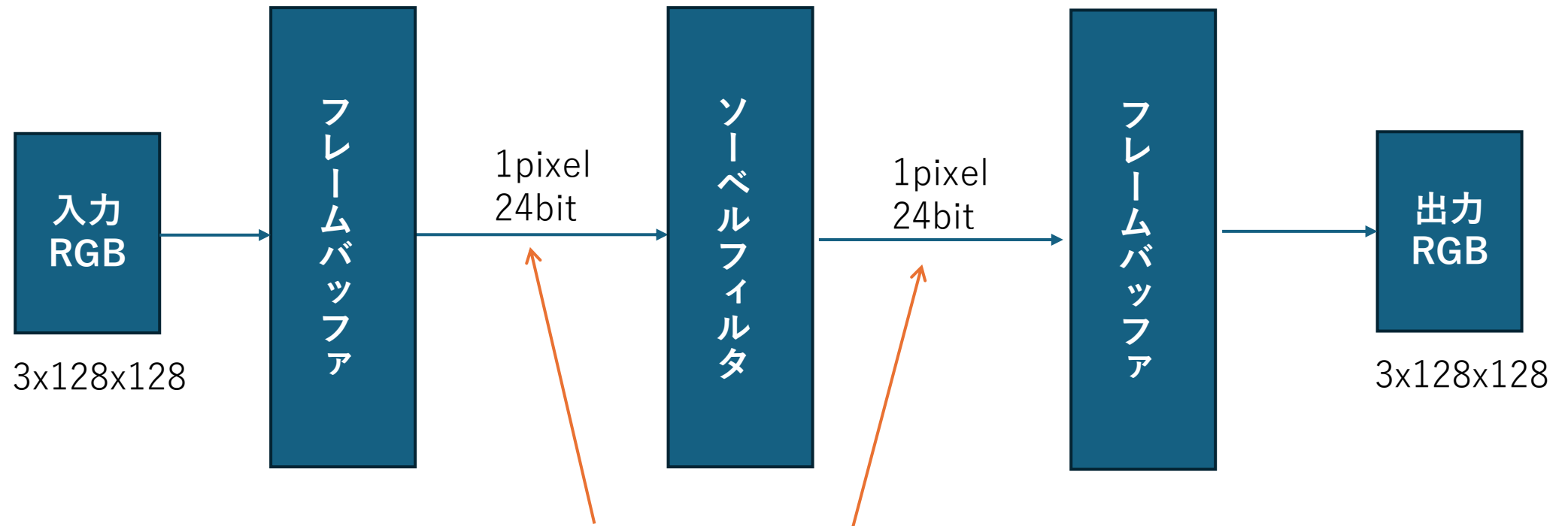
- ノイズを低減しながらエッジを強調できる
- 水平方向と垂直方向で別のカーネルを畳み込む
  - 畳み込みNNと同じ

グレースケールに畳み込むのは予想がつくが  
これらのフィルタをRGBそれぞれに畳み込むとどうなる？

**➡ 簡易的にポップな画像が生成！？**



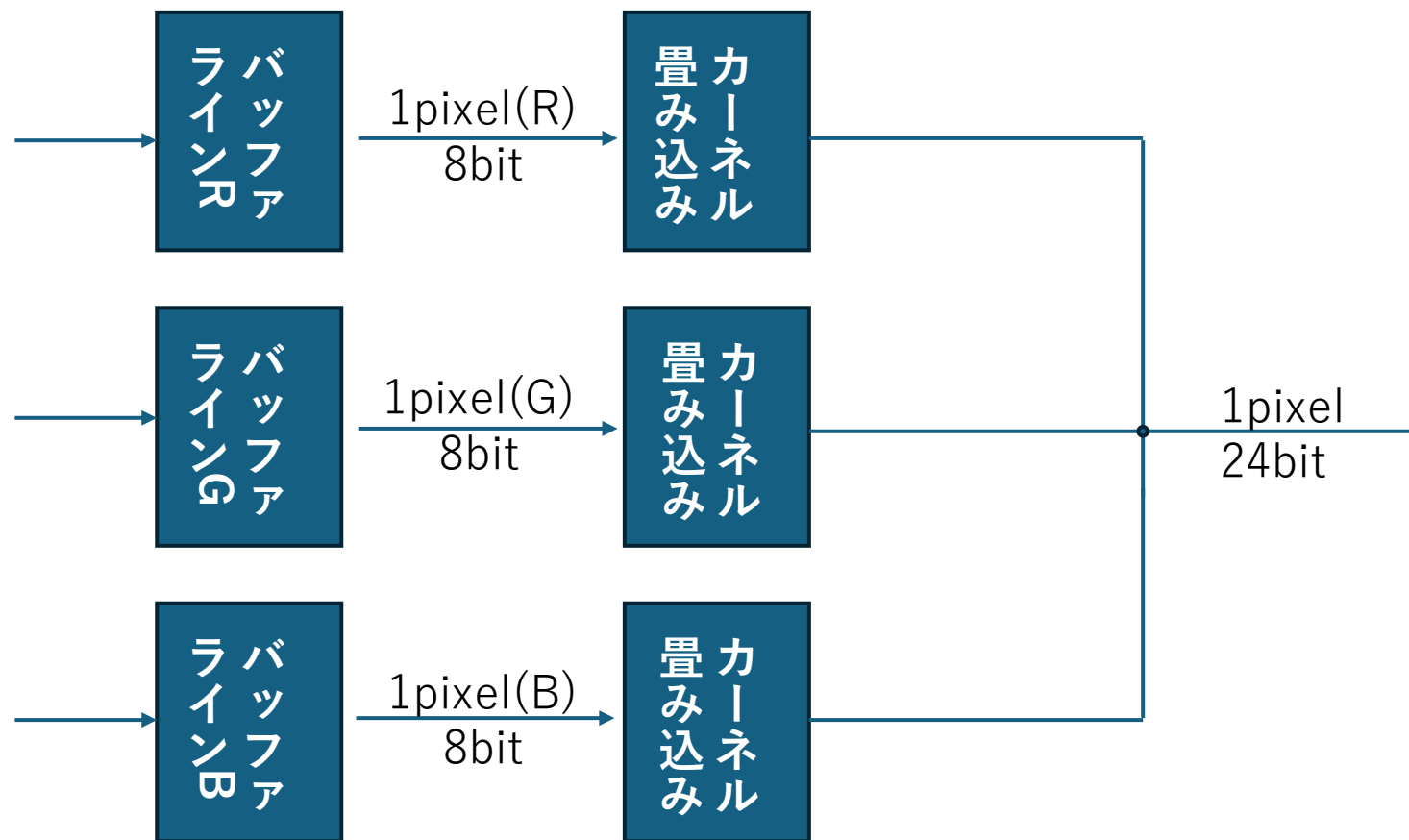
# アーキテクチャ



ストリーミング(順次)処理→FPGAの強み？

# ソーベルフィルタ(HW)

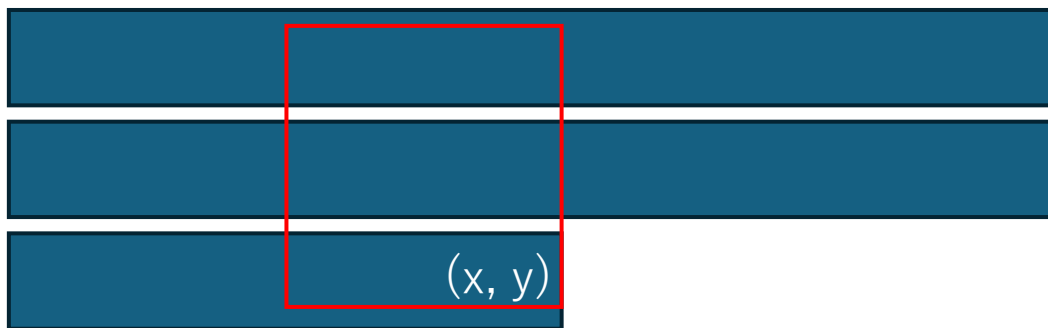
- フィルタの前にラインバッファを使うことで、畳み込み演算を効率化



# ラインバッファ

•  $\text{clk} = n$

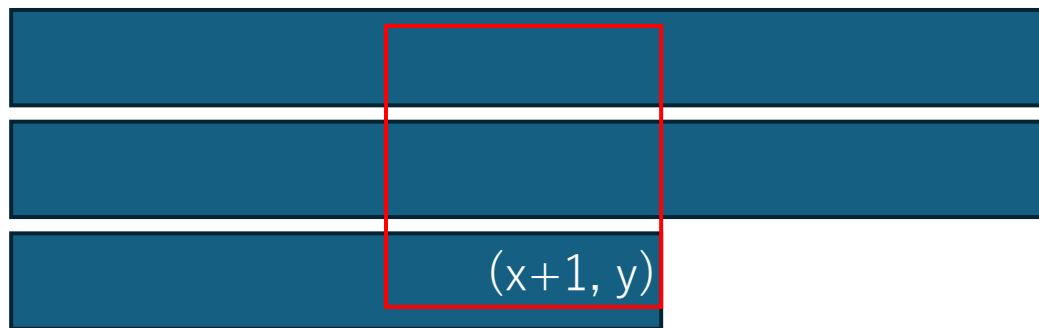
3x3カーネル



pixel\_in

•  $\text{clk} = n+1$

3x3カーネル



pixel\_in

毎クロック畳み込み可能→**ストリーミング処理に最適**  
順次メモリアクセス→**確実にBRAM推論される**  
3x3カーネル→**ラインバッファ2行分で良く、効率的**

# 回路規模

- **Total Logic Element:** 1174/114,480 (1%)
- **Total registers** 492
- **Total pins** 54/529 (10%)
- **Total memory bits** 793,576/3,982,312 (20%)
- **Frequency:** 53.43MHz

# 技術的に困難だった点

- ラインバッファがBRAM推論されず、LEを大量消費
  - BRAMは同期読み出ししかできない
  - 非同期読み出ししていたのを同期読み出しに修正
- 画像の境界がずれてしまう問題
  - アルゴリズムはピクセルのコピーで実装していた
  - HWでは細かく条件分岐する必要があった
- 最初の256サイクルはラインバッファが充足されていない
  - 256サイクル出力が出ないのでアーキテクチャを見直し、出力を遅延する必要がある

# 結果

