

第三章

一位半加器 (没有进位输入)

$$\text{进位 } C = AB \quad \text{求和 } S = A \oplus B$$

一位全加器 (输入 A_i, B_i, C_i)

$$\text{进位 } C_{i+1} = AB + BC + AC \quad \text{求和 } S = A_i \oplus B_i \oplus C_i$$

多位加法器设计 串行进位加法器、超前进位加法器 (递归展开表达式)

译码器 从二进制到独热编码

74LS138 译码器

$$\begin{array}{ccc} A_2 \sim A_0 & S_1, \overline{S_2}, \overline{S_3} & \overline{Y_0} \sim \overline{Y_7} \\ \text{输入} & \text{输入使能} & \text{输出, 低电平有效} \end{array}$$

3-8译码器扩展4-16译码器

↓
 $Y_0 \sim Y_7$ 接两芯片 $A_2 \sim A_0$, Y_8 接高位译码器 S_1 , 接低位译码器 $\overline{S_2}$

常见考题 译码器 + 门电路设计任意逻辑函数

→ 本质是化为最小项之和

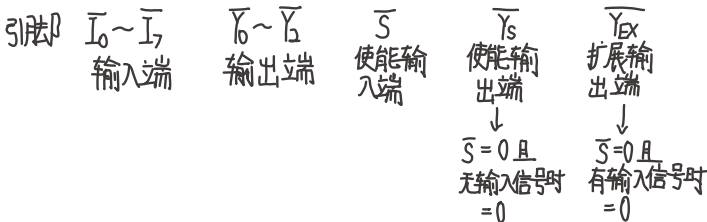
编码器 独热码/其它编码转二进制

$$\begin{array}{l} 8-3 \text{ 译码器} \\ F_2 = I_4 + I_5 + I_6 + I_7 \\ F_1 = I_2 + I_3 + I_6 + I_7 \\ F_0 = I_1 + I_3 + I_5 + I_7 \end{array} \quad \leftarrow \begin{array}{l} \text{同一时刻 8个输入端} \\ \text{只能有一个有效输入} \end{array}$$

改进 优先编码器 可以同时有多个有效输入, 只对其中优先级最高的编码

74LS148 8-3优先编码器 (输入和输出低电平有效)

$$\text{优先级 } \overline{I_7} > \overline{I_6} > \dots > \overline{I_0}$$



8-3 编码器扩展 16-4 编码器

$\bar{Z}_3 =$ 高位 \bar{Y}_{EX}

低位 \bar{S} 接高位 \bar{Y}_S

数据选择器与分配器

74LS153 双四选一数据选择器

74LS151 八选一数据选择器

$A_0 A_1$	$D_0 \sim D_3$	Y	\bar{ST}
控制输入	数据输入	输出端	输入使能

$$Y = \bar{A}_0 \bar{A}_1 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

$$= \sum_{i=0}^3 m_i D_i \quad \rightarrow \text{数据选择器通用表达式}$$

双四选一数据选择扩展 八选一数据选择

A_1, A_0 接输入端 A_1, A_0
 A_2 和 \bar{A}_2 接低端芯片和高端芯片 \bar{ST} 引脚

四选一扩展十六选一

→ 级联方法, 需要 3 个双四选一数据选择器

常见考题 数据选择器实现任意逻辑函数

(1) 当选择器输入端个数 $l \geq$ 逻辑函数变量数 n

→ 本质求最小项之和, 输入数据项只要填 0 或 1

(2) $l < n$

要求余函数 D_i , 输入数据项要包含逻辑变量

数据分配器 $A_0 A_1$ F $Y_0 \sim Y_3$
 ↓ 控制输入 数据输入 数据输出
 一对多

应用: 数据选择器 \rightarrow 信息并行转串行
 数据分配器 \rightarrow 信息串行转并行

奇偶校验电路

发送端偶校验 $F_E = B_3 \oplus B_2 \oplus B_1 \oplus B_0$

接收端偶校验 $S = B_3 \oplus B_2 \oplus B_1 \oplus B_0 \oplus F_E$

$S=0$ $S=1$
 ↓ ↓
 正常 异常

竞争冒险现象

竞争: 信息从不同途径到同一点, 顺序有先后
 冒险: 竞争导致电路输出发生瞬间错误, 产生毛刺

现象检查:

卡诺图两圈相切且无其它圈包含相切处

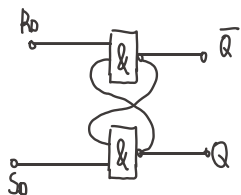
解决方法:

1. 利用冗余项, 在相切处强行加圈 (利用冗余项)
2. 在输出端放一电容消除毛刺 (吸收法)
3. 取样法 (电路稳定后加取样脉冲, 仅有脉冲期间输出有效, 使用范围广)

第四章

1 RS触发器 (低电平触发)

R_0	S_0	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	1	1 (不稳定)
1	1	不变	



RS触发器特性方程

$$\begin{cases} Q^{n+1} = \bar{S}_0 + R_0 Q^n \\ R_0 + S_0 = 1 \text{ (约束条件)} \end{cases}$$

2 钟控RS触发器 (高电平触发)

特性方程

特性	R	S	Q	\bar{Q}
$(CP=1 \text{ 时})$	0	0	不变	
	0	1	1	0
	1	0	0	1
	1	1	1	1 (不稳定)

$CP=0$ 时
不变

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ S R = 0 \end{cases}$$

(仅 $CP=1$ 时有效)

(4)

特性方程、卡诺图、状态转换真值表、状态转换图之间相互转换都会画波形图

$$(Q^{n+1}=1) \rightarrow (Q^{n+1} = JQ^n + \bar{R}Q^n)$$

零散内容: 同步D, 同步JK, 同步T, 同步T'

($CP=0$ 保持, $CP=1$ 正常工作)

$$(Q^{n+1} = T \oplus Q^n)$$

T触发器: 把JK触发器 JK 引脚接到一起作T引脚, $T=0$ 保持, $T=1$ 翻转

T'触发器 T恒接1, 只能翻转 ($Q^{n+1} = \bar{Q}^n$)

3 主从触发器

包括主从RS, JK, D 触发器

(PS 主从RS是高电平触发)

($CP=1$ 时 主触发器变化, $CP=0$ 时主触发器状态传递给从触发器)

- 一次变化特性 $CLK=1$ 时, 主触发器只能发生一次变化

4 边沿触发器 (D 触发器, JK 触发器)

维持阻塞 D 触发器 CP 上升沿才更新

JK 触发器: CP 下降沿才更新

CMOS 传输门触发器 (实现 D 触发器)

触发器 特征方程, 特性表/状态转换真值表, 状态转换图, 波形图 要会转换

JK 触发器转换 RS 触发器: 令 $J=S$, $K=R$

转换 T 触发器 令 $J=K=T$

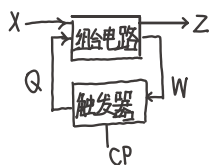
D 触发器转 JK 触发器 令 $D = \overline{JQ^n} + \overline{K}Q^n = \overline{\overline{JQ^n} \overline{K}Q^n}$ 与非门搭起来

JK 触发器转 D 触发器: 令 $J=D$, $K=\overline{D}$

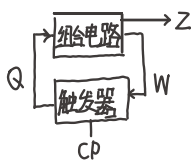
第五章 时序逻辑电路分析与设计

米莱型时序电路 现态 Q 和输入 X 决定输出 Z , $Z = F(X, Q)$ 穆勒型

摩尔型 现态 Q 决定输出 Z , $Z = F(Q)$



米莱型框图



摩尔型

同步和异步时序电路区别: 是否由统一时钟源进行控制

输出方程 $Z = F(X, Q)$ 控制方程/激励方程 $T = XQ^n$

触发器状态方程: $Q^{n+1} = T \oplus Q^n = T\overline{Q^n} + \overline{T}Q^n$

同步时序分析方法

- 1 求出输出方程和控制方程 (a)
- 2 将 (a) 代入触发器状态方程 得到下列方程组

$$\begin{cases} Q^{n+1} = G(X, Q^n) \\ Z = F(X, Q^n) \end{cases}$$

- 3 由上方程组画状态转换表, 画状态图、波形图, 分析逻辑

异步时序分析方法 (大致同上) $\rightarrow CP = K(X, Q)$

- 1 多画出时钟方程
- 2 方程组变为 $\begin{cases} Q^{n+1} = G(X, Q^n, CP_i) \\ Z = F(X, Q^n, CP_i) \end{cases}$
 CP 代表时钟信号
 $CP=1$ 代表时钟有效信号到达
 $CP=0$ 代表时钟没有有效信号到达
- 3 列状态转换表时要加上 CP 信号, 但其为因变量
如果 CP 为实际的时钟信号, 则状态转换表中恒取 1
↓
可能是上升/下降沿
也可能是高低电平

寄存器、移位寄存器 右移是高位向低位移动
左移是低位向高位移动

计数器 同步 异步 M 进制计数器设计 \rightarrow 详见见 Notion 梳理

序列码发生器: 计数器 + 组合逻辑

同步时序电路设计

- 1 建立原始状态表、状态表化简方法
- 2 状态分配与编码 (由状态数 N 确定使用触发器数 $\lceil \log_2 N \rceil$ 以及各状态分配)
- 3 把上面分析过程反过来, 得到输出方程和驱动方程, 画电路图
(卡诺图法)

