

往年题中出现的零散知识点

- 1、字母 TTL 代表晶体管——晶体管逻辑电路。
- 2、三态门的输出状态共有高电平、低电平、高阻态三个状态。
- 3、将模拟信号转换为数字信号需经过采样、保持、量化、编码四个步骤。
- 4、触发器的触发方式可分为电平触发和边沿触发。
- 5、逻辑门电路输出端可驱动同类门电路的个数称为扇出系数。
- 6、编码器（译码器，编码器选一）的特点是在任一时刻只有一个输入有效。
- 7、一位半加器具有 2 个输入和两个输出。
- 8、利用双稳态触发器存储信息的 RAM 称为静态 RAM。
- 9、要构成七进制计数器，最少需要用 3 个触发器，有 1 个无效状态
- 10、随机存储 RAM 的电路结构主要有存储矩阵、地址译码器、读写控制电路三部分组成
- 11、任何一个门电路只要有两个输入信号的逻辑同时向反方向变化，其输出端可能产生竞争冒险。
- 12、PROM 的或阵列可编程，PAL 的与阵列可编程，OLMC 中异或门的作用是选择输出极性
- 13、就逐次逼近型和双积分型两种 A/D 转换器而言，双积分型的抗干扰能力强，逐次逼近型的转换速度快。
- 14、在数字电路中，晶体管被用作开关元件，工作在特性曲线的截止区和饱和区。
- 15、多谐振荡器没有稳定状态，只有两个暂稳态。通过电容的充电和放电，使两个暂稳态相互交替，从而产生自激振荡，无需外触发。
- 16、单稳态触发器中，两个状态一个为稳态，另一个为暂稳态；多谐振荡器的两个状态都为暂稳态；施密特触发器的两个状态都为稳态。
- 17、TTL 与非门输入高电平的噪声容限为 $V_{NH}=V_{SH}-V_{ON}$ ，输入低电平的噪声容限为 $V_{NL}=V_{OFF}-V_{SL}$
- 18、一个触发器只能存储二位二进制代码，要存储三位二进制代码，要用到 3 个触发器。
- 19、组合逻辑电路的输出仅仅与该时刻的输入信号有关，而与电路原来状态无关。
- 20、一个四选一数据选择器，其地址输入端有 2 个。
- 21、集电极开路输出的 TTL 门需要上拉电阻，接在输出端和+5V 电源之间。
- 22、TTL 数组集成电路的电源电压为+5V
- 23、未连接的 TTL 输入端等效为高电平。
- 24、字母 CMOS 代表金属氧化物半导体
- 25、利用电容的存储功能来存储信息的 RAM 称为动态 RAM。

数制转换

1° +进制与非+进制间转换

(1) +进制 \Rightarrow 非+进制

除基取余法:

$$(81)_{10} = (\underline{\quad})_2$$

$$\begin{array}{r} \cancel{81} \\ 81 \div 2 = 40 \cdots 1 \\ 40 \div 2 = 20 \cdots 0 \\ 20 \div 2 = 10 \cdots 0 \\ 10 \div 2 = 5 \cdots 0 \\ 5 \div 2 = 2 \cdots 1 \\ 2 \div 2 = 1 \cdots 0 \\ 1 \div 2 = 0 \cdots 1 \end{array}$$

反向取值: 101001

$$\therefore (81)_{10} = (101001)_2$$

(2) 非+进制 \Rightarrow +进制

按权求和法:

$$\begin{aligned} (F8C.B)_{16} &= F \times 16^4 + 8 \times 16^3 + C \times 16^2 + B \times 16^1 \\ &= 3840 + 112 + 12 + 0.6875 \\ &= 3989.6875 \end{aligned}$$

$$\therefore (F8C.B)_{16} = (3989.6875)_{10}$$

2° 非+进制间转换

先转十，再转基

常用编码码

自然二进制码、格雷码、二+进制码

奇偶检验码、ASCII码等

(1) 自然二进制码与格雷码

+进制	自然二进制码	格雷码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0100
4	0100	0101
5	0101	0111
6	0110	0110
7	0111	0111
8	1000	1100
9	1001	1101
10	1010	1110
11	1011	1111
12	1100	0000
13	1101	0001
14	1110	0010
15	1111	0011

(2) 二- +进制码

只有 0-9

+进制数	8421码	余3码
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

逻辑运算

1. 反函数:

把任意一个逻辑函数式 F 做如下操作

① 把“+”换为“·”，“·”换为“+”

② 常量“0”换为“1”，“1”换为“0”

③ 原变量换为反变量，反变量换为原变量

则得到的函数 F' 称为 F 的反函数

$$\text{例: } F(A, B, C) = AB + \overline{A+BC} + \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$F' = (\overline{A+B}) \cdot \overline{A \cdot C + B} \cdot (A+B+C)$$

2. 对偶函数

① 把“+”变为“·”，“·”变为“+”

② 常量“1”变为“0”，“0”变为“1”

得到的 F' 为 F 的对偶式

$$\text{例: } F = \overline{AB + \overline{AC}} + \overline{1} \cdot B$$

$$F' = (\overline{A+B}) \cdot (\overline{A+C}) \cdot (0+B)$$

TTL门电路和CMOS门电路输入端各情况

(1) TTL:

① 空输入为高电平

② 输入电平串联大于1KΩ电阻为高电平

小于1KΩ电阻为低电平

③ 输入直接接地为低电平

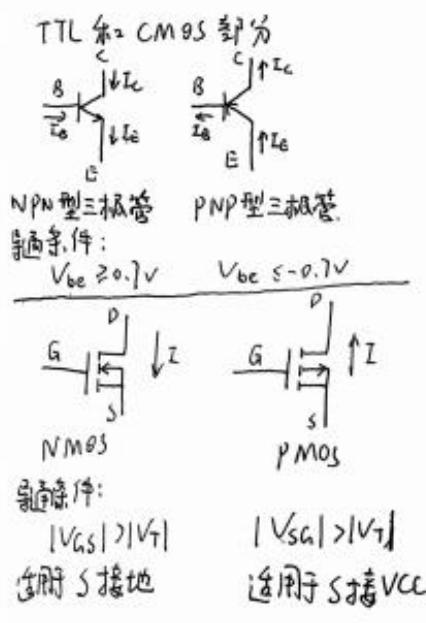
(2) CMOS:

① 通常不允许悬空，会置挂掉误

② 输入接地为低电平

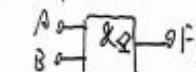
③ 输入接低电平就是低电平，接高电

平就是高电平，不受电阻影响



1. TTL "OC"门

逻辑符号:



功能: $F = \overline{AB}$

2. OC门实现“线与”逻辑

$$F = F_1 \times F_2 = \overline{\overline{AB} + \overline{CD}}$$



形成“与或非”门

3. 三态逻辑门 (TSL)

逻辑符号:



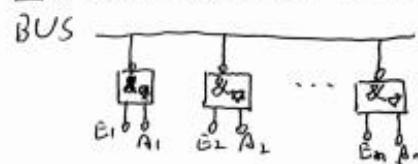
$E=0$ 时, $F = \overline{AB}$

$E=1$ 时, 高阻态.

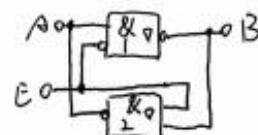
4. 三态门应用

1° 用于数据总线结构

通过使能端逻辑为高控制



2° 双向传输

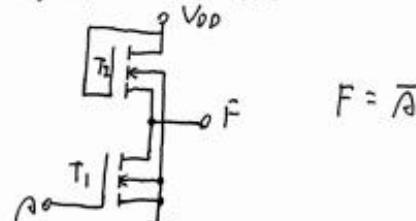


通过控制使能端控制信号传输方向

MOS集成逻辑门

1. NMOS i门电路

(1) NMOS 反相器



① A 高电平时, $V_{GS1} > V_{T1}$, T_1 导通
 $V_D = V_{S1} = 0.3V$, $V_o = 0.3V$ 输出低电平

$$V_{GS1} = V_{DD} - V_S = V_{DD} - V_o > V_{T1}$$

$\therefore T_2$ 管导通

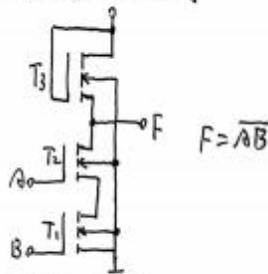
② A 低电平时, $V_{GS1} < V_{T1}$, T_1 截止

$$V_{GS2} > V_{T2}, T_2 导通$$

$$V_o = V_D - V_{T2} = 8V$$

\therefore 输出高电平

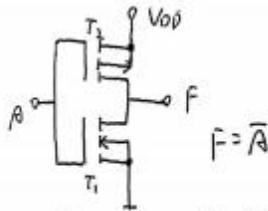
(2) NMOS 与非门



- ① A, B 均低电平
T₁ 截止, T₂ 导通, T₃ 导通
F 为高电平
- ② A, B 均高电平
T₁ 导通, T₂ 导通, T₃ 导通
F 为低电平
- ③ A 高, B 低
T₁ 截止, T₂ 导通, T₃ 导通
F 为高电平
- ④ A 低, B 高
T₁ 导通, T₂ 截止, T₃ 导通
F 为高电平
- ∴ 实现与非功能

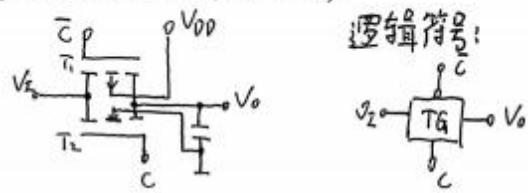
2. CMOS 门电路

(1) CMOS 反相器



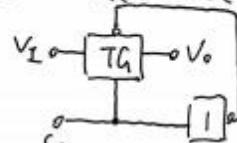
- T₁ 为 NMOS, T₂ 为 PMOS
- ① A 为高电平时
T₁ 导通, T₂ 截止
 $V_o = V_{DD}$
∴ F 为低电平
- ② A 为低电平时
T₁ 截止, T₂ 导通
 $V_o \approx V_{DD}$
∴ F 为高电平

(2) CMOS 传输门 (TG)

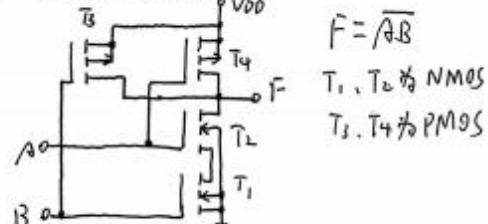


- T₁ 为 PMOS, T₂ 为 NMOS
- ① 当 C 为低电平时
T₁, T₂ 均截止, 开关关闭, 传输门储存信息
 - ② 当 C 为高电平时
 - V_1 在 $0 \sim (V_0 - V_T)$ 时, T₁ 导通
 - V_1 在 $(V_0 - V_T) \sim V_D$ 时, T₂ 导通
 - $\therefore V_2$ 在 $0 \sim V_D$ 时, 至少一个管导通
 - $V_0 = V_1$
 - ∴ 传输门传输信息

(3) CMOS 本模拟以开关



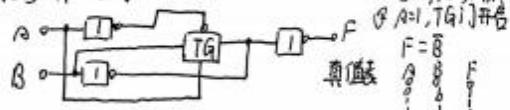
(4) CMOS 与非门



- ① A, B 均高电平
T₁, T₂ 导通, T₃, T₄ 截止
F 低电平
- ② A 高, B 低
T₁, T₄ 截止, T₂, T₃ 导通
F 高电平
- ③ A 低, B 高
T₁, T₄ 导通, T₂, T₃ 截止, F 高
- ④ A, B 均低
T₁, T₂ 截止, T₃, T₄ 导通, F 低

① A=0 时, TG1 关闭, F=B
② A=1, TG1 打开

(5) CMOS 异或门

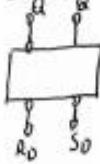


触发器类型整理

1. R-S 触发器

触发方式：电容触发

逻辑符号：



真值表：

R_D	S_D	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	不定(?)	不定(?)
1	1	不变	不变

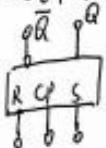
特征方程：

$$\begin{cases} Q_{n+1} = \bar{S}_D + R_D Q_n \\ R_D + S_D = 1 \end{cases} \quad \text{约束条件}$$

2. 钟控 R-S 触发器

触发方式：时钟脉冲作用下电平触发

逻辑符号：



真值表：

R	S	Q_{n+1}	Q_n
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	0

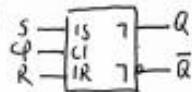
$$\begin{cases} Q_{n+1} = S + \bar{R} Q_n \\ SR = 0 \end{cases}$$

在 $CP=1$ 时， R, S 变化会导致输出多次改变
有空翻现象

3. 主从 R-S 触发器

触发方式：主从角触发

逻辑符号：



CP	S	R	Q^n	Q^{n+1}
X	X	X	X	Q_n
↓	0	0	0	0
↓	0	0	1	1
↓	1	0	0	1
↓	1	0	1	1
↓	0	1	0	0
↓	0	1	1	0
↓	1	1	0	1
↓	1	1	1	1

$$\begin{cases} Q_{n+1} = S + \bar{R} Q_n \\ SR = 0 \end{cases}$$

无空翻现象，有一次变化问题

(主角触发器在 $CP=1$ 时会改变一次，从角触发器在 CP 下降)

④. 循环复制主角触发器状态

4. 主从 J-K 触发器

触发方式：主从角触发

J	K	Q_{n+1}	Q_n
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	0

J	K	Q_{n+1}	Q_n
0	1	0	0
1	0	1	0
1	1	0	0

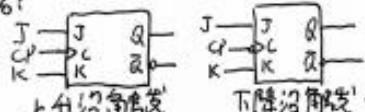
$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

有一次变化问题

5. 边沿 J-K 触发器

触发方式：边沿角触发

逻辑符号：



上升沿角触发

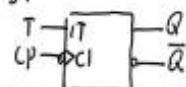
下降沿角触发

$$Q^{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

6. 触发器

触发方式: 边沿触发

逻辑符号:



$T=1$ 时 反转

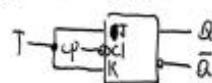
$T=0$ 时 保持

真值表:

T	Q_{n+1}
0	Q_n
1	\bar{Q}_n

$$\text{特征方程: } Q_{n+1} = T \oplus Q_n = T\bar{Q}_n + \bar{T}Q_n$$

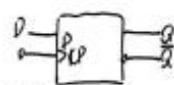
用JK触发器构成T触发器



7. D触发器

触发方式: 边沿触发

逻辑符号:



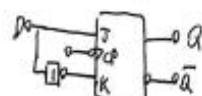
上升沿触发

真值表:

D	Q_{n+1}
0	0
1	1

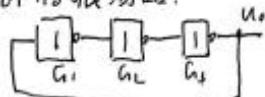
$$R_s Q_{n+1} = D$$

JK触发器改D触发器.



多谐振荡器

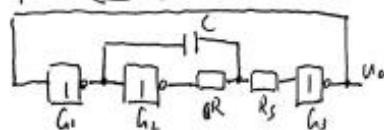
1. 环形振荡器



$$\text{振荡周期: } T = 2N t_{pd}$$

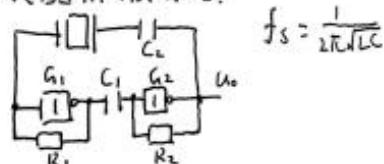
N为不小于3的奇数

2. 带RC延迟电路的环形振荡器



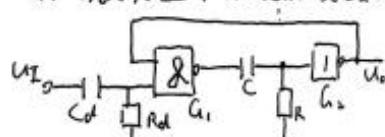
$$T = T_1 + T_2 = RC \left[\ln \frac{2(V_{in} - V_{Th} - V_{le})}{V_{in} - V_{Th}} + \ln \frac{2(V_{in} - V_{Th} - V_{le})}{V_{in} - V_{Th}} \right]$$

3. 石英晶体振荡器

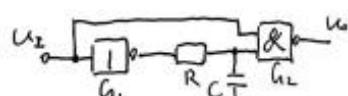


单稳态触发器

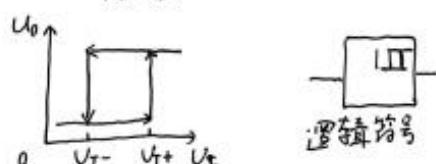
1. 微分型单稳态触发器



2. 积分型单稳态触发器



施密特触发器



传输特性



- PLD 分类
- 1° 与固定或编程: ROM 和 PROM
 - 2° 与或全编程: PLA
 - 3° 5 编程, 或固定: PAL, GAL 和 HDPLD

数模转换

1. 权电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

2. T型电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

3. 倒T型电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

4. 双极性 DAC 电路

5. 权电流型 D/A 转换器

集成 DAC 主要指标:

1. 最小输出电压 U_{LSB} 和满量程

输出电压 U_{FSR}

$$U_{LSB} = \frac{|U_{REF}|}{2^n}$$

$$U_{FSR} = \frac{2^n - 1}{2^n} |U_{REF}|$$

2. 转换精度

$$\text{分辨率} = \frac{U_{LSB}}{U_{FSR}} = \frac{1}{2^n - 1}$$

转换误差 $\left\{ \begin{array}{l} \text{比例系数误差} \\ \text{失调误差} \\ \text{非线性误差} \end{array} \right.$

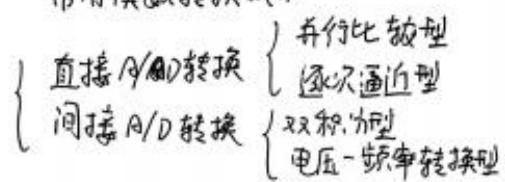
3. 转换速度

每秒 DAC 可进行转换的次数

模数转换的一般过程

采样、保持、量化、编码

常用模数转换技术



1. 并行比较型

优点: 转换速度最快, ns 级
不需要采样、保持电路。

缺点: 转换精度不易做得很高
应用: 高速 ADC

2. 逐次逼近型

$$T = (n+1)T_{CP}$$

优点: 电路较为简单, 容易扩展位数
精度较高

缺点: 转换速率较慢

应用: 高精度、中速以下 ADC

3. 双积分型

$$T_1 = 2^n T_{CP}$$

$$T_L = - \frac{U_L}{U_{REF}} 2^n T_{CP}$$

$$T = T_1 + T_L \approx 2T_1 = 2 \times 2^n T_{CP}$$

$$D = \frac{T_L}{T_{CP}} = \frac{U_L}{U_{REF}} 2^n$$

优点: 转换精度可以很高
输出数字量位数容易增加

缺点: 转换速度最低

应用: 低速、高精度 ADC