

往年题中出现的零散知识点

- 1、字母 TTL 代表晶体管——晶体管逻辑电路。
- 2、三态门的输出状态共有高电平、低电平、高阻态三个状态。
- 3、将模拟信号转换为数字信号需经过采样、保持、量化、编码四个步骤。
- 4、触发器的触发方式可分为电平触发和边沿触发。
- 5、逻辑门电路输出端可驱动同类门电路的个数称为扇出系数。
- 6、编码器（译码器，编码器选一）的特点是在任一时刻只有一个输入有效。
- 7、一位半加器具有2个输入和两个输出。
- 8、利用双稳态触发器存储信息的 RAM 称为静态 RAM。
- 9、要构成七进制计数器，最少需要用3个触发器，有1个无效状态
- 10、随机存储 RAM 的电路结构主要有存储矩阵、地址译码器、读写控制电路三部分组成
- 11、任何一个门电路只要有两个输入信号的逻辑同时向反方向变化，其输出端可能产生竞争冒险。
- 12、PROM 的或阵列可编程，PAL 的与阵列可编程，OLMC 中异或门的作用是选择输出极性
- 13、就逐次逼近型和双积分型两种 A/D 转换器而言，双积分型的抗干扰能力强，逐次逼近型的转换速度快。
- 14、在数字电路中，晶体管被用作开关元件，工作在特性曲线的截止区和饱和区。
- 15、多谐振荡器没有稳定状态，只有两个暂稳态。通过电容的充电和放电，使两个暂稳态相互交替，从而产生自激振荡，无需外触发。
- 16、单稳态触发器中，两个状态一个为稳态，另一个为暂稳态；多谐振荡器的两个状态都为暂稳态；施密特触发器的两个状态都为稳态。
- 17、TTL 与非门输入高电平的噪声容限为 $V_{NH}=V_{SH}-V_{ON}$ ，输入低电平的噪声容限为 $V_{NL}=V_{OFF}-V_{SL}$
- 18、一个触发器只能存储一位二进制代码，要存储三位二进制代码，要用到3个触发器。
- 19、组合逻辑电路的输出仅仅与该时刻的输入信号有关，而与电路原来状态无关。
- 20、一个四选一数据选择器，其地址输入端有2个。
- 21、集电极开路输出的 TTL 门需要上拉电阻，接在输出端和+5V 电源之间。
- 22、TTL 数组集成电路的电源电压为+5V
- 23、未连接的 TTL 输入端等效为高电平。
- 24、字母 CMOS 代表金属氧化物半导体
- 25、利用电容的存储功能来存储信息的 RAM 称为动态 RAM。

数制转换

1° 十进制与非十进制间转换

(1) 十进制 \Rightarrow 非十进制

除基取余法:

$$(81)_{10} = (?)_2$$

$$\begin{array}{r} 81 \div 2 = 40 \text{ 余 } 1 \\ 40 \div 2 = 20 \text{ 余 } 0 \\ 20 \div 2 = 10 \text{ 余 } 0 \\ 10 \div 2 = 5 \text{ 余 } 0 \\ 5 \div 2 = 2 \text{ 余 } 1 \\ 2 \div 2 = 1 \text{ 余 } 0 \\ 1 \div 2 = 0 \text{ 余 } 1 \end{array}$$

反向取值: 1010001

$$\therefore (81)_{10} = (1010001)_2$$

(2) 非十进制 \Rightarrow 十进制

按权求和

$$\begin{aligned} (F8C.B)_{16} &= F \times 16^2 + 8 \times 16^1 + C \times 16^0 + B \times 16^{-1} \\ &= 3840 + 128 + 12 + 0.6875 \\ &= 3980.6875 \end{aligned}$$

$$\therefore (F8C.B)_{16} = (3980.6875)_{10}$$

2° 非十进制间转换

先转十, 再转换

常用编码

自然二进制码、格雷码、二-十进制码

奇偶校验码、ASCII码等

(1) 自然二进制码与格雷码

十进制	自然二进制码	格雷码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1101
9	1001	1111
10	1010	1110
11	1011	1011
12	1100	1000

(2) 二-十进制码

只有 0-9

十进制数	8421码	余3码
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

逻辑运算

1. 反函数:

把任意一个逻辑函数式F做如下操作

①把"."换为"+", "+"换为"

②常量"0"换为"1", "1"换为"0"

③原变量换为反变量, 反变量换为原变量

则得到的函数F'称为F的反函数

$$\text{例: } F(A, B, C) = AB + \overline{A} + \overline{B} + \overline{C}$$

$$F' = (\overline{A} + B) \cdot \overline{\overline{A} + \overline{B} + \overline{C}} = (A + B + C)$$

2. 对偶函数

①把"."变为"+", "+"变为"

②常量"1"变为"0", "0"变为"1"

得到的F'为F的对偶式

$$\text{例: } F = \overline{AB} + \overline{AC} + 1 \cdot B$$

$$F' = (\overline{A+B}) \cdot (\overline{A+C}) \cdot (0+B)$$

TTL门电路和CMOS门电路输入端各情况

(1) TTL:

①输入悬空为高电平

②输入电平串联大于1K电阻为高电平

小于1K电阻为低电平

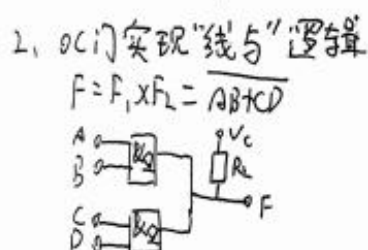
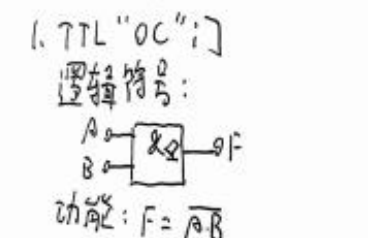
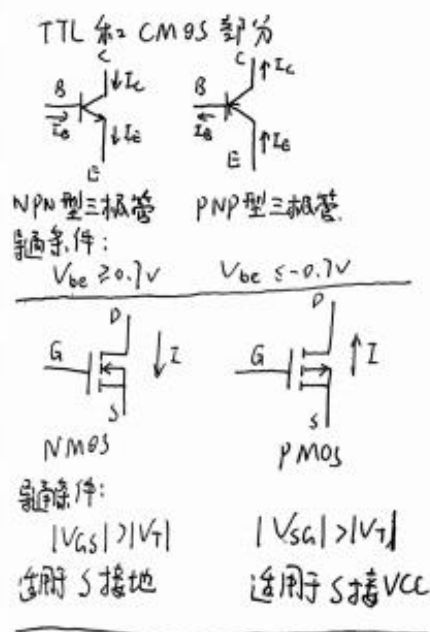
③输入直接接地为低电平

(2) CMOS:

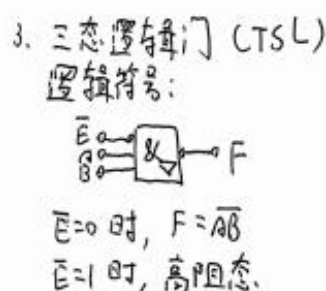
①通常不允许悬空, 会逻辑错误

②输入接地为低电平

③输入接低电平就是低电平, 接高电平就是高电平, 不受电阻影响



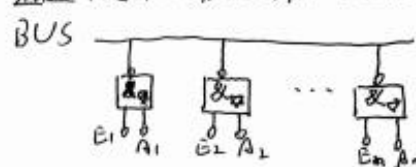
形成 "与或非" 门



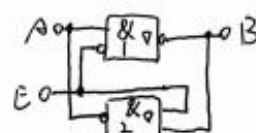
4. 三态门应用

1° 用于数据总线结构

通过使能端逻辑为地址控制



2° 双向传输

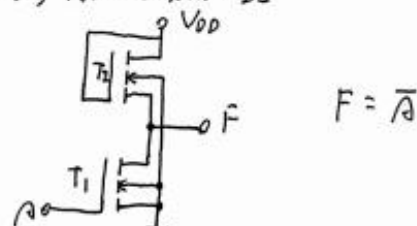


通过控制使能端控制信号传输方向

MOS 集成逻辑门

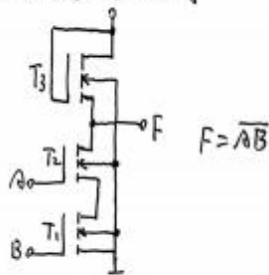
1. NMOS 门电路

1) NMOS 反相器



- ① A 高电平时, $V_{GS1} > V_{T1}$, T_1 导通
 $V_{D1} = V_{S1} = 0.3V$, $V_o = 0.3V$ 输出低电平
 $V_{GS1} = V_{DD} - V_S = V_{DD} - V_o > V_{T2}$
 $\therefore T_2$ 管导通
- ② A 低电平时, $V_{GS1} < V_{T1}$, T_1 截止
 $V_{GS2} > V_{T2}$, T_2 导通
 $V_o = V_{DD} - V_{T2} = 8V$
 \therefore 输出高电平

(2) NMOS 与非门

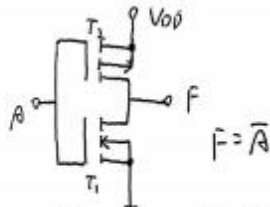


$$F = \overline{ABC}$$

- ① A, B 均低电平
T₁截止, T₂截止, T₃截止
F 为高电平
 - ② A, B 均高电平
T₁导通, T₂导通, T₃导通
F 为低电平
 - ③ A 高, B 低
T₁导通, T₂截止, T₃截止
F 为高电平
 - ④ A 低, B 高
T₁截止, T₂导通, T₃导通
F 为高电平
- ∴ 实现与非功能

2. CMOS 门电路

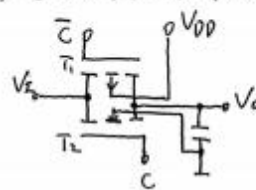
(1) CMOS 反相器



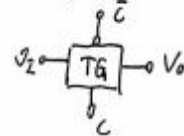
$$F = \overline{A}$$

- T₁ 为 PMOS, T₂ 为 NMOS
- ① A 为高电平时
T₁截止, T₂导通
V_o = 0
∴ F 为低电平
- ② A 为低电平时
T₁导通, T₂截止
V_o ≈ V_{DD}
∴ F 为高电平

(2) CMOS 传输门 (TG)



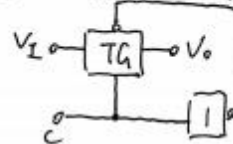
逻辑符号:



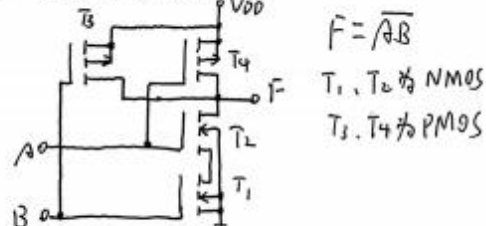
T₁ 为 PMOS, T₂ 为 NMOS

- ① 当 C 为低电平时
T₁, T₂ 均截止, 开关关闭, 传输门保存信息
- ② 当 C 为高电平时
V_I 在 0 ~ (V_{DD} - V_{T1}) 时, T₁ 导通
V_I 在 (V_{DD} - V_{T1}) ~ V_{DD} 时, T₂ 导通
∴ V_I 在 0 ~ V_{DD} 时, 至少一个管导通
V_o = V_I
∴ 传输门传输信息

(3) CMOS 模拟开关



(4) CMOS 与非门



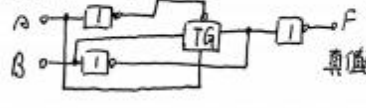
$$F = \overline{AB}$$

T₁, T₂ 为 NMOS

T₃, T₄ 为 PMOS

- ① A, B 均高电平
T₁, T₂ 导通, T₃, T₄ 截止
F 低电平
- ② A 高, B 低
T₁, T₂ 截止, T₃, T₄ 导通
F 高电平
- ③ A 低, B 高
T₁, T₂ 导通, T₃, T₄ 截止, F 高
- ④ A, B 均低
T₁, T₂ 截止, T₃, T₄ 导通, F 高

(5) CMOS 异或门



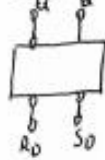
- ① A=0 时, TG1 关闭, F=B
- ② A=1 时, TG1 开启, F=̄B

触发器类型整理

1. R-S 触发器:

触发方式: 电平触发

逻辑符号:



真值表:

R0	S0	Q	Q̄
0	1	0	1
1	0	1	0
0	0	不定(0)	
1	1	不变	

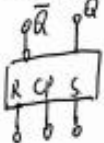
特征方程:

$$\begin{cases} Q_{n+1} = \bar{S}_0 + R_0 Q_n \\ R_0 + S_0 = 1 \text{ 约束条件} \end{cases}$$

2. 钟控 R-S 触发器

触发方式: 时钟作用下电平触发

逻辑符号:



真值表:

R	S	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	重

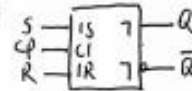
$$\begin{cases} Q_{n+1} = S + \bar{R} Q_n \\ SR = 0 \end{cases}$$

在 CP=1 时, R, S 变化会导致输出多次改变
有空翻现象

3. 主从 R-S 触发器

触发方式: 主从触发

逻辑符号:



CP	S	R	Q ⁿ	Q ⁿ⁺¹
X	X	X	X	Q ₀
↓	0	0	0	0
↓	0	0	1	1
↓	1	0	0	1
↓	1	0	1	1
↓	0	1	0	0
↓	0	1	1	0
↓	1	1	0	重
↓	1	1	1	重

$$\begin{cases} Q_{n+1} = S + \bar{R} Q_n \\ SR = 0 \end{cases}$$

无空翻现象, 有一次变化问题

(主触发器在 CP=1 时 R, S 改变一次, 从触发器在 CP 下降沿复制主触发器状态)

4. 主从 J-K 触发器

触发方式: 主从触发

逻辑符号:



J	K	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	Q̄ _n

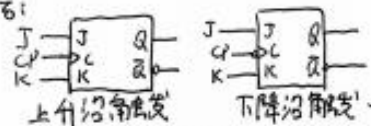
$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

有一次变化问题

5. 边沿 J-K 触发器

触发方式: 边沿触发

逻辑符号:

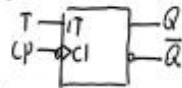


$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

6. 触发器

触发方式: 边沿触发

逻辑符号:



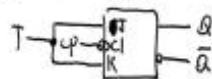
$T=1$ 时 反转
 $T=0$ 时 保持

真值表:

T	Q_{n+1}
0	Q_n
1	\bar{Q}_n

特征方程: $Q_{n+1} = T \oplus Q_n = T\bar{Q}_n + \bar{T}Q_n$

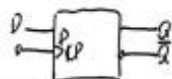
用 JK 触发器 构成 T 触发器



7. D 触发器

触发方式: 边沿触发

逻辑符号:



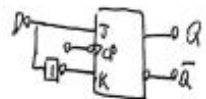
上升沿触发

真值表:

D	Q_{n+1}
0	0
1	1

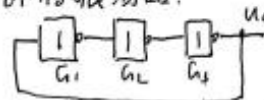
方程: $Q_{n+1} = D$

JK 触发器 改 D 触发器.



多谐振荡器

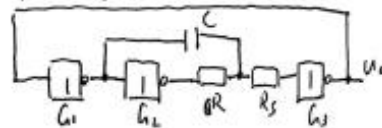
1. 环形振荡器



振荡周期: $T = 2N t_{pd}$

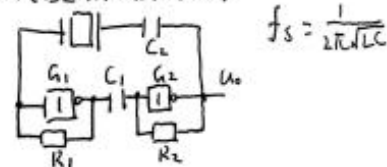
N 为不小于 3 的奇数

2. 带 RC 延迟电路的环形振荡器



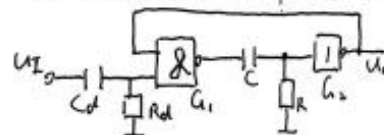
$$T = T_1 + T_2 = RC \left[\ln \frac{2(U_{OH} - U_{TH}) - U_L}{U_{OH} - U_{TH}} + \ln \frac{2(U_{OL} - U_{TL}) - U_H}{U_{OL} - U_{TL}} \right]$$

3. 石英晶体振荡器

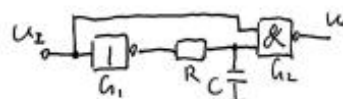


单稳态触发器

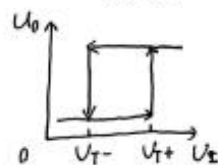
1. 微分型单稳态触发器



2. 积分型单稳态触发器



施密特触发器



传输特性



- PLD 分类
- 1° 与固定, 或编程: ROM 和 PROM
 - 2° 与或全编程: PLA
 - 3° 与编程, 或固定: PAL, GAL 和 HDPLD

数模转换

1. 权电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

2. T 型电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

3. 倒 T 型电阻网络 DAC 电路

$$U_o = - \frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

4. 双极性 DAC 电路

5. 权电流型 D/A 转换器

集成 DAC 主要指标

1. 最小输出电压 U_{LSB} 和满量程

输出电压 U_{FSR}

$$U_{LSB} = \frac{|U_{REF}|}{2^n}$$

$$U_{FSR} = \frac{2^n - 1}{2^n} |U_{REF}|$$

2. 转换精度

$$\text{分辨率} = \frac{U_{LSB}}{U_{FSR}} = \frac{1}{2^n - 1}$$

转换误差 { 比例系数误差
失调误差
非线性误差

3. 转换速度

每秒 DAC 可进行转换的次数

模数转换的一般过程

采样, 保持, 量化, 编码

常用模数转换技术

直接 A/D 转换 { 并行比较型
 { 逐次逼近型
间接 A/D 转换 { 双积分型
 { 电压-频率转换型

1. 并行比较型

优点: 转换速度最快, ns 级
不需要采样, 保持电路.

缺点: 转换精度不易做得很高
应用: 高速 ADC

2. 逐次逼近型

$$T = (n+1)T_{CP}$$

优点: 电路较为简单, 容易扩展位数
精度较高

缺点: 转换速率较慢

应用: 高精度, 中速以下 ADC

3. 双积分型

$$T_1 = 2^n T_{CP}$$

$$T_2 = - \frac{U_i}{U_{REF}} 2^n T_{CP}$$

$$T = T_1 + T_2 \approx 2T_1 = 2 \times 2^n T_{CP}$$

$$D = \frac{T_2}{T_{CP}} = - \frac{U_i}{U_{REF}} 2^n$$

优点: 转换精度可以很高
输出数字量位数容易增加

缺点: 转换速度最低

应用: 低速, 高精度 ADC