

***Μελέτη, Ανάλυση, Προσομοίωση, Συγκριτική μελέτη Ημιαγωγικών Διακοπών τύπου Αραίωσης  
και Πύκνωσης JFETs Καρβιδίου του Πυριτίου και εφαρμογή σε Αντριστροφέα Ισχύος***

Διπλωματική Εργασία  
του  
Νικόλαου Χρυσόγελου

Επιβλέπων :            Στέφανος Ν. Μανιάς  
Καθηγητής Ε.Μ.Π.

ΑΘΗΝΑ, ΙΟΥΛΙΟΣ 2014

---



# Περιεχόμενα

---

1. Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)
2. Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET*
3. Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET*
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Περιεχόμενα

---

1. **Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)**
2. Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET*
3. Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET*
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Βασικές ιδιότητες των υλικών

- Ενεργειακό διάκενο
  - ❖ Υψηλότερες θερμοκρασίες λειτουργίας
  - ❖ Μεγαλύτερες τάσεις
- Πεδίο Διάσπασης
  - ❖ Πιο λεπτά κανάλια αγωγής
  - ❖ Μικρότερες αντιστάσεις αγωγής
- Θερμική αγωγιμότητα
  - ❖ Υψηλότερες θερμοκρασίες διάσπασης
  - ❖ Ευκολότερη επαγωγή θερμότητας



Semiconductor Material	Bandgap (eV) Direct (D ),Indirect (I)	Breakdown Field, $E_c$ (kV/cm)	Thermal Conductivity $\sigma_T$ (W/(m * K))
Germanium (Ge)	0.661 , I	100	58
Silicon (Si)	1.12 , I	300	130
Gallium arsenide (GaAs)	1.424 , D	400	55
Gallium phosphide (GaP)	2.26 , I	1,000	110
Silicon carbide (SiC) (4H, $\alpha$ )	3.25 , I	3,180	700
Gallium nitride (GaN)	3.44 , D	3,000	700
C (diamond)	5.5 , I	5,700	1,000

- Μείωση βάρους και όγκου
- Υψηλότερες αποδόσεις και μεγαλύτερος χρόνος ζωής
- Υψηλότερες διακοπτικές συχνότητες

# Εμπορικές συσκευές Καρβιδίου του Πυριτίου

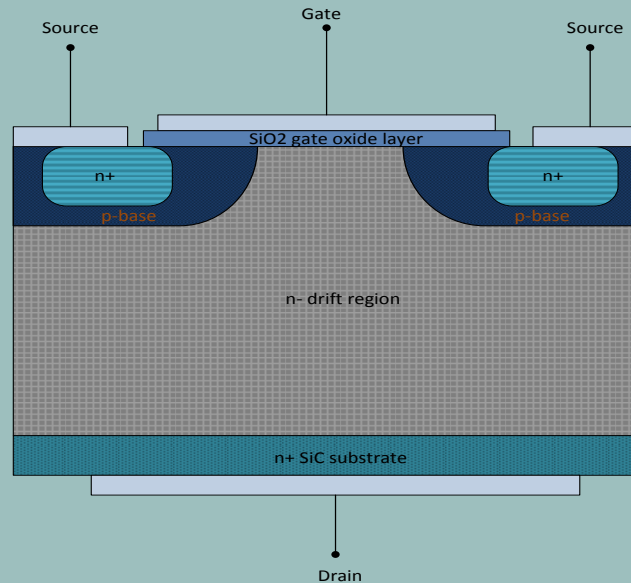
## SiC Schottky Barrier Diode

- ✓ Χαμηλό ανάστροφο χρόνο αποκατάστασης( $t_{rr}$ ) (<15ns) και ανεξάρτητα από τη θερμοκρασία
- ✓ Υψηλή τάση λειτουργίας (1.2kV)
- ✓ Χαμηλή πτώση τάσης (~1.5V)
- ✓ Κατάλληλο για υψηλές διακοπτικές συχνότητες σε μεσαίες τάσεις (3.3 kV)

## SiC IGBT

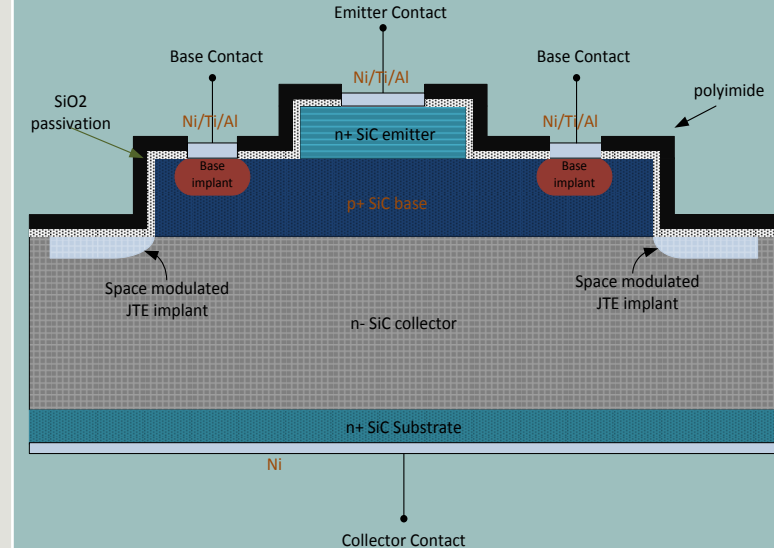
- Κατασκευή SiC n-type IGBT σε υπόστρωμα p-type έχει απαράδεκτα υψηλή αντίσταση
- Η επίδοση του στρώματος οξειδίου πύλης είναι χαμηλή
- Δεν αναμένεται να γίνουν εμπορικά τα επόμενα 10 χρόνια

## SiC Mosfet



- Αμφισβητούμενη σταθερότητα του στρώματος οξειδίου (SiC με το SiO<sub>2</sub>)
- Υψηλότερα ρεύματα διαρροής και τάσεις κατωφλίου σε σχέση με Si
- ✓ Normally-off
- ✓ Υψηλές τάσεις συγκρίσιμες με Si IGBTs

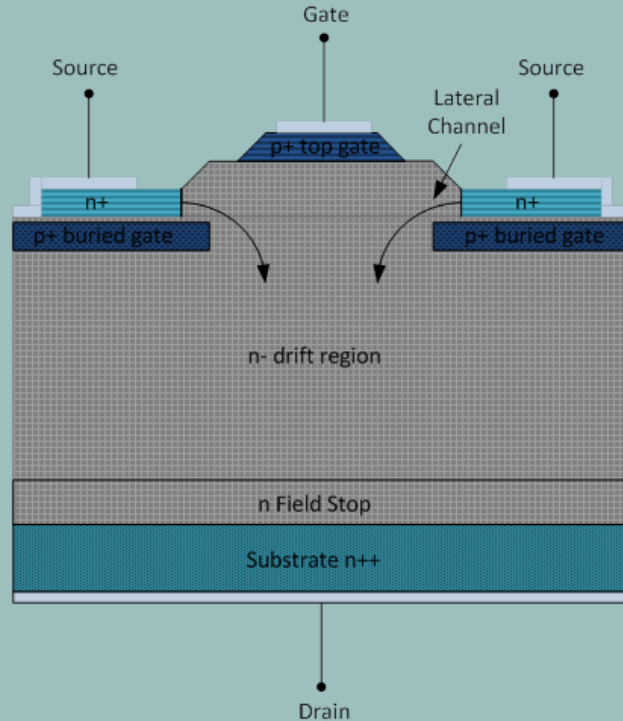
## SiC BJT



- Εξάρτηση ρεύματος αγωγής από θερμοκρασία
- ✓ Normally-off με χαμηλή πτώση τάσης

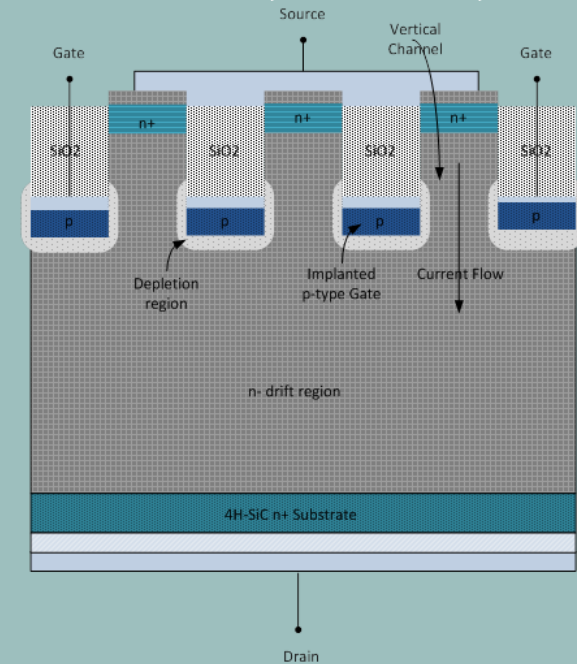
# Εμπορικές παραλλαγές για SiC JFET

## Lateral Channel JFET – LCJFET



- Body diode με υψηλή πτώση τάσης και μεγάλο χρόνο αποκατάστασης
- Μόνο Normally-on διαθέσιμες συσκευές
- Τάση στραγγαλισμού -16V με -26V

## Vertical Trench JFET – VTJFET



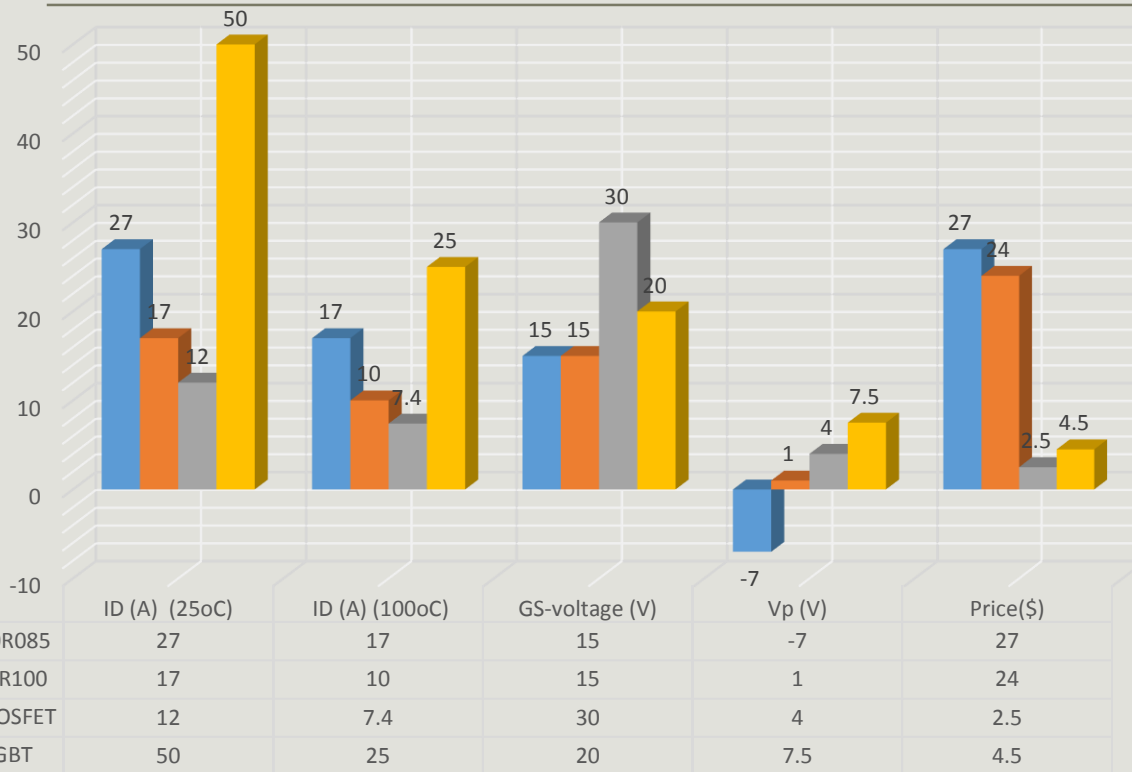
- Ανάστροφο ρεύμα εξαιτίας του φορτίου εξάντλησης της συσκευής
- Και Normally-on και normally-off
- Τάση στραγγαλισμού -7V και 1V

# Περιεχόμενα

---

1. Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)
2. **Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET***
3. Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET*
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Σύγκριση ημιαγωγών

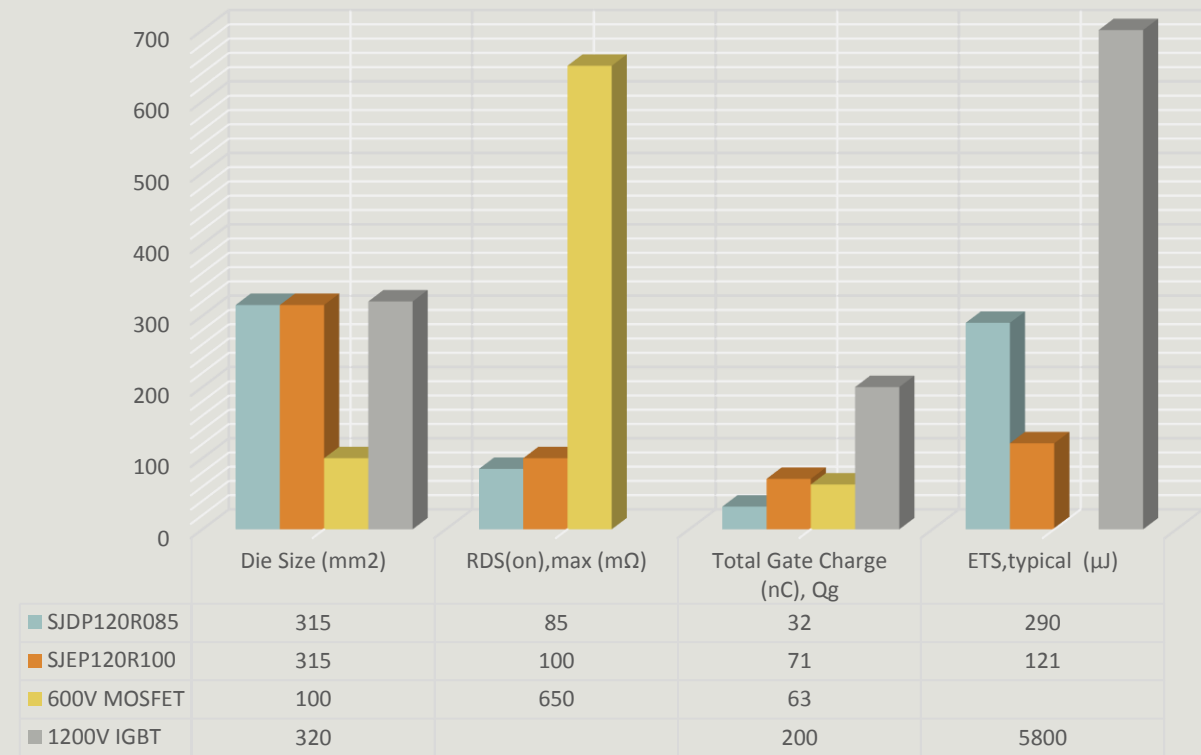


■ SJDP120R085 ■ SJEP120R100 ■ 600V MOSFET ■ 1200V IGBT

- Η τάση πύλης των Si τρανζίστορ διπλάσιες από αυτές των SiC
- Το φορτίο πύλης που απαιτείται είναι μικρότερο



Μεγαλύτερες απαιτήσεις ισχύος στην πύλη για τα Si



■ SJDP120R085 ■ SJEP120R100 ■ 600V MOSFET ■ 1200V IGBT

- Η αντίσταση αγωγής για τα SiC JFET σημαντικά πιο μικρή
- Οι διακοπτικές απώλειες είναι μία τάξη μεγέθους μικρότερες



Λιγότερες απώλειες και καλύτερη απόδοση για τα SiC



# Εσωτερική δομή του SiC VT JFET

Σε σύγκριση με όλους τους διαθέσιμους ημιαγωγούς Καρβιδίου του πυριτίου, το SiC VT JFET παρουσιάζει:

- ✓ Μεγάλες τάσεις αποκοπής.
- ✓ Τη μικρότερη αντίσταση αγωγής.
- ✓ Τη μεγαλύτερη σταθερότητα σχεδίασης.
- ✓ Δυνατότητα ανάστροφης αγωγής ρεύματος χωρίς τη χρήση αντιπαράλληλης.

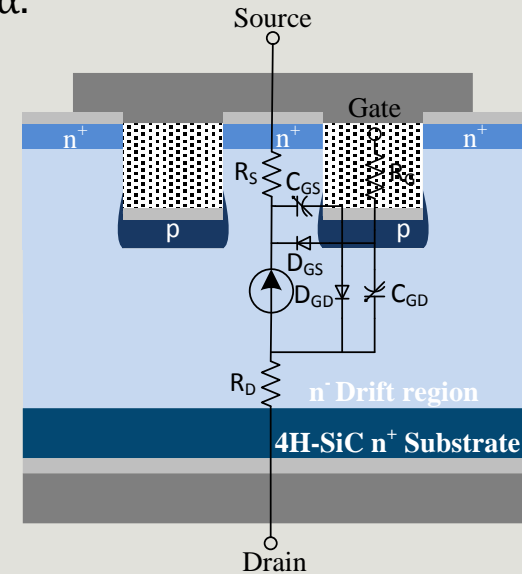
Τα SiC VT JFET διαχωρίζονται σε

- ✓ JFET απογύμνωσης (Depletion Mode) με αρνητική τιμή τάσης κατωφλίου  $V_{th}$
- ✓ Τα JFET πύκνωσης (Enhancement Mode) με θετική τιμή τάσης κατωφλίου  $V_{th}$

Κατασκευαστικά, οι μόνες διαφορές που έχουν αφορούν:

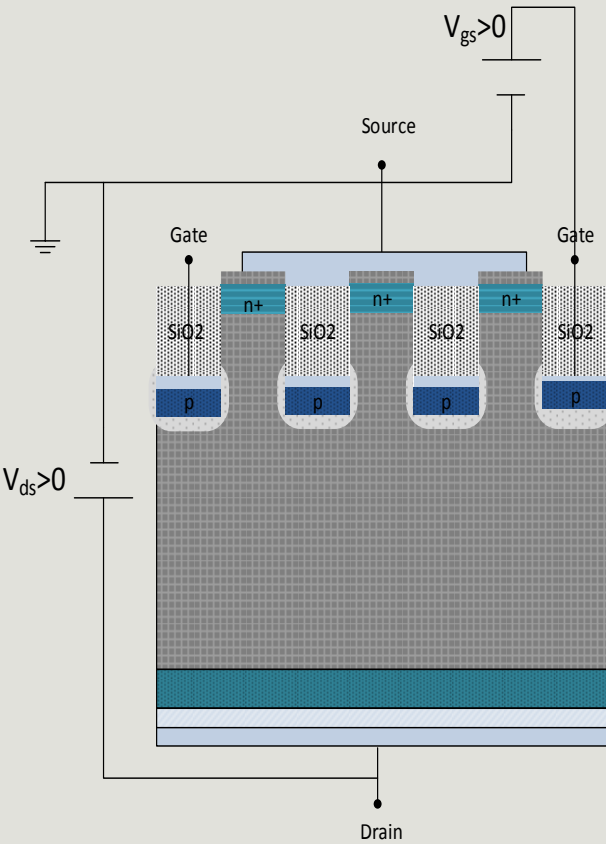
- ❖ Το πλάτος του καναλιού.
- ❖ Τη συγκέντρωση της νόθευσης.

Η τομή της βασική δομής ενός 4-H SiC Vertical JFET μαζί με το ισοδύναμο κυκλώμα.



- ✓ Οι ενώσεις πύλης - πηγής και πύλης - υποδοχής αναπαριστώνται ως p-n δίοδοι.
- ✓ Οι χωρητικότητες πύλης - πηγής, πύλης - υποδοχής και υποδοχής - πηγής αναπαριστώνται σαν μη-γραμμικές χωρητικότητες.
- ✓ Η πηγή ρεύματος  $I_D$  αντιπροσωπεύει το ρεύμα υποδοχής.

# Ανάλυση ορθής λειτουργίας του SiC VT JFET



## Γραμμική περιοχή →

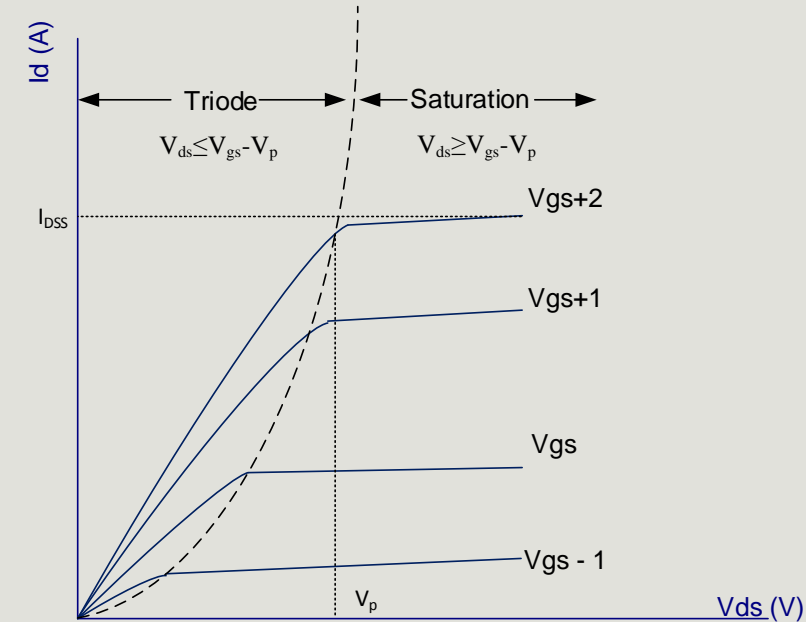
Το JFET συμπεριφέρεται ως μεταβλητή αντίσταση ελεγχόμενη από την τάση πύλης-πηγής

$$V_{GS} > V_P \text{ και } V_{GD} > V_P$$

## Περιοχή κόρου →

Επέκταση των περιοχών απογύμνωσης στο κανάλι με αποτέλεσμα να σταματήσει να αυξάνεται άλλο το ρεύμα

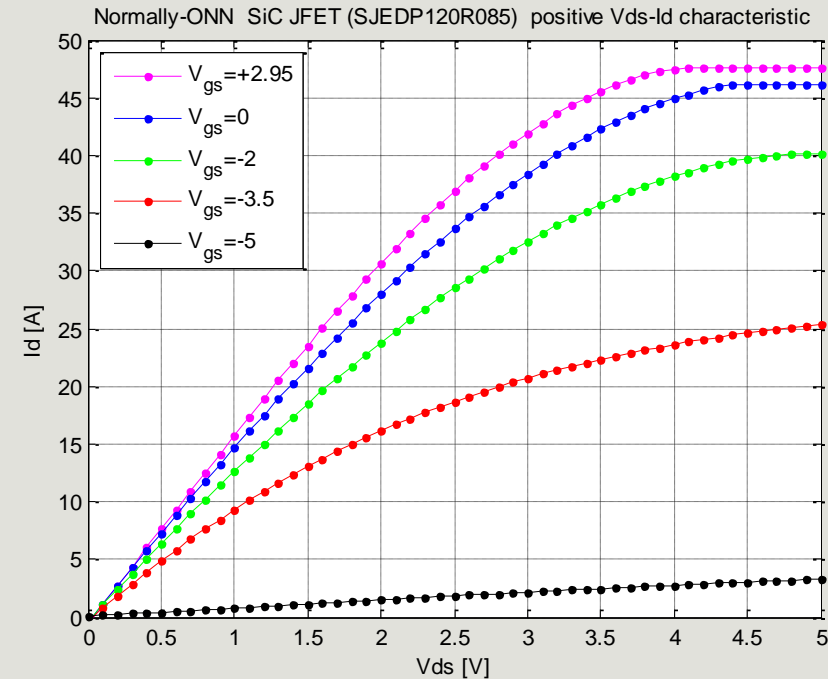
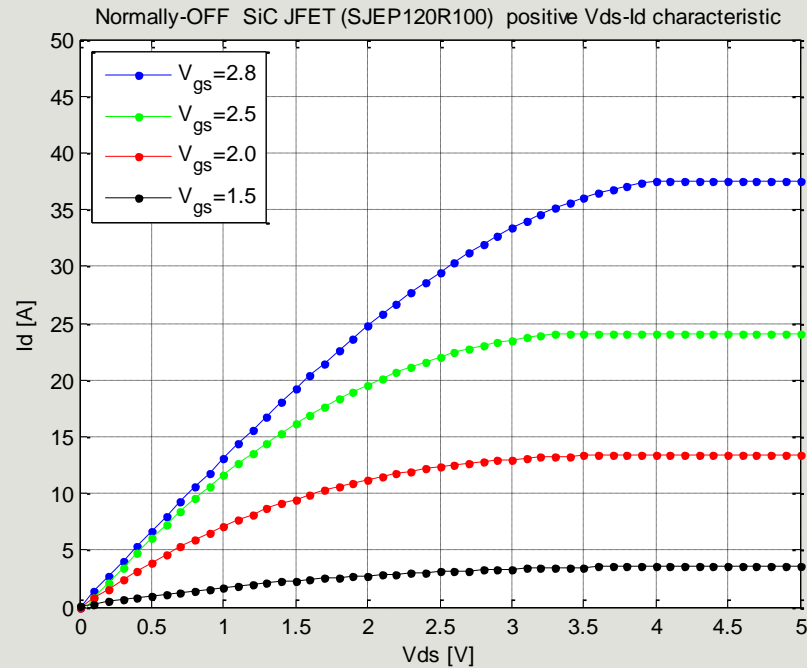
$$V_{DS} > V_{GS} - V_P \Leftrightarrow V_{GD} < V_P$$



$$I_D = \begin{cases} 0, & (1) \\ I_{DSS} \cdot \left[ 2 \cdot \left( 1 - \frac{V_{GS}}{V_P} \right) \left( \frac{V_{DS}}{-V_P} \right) - \left( \frac{V_{DS}}{V_P} \right)^2 \right] & (2) \\ I_{DSS} \cdot (1 + \lambda V_{DS}) \cdot \left( 1 - \frac{V_{GS}}{V_P} \right)^2 & (3) \end{cases}$$

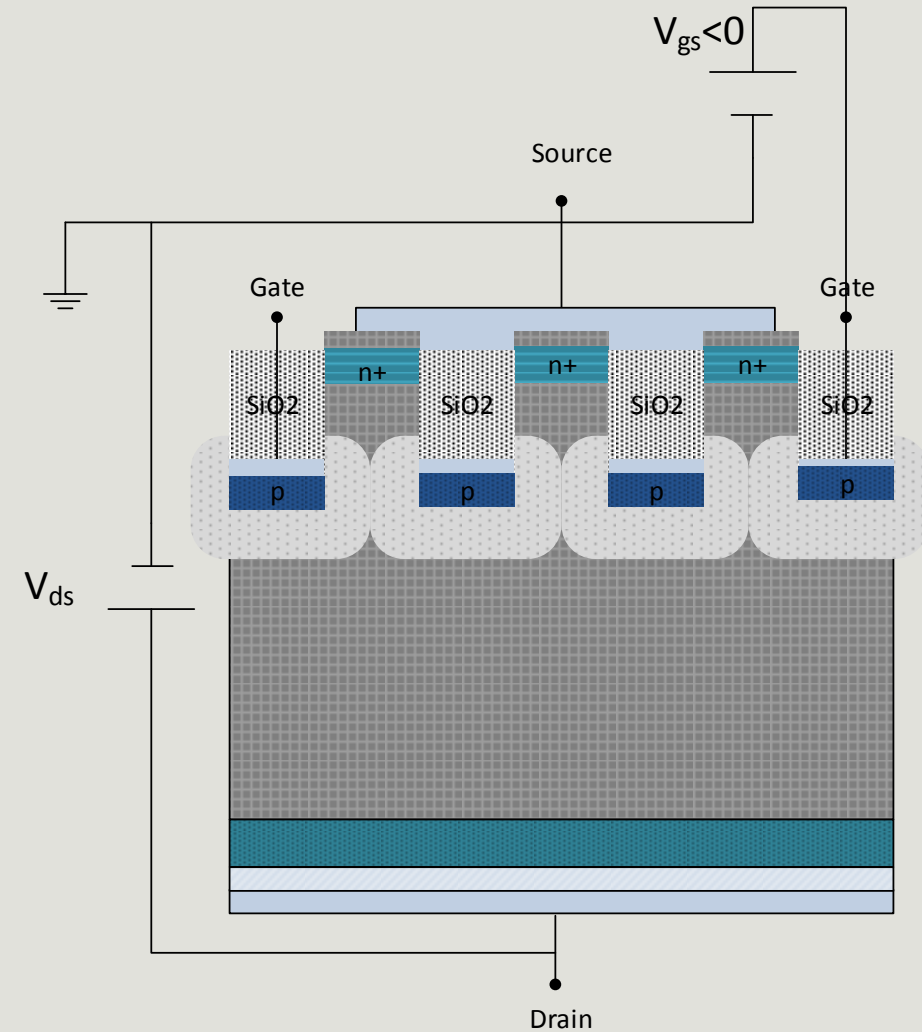
,  $V_{GS} \leq V_P$  and  $V_{GD} \leq V_P$   
,  $V_{DS} \leq V_{GS} - V_P$   
,  $0 \leq V_{GS} - V_P \leq V_{DS}$

# Πειραματικά αποτελέσματα για ορθή λειτουργία SiC VT JFET



- ✓ Όσο μεγαλύτερη εφαρμοζόμενη τάση πύλης-πηγής  $V_{gs}$  τόσο μεγαλύτερο το ρεύμα κορεσμού και μικρότερη η πτώση τάσης ➡ λιγότερες απώλειες ισχύος
- ✓ Μεγαλύτερο ρεύμα κορεσμού για το Normally-on (47 A) κατά 27% ➡ για ίδιες απαιτήσεις ρεύματος θα έχει μικρότερες απώλειες αγωγής από το Normally-off

# Ανάλυση ανάστροφης λειτουργίας του SiC VT JFET



## Περιοχή αποκοπής

Όσο ισχύουν

$$V_{GS} < V_P \text{ και } V_{GD} < V_P$$

Το JFET λειτουργεί σαν ανοιχτοκύκλωμα

## Ανάστροφη αγωγή

Αν  $V_{DS} \downarrow$  πάρει μεγάλες αρνητικές τιμές τότε

$$V_{GD} = V_{GS} + V_{SD} < V_P \xrightarrow{V_{DS} < 0} V_{GD} = V_{GS} - V_{DS} \geq V_P$$

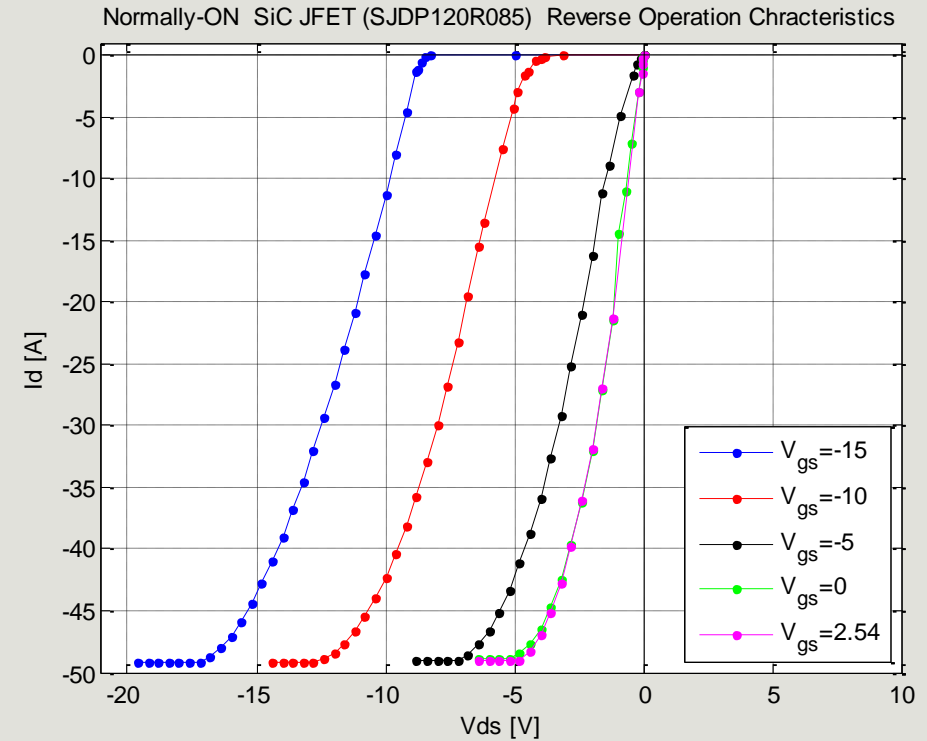
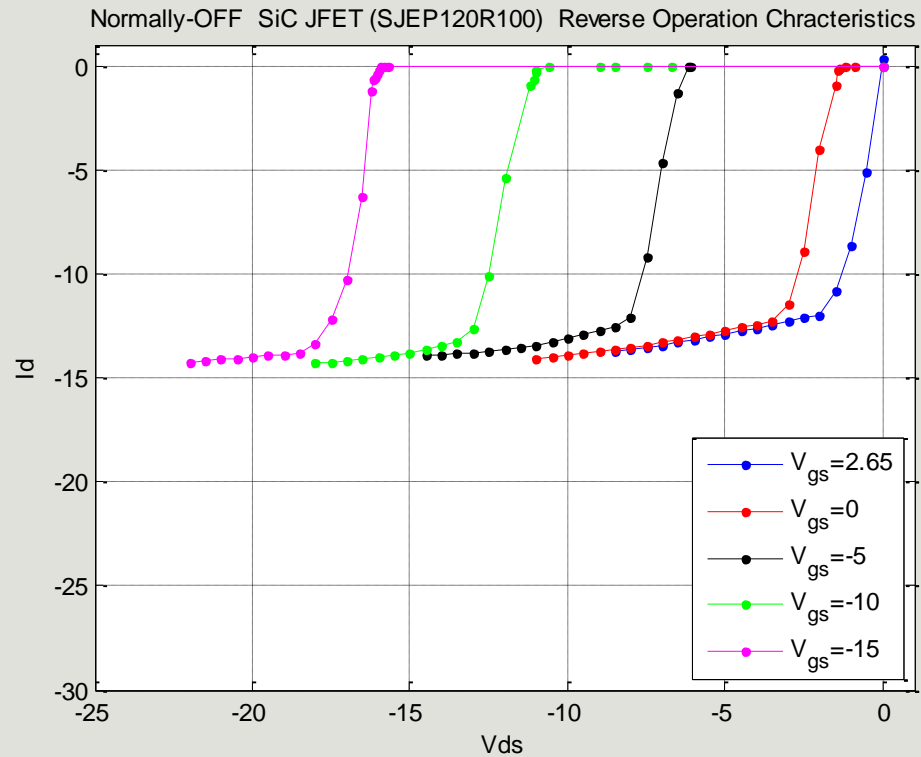
$$\text{Normally-on: } V_{DS} < V_{GS} - 7 \xrightarrow{V_{GS} = -15V} V_{DS} < -8V$$

$$\text{Normally-off: } V_{DS} < V_{GS} - 1 \xrightarrow{V_{GS} = -15V} V_{DS} < -16V$$

$$I_D = \begin{cases} I_{DSS_r} \left( e^{\frac{qV_d}{nkT}} - 1 \right), & \text{όσο } I_D \text{ και } V_{SD} \text{ έχουν μικρές τιμές } V_{GD} < 2.7V \\ -I_{DSS_r} \left[ 1 - \frac{V_{GD}}{V_p} \right]^2, & I_D \text{ και } V_{SD} \text{ παίρνουν μεγάλες τιμές } V_{GD} > 2.7V \end{cases}$$

Στη δεύτερη περίπτωση η  $V_{GD}$  άγει  $\Rightarrow$  GS φτάνει σε κορεσμό

# Πειραματικά αποτελέσματα για ανάστροφη λειτουργία SiC VT JFET



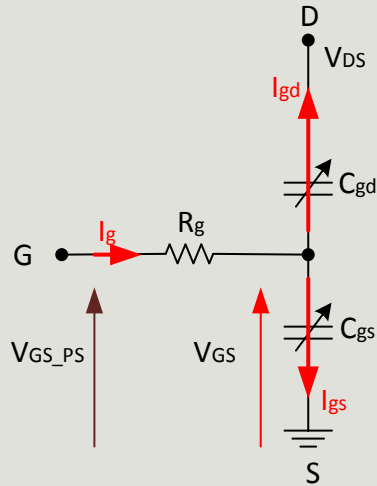
- ✓ Το Normally-on άγει για  $V_{DS} \geq -8V$  ενώ το Normally-off για  $V_{DS} \geq -16V$
- ✓ Μεγαλύτερο ρεύμα κορεσμού για το Normally-on (47 A) κατά 70%
- ✓ Η αντίσταση του Normally-on είναι 95mΩ και του Normally-off 110mΩ
- ✓ Δεν έχουν ρεύμα ουράς
- ✓ Ανάστροφος χρόνος αποκατάστασης για το Normally-on 28ns, Normally-off 38ns

# Περιεχόμενα

---

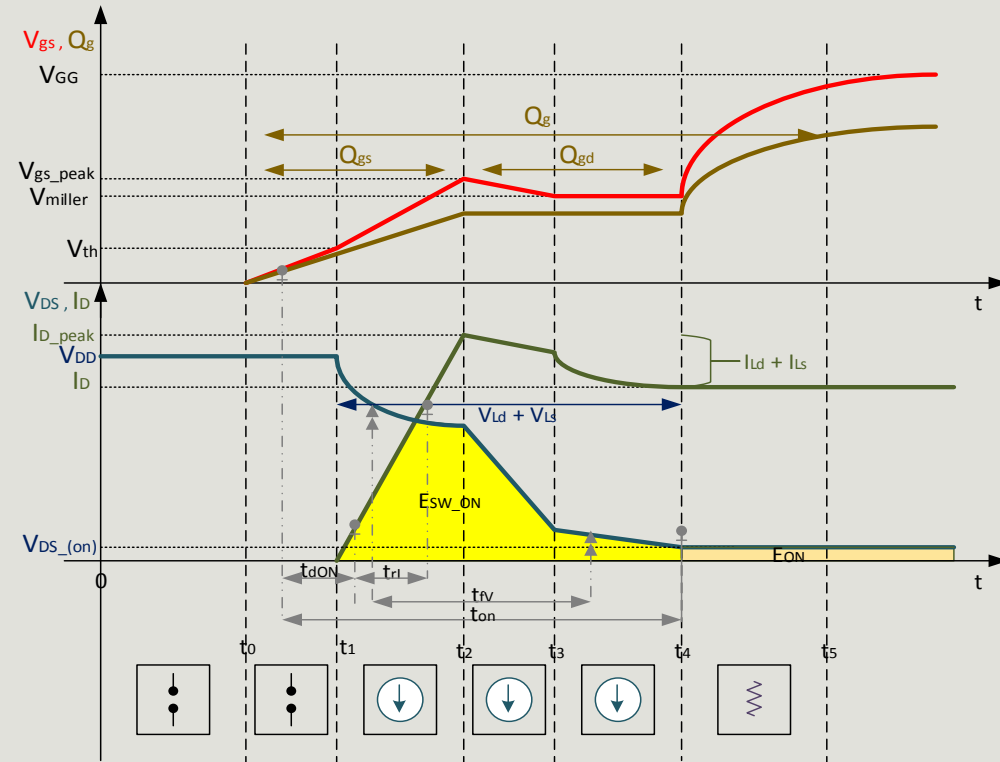
1. Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)
2. Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET*
3. **Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET***
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Το πρόβλημα της οδήγησης της πύλης



$$\frac{V_{GS\_PS} - V_{GS}}{R_g} = C_{gs} \frac{dV_{GS}}{dt} + C_{gd} \frac{dV_{GS}}{dt}$$

$$V_{GS} = V_{GS\_PS} - (V_{GS\_PS} + 15) e^{-\frac{t}{(C_{gs}+C_{gd})R_g}}$$

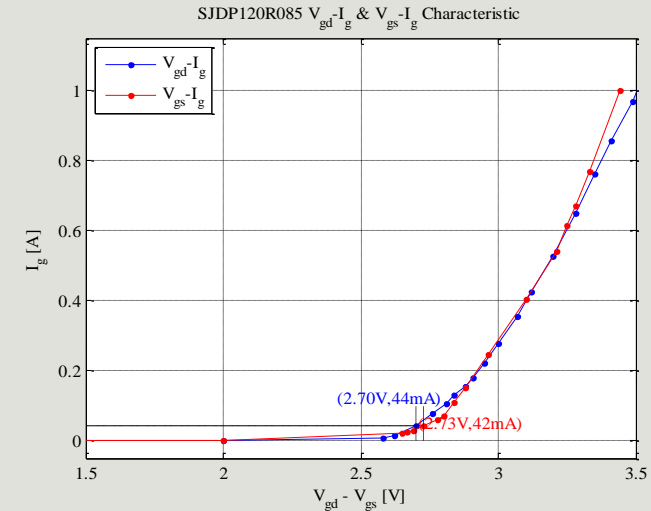


## Διαφορές από τυπικά κυκλώματα οδήγησης Mosfet

- ❖ Μη παρουσία οξειδίου μεταξύ πύλης και καναλιού και σχηματισμός p-n επαφής
- ❖ Εφαρμογή τάσης -15V και 3V
- ❖ Προστασία για μεγάλες θερμοκρασίες

# Απαιτήσεις οδήγησης της πύλης του VT SiC JFET

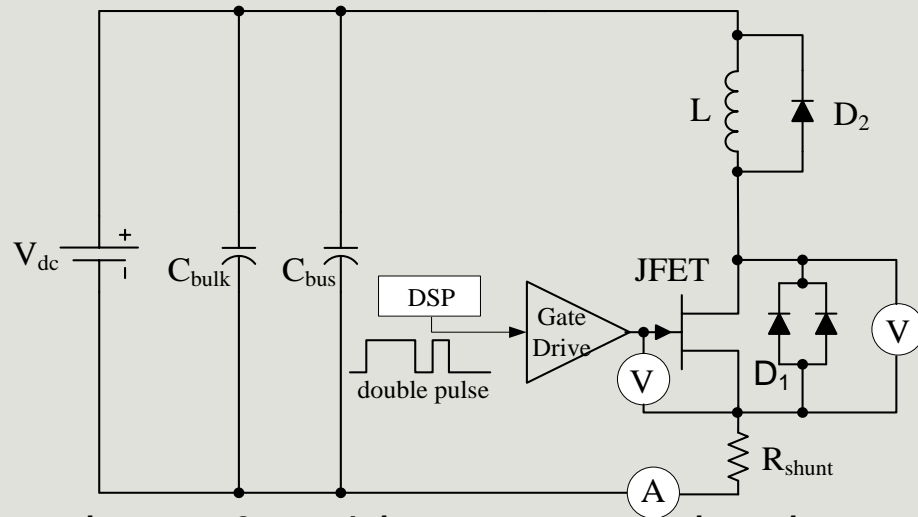
- Κατά τη μόνιμη αγωγή
  - ❖ Όσο μεγαλύτερη εφαρμογή τάσης στο  $V_p < V_{GS} < 3V$  ➡ μικρότερη αντίσταση καναλιού και μεγαλύτερο ρεύμα κορεσμού
  - ❖ Normally-on: Αύξηση 20% στο  $I_D$  για εφαρμογή 2V αντί για 0V, 18% μείωση των απωλειών αγωγής για εφαρμογή ορθής πόλωσης
  - ❖ Normally-off: Αύξηση 40% στο  $I_D$  για αύξηση κατά 0.5V
- Κατά την κατάσταση αποκοπής
  - ❖ Εφαρμογή τάσης στο  $V_{br} < V_{GS} < V_p$
  - ❖ Προστασία πύλης από τάσεις μεγαλύτερης της  $V_{br}$
- Κατά τη μεταγωγή από αγωγή σε αποκοπή και αντίστροφα
  - ❖ Γρήγορα φόρτιση/εκφόρτιση των εσωτερικών χωρητικότητων του στοιχείου ➡ Υψηλές αιχμές ρεύματος πύλης,  $I = \frac{dQ}{dt}$



- Χαμηλή κατανάλωση ισχύος
- Επίτευξη υψηλών διακοπτικών συχνοτήτων
- Προστασία από υψηλούς ρυθμού μεταβολής  $\frac{dv}{dt}, \frac{di}{dt}$
- Λειτουργία σε πολύ υψηλές θερμοκρασίες
- Λειτουργία με διάφορες διαμορφώσεις και duty cycle
- Χαμηλό κόστος και πολυπλοκότητα κυκλώματος
- Ελαχιστοποίηση αποστάσεων στο PCB



# Double Pulse Tester



Το ρεύμα  $I_D$  θα αυξάνεται γραμμικά από τη σχέση:

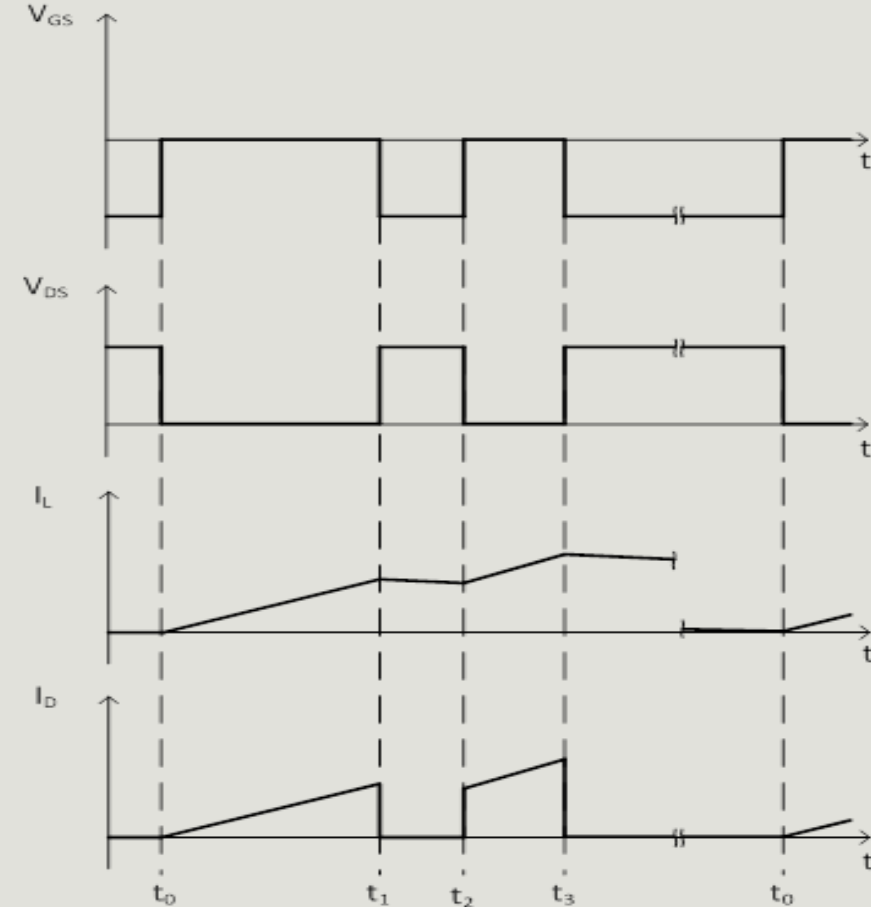
$$V_{DC} = L \frac{di}{dt}$$

Στο χρονικό σημείο  $t_1$  καταγράφονται τα χαρακτηριστικά σβέσης του στοιχείου.

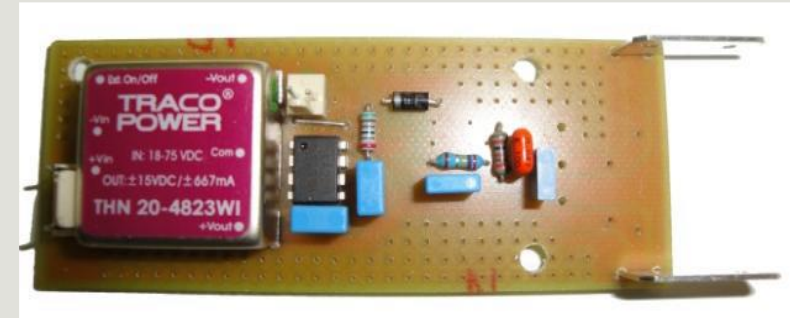
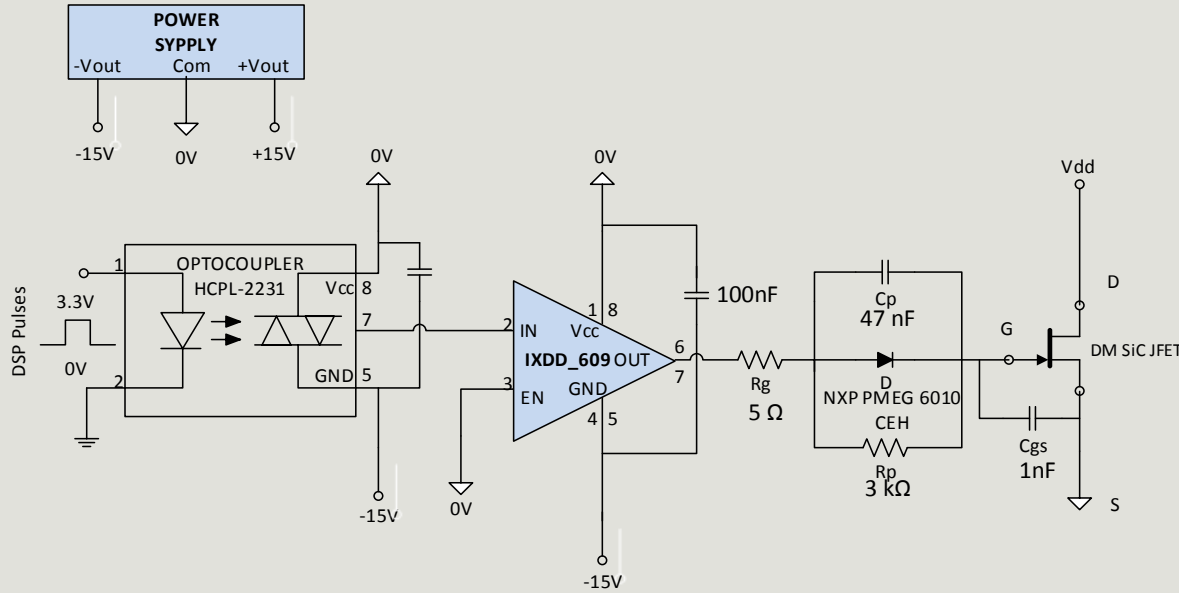
Στο χρονικό σημείο  $t_2$  καταγράφονται τα χαρακτηριστικά έναυσης του στοιχείου.

Οι συνθήκες θα είναι:  $V_{DC} = 200V$ ,  $L = 115\mu H$  για χρονικό διάστημα  $dt = 3\mu s$  θα έχουμε  $I_d = 5A$ .

Κυματομορφές ενός JFET σε Double Pulse Διάταξη



# Κύκλωμα AC-coupled χωρίς ορθή πόλωση

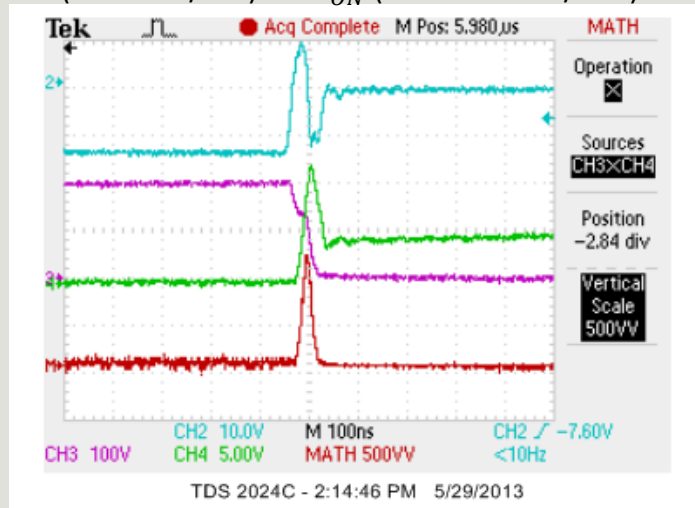


$C_p$	$\frac{2Q_g + Q_{Cgs}}{V_{DD} - V_{GS}} \leq C \leq \frac{4Q_g + Q_{Cgs}}{V_{DD} - V_{GS}}$ $27.6 \text{ nF} \leq C \leq 55.2 \text{ nF}$ $C = 47 \text{ nF}$
Required Peak current for $\Delta t = 50 \text{ ns}$ , $I_{peak}$	$I_{peak} = \frac{\Delta q}{\Delta t} = \frac{75 \text{ nC}}{50 \text{ ns}} = 1.5 \text{ A}$

Forward gate current, $I_{FWD}$	0.05 mA
Cut-off gate current, $I_{cutoff}$	0.83 mA
Charging constant, $\tau = R_s C_p$	235 ns
Total considered gate charge, $Q_g$	75 nC
$R_p$ (for low cut-off current and temperature protection)	3 kΩ

# Πειραματικά αποτελέσματα για το κύκλωμα AC-coupled χωρίς ορθή πόλωση

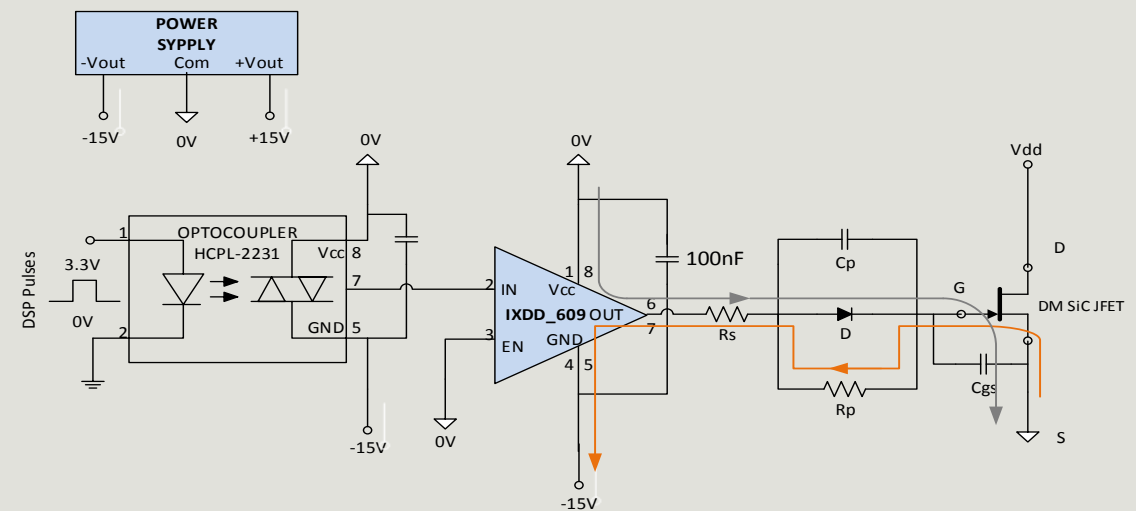
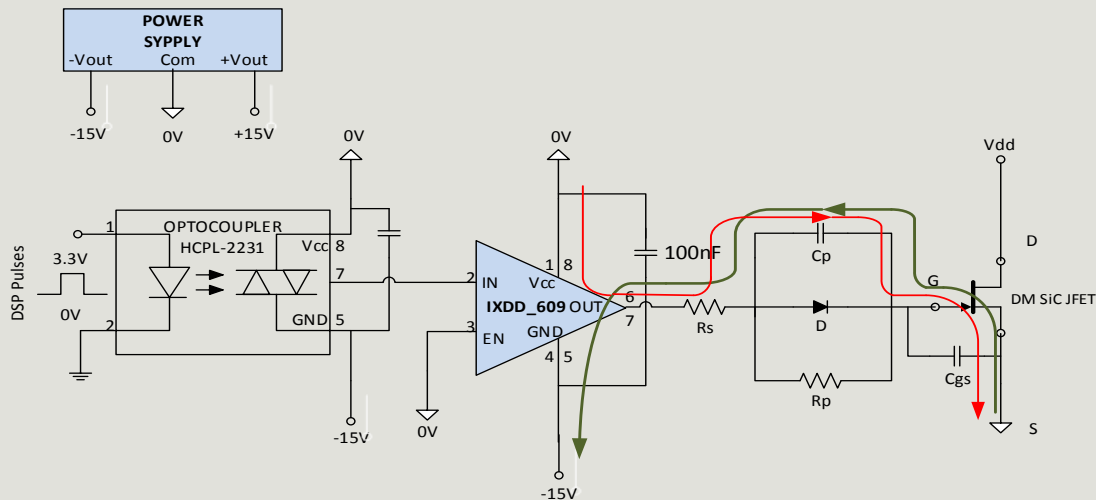
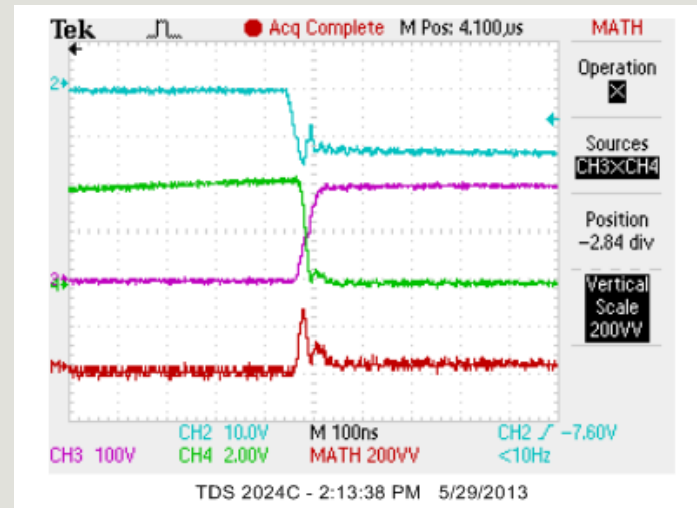
$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 5A/DIV) και  $E_{ON}$  (MATH – 500W/DIV)



$t_{OFF} = 70\text{ns}$  και  $E_{OFF} = 7.4\mu\text{J}$

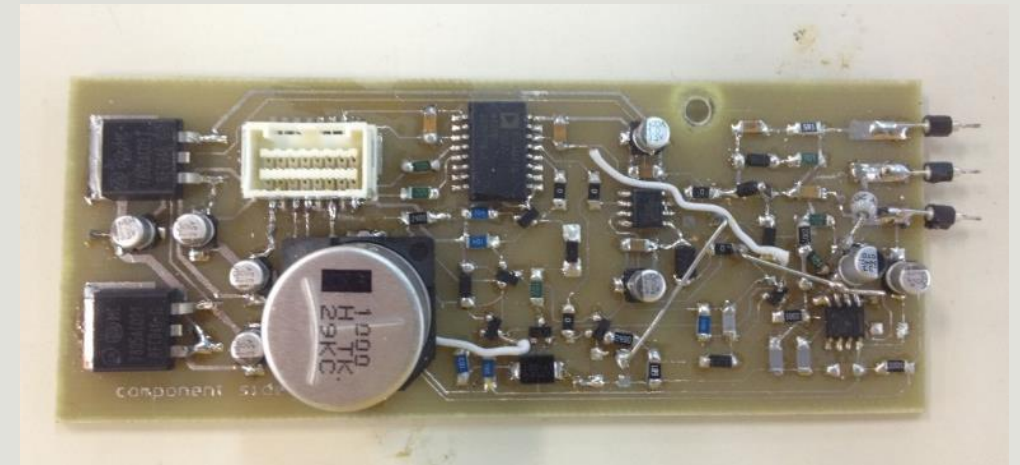
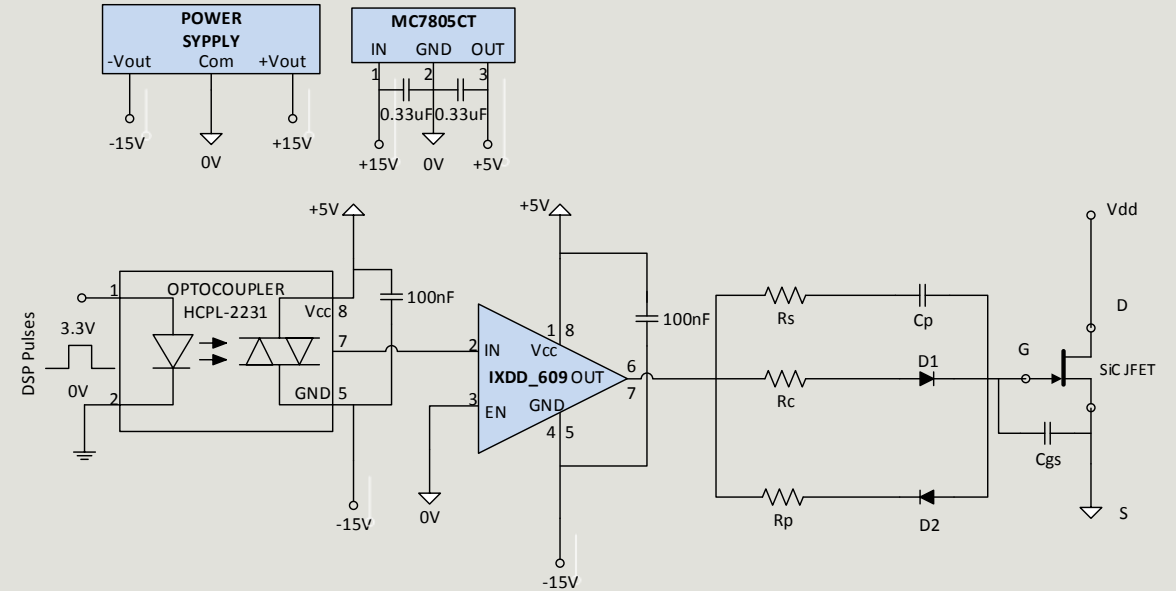
$t_{ON} = 60\text{ns}$  και  $E_{ON} = 27\mu\text{J}$

$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 2A/DIV) και  $E_{OFF}$  (MATH – 200W/DIV)



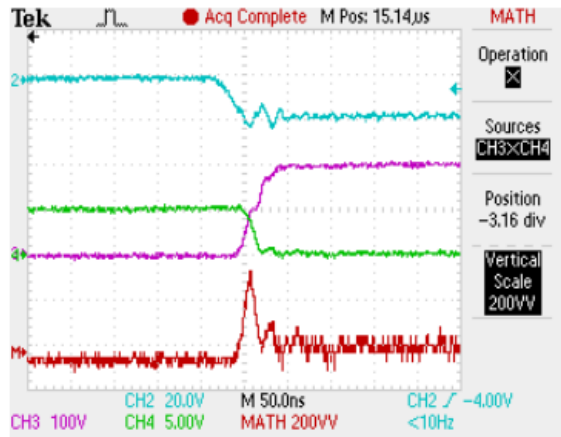
# Κύκλωμα AC-coupled με ορθή πόλωση

Element	DM SJD120R085	EM SJE120R100
$R_s$	5Ω	2Ω
$C_p$	$\frac{2Q_g + Q_{cgs}}{V_{DD} - V_{GS}} \leq C$ $\leq \frac{4Q_g + Q_{cgs}}{V_{DD} - V_{GS}}$ $27.6nF \leq C \leq 55.2nF$ $C=47nF$	$\frac{2Q_g + Q_{cgs}}{V_{DD} - V_{GS}} \leq C$ $\leq \frac{4Q_g + Q_{cgs}}{V_{DD} - V_{GS}}$ $70nF \leq C \leq 130nF$ $C=94nF$
$R_c$ (for low forward current)	100 Ω	20 Ω
$R_p$	3 kΩ	3 kΩ
Required Peak current for $\Delta t=50$ ns, $I_{peak}$	$I_{peak} = \frac{\Delta q}{\Delta t} = \frac{75nC}{50ns}$ $= 1.5A$	$I_{peak} = \frac{\Delta q}{\Delta t} = \frac{110nC}{50ns}$ $= 2.2A$
Forward gate current, $I_{FWD}$	$I_{gFWD} = \frac{V_o - V_{gs} - V_{D1}}{R_c}$ $= \frac{5 - 2.5 - 0.5}{100} = 20mA$	$I_{gFWD} = \frac{V_o - V_{gs} - V_{D1}}{R_c}$ $= \frac{5 - 2.5 - 0.5}{20} = 100mA$
Cut-off gate current, $I_{cutoff}$	0.75 mA	100 mA
Charging constant, $\tau = R_s C_p$	235 ns	188 ns



# Πειραματικά αποτελέσματα για το κύκλωμα AC-coupled με ορθή πόλωση

$V_{GS}$  (CH2 – 20V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  
 $I_d$  (CH4 – 5A/DIV) και  $E_{OFF}$  (MATH – 200W/DIV)

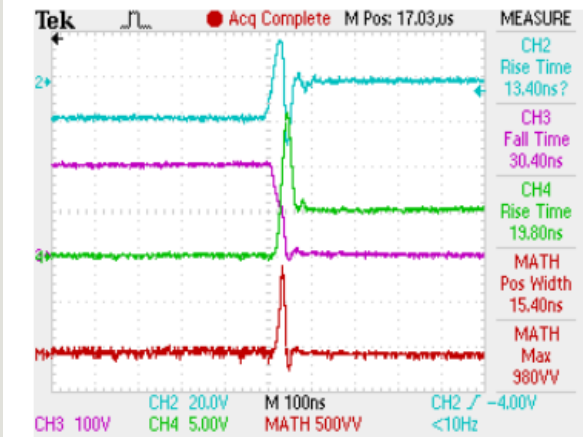


TDS 2024C - 3:19:12 PM 5/28/2013

Normally-on

$t_{OFF} = 55ns$  και  $E_{OFF} = 6.4uJ$

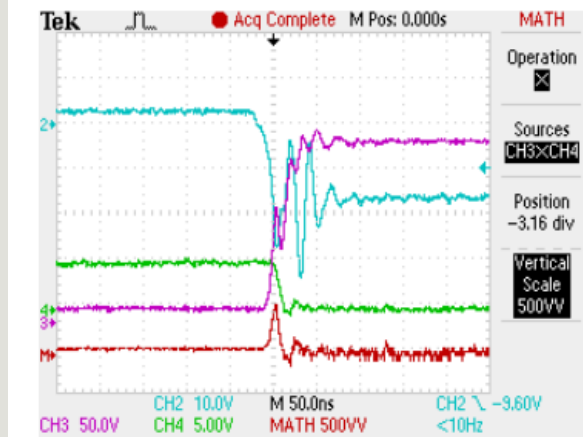
$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  
 $I_d$  (CH4 – 5A/DIV) και  $E_{ON}$  (MATH – 500W/DIV)



TDS 2024C - 3:17:00 PM 5/28/2013

$t_{ON} = 60ns$  και  $E_{ON} = 14.7uJ$

$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 50V/DIV),  
 $I_d$  (CH4 – 5A/DIV) και  $E_{OFF}$  (MATH – 500W/DIV)

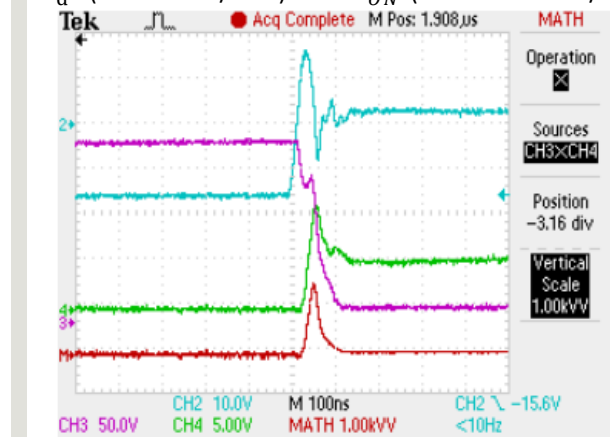


TDS 2024C - 5:38:37 PM 5/27/2013

Normally-off

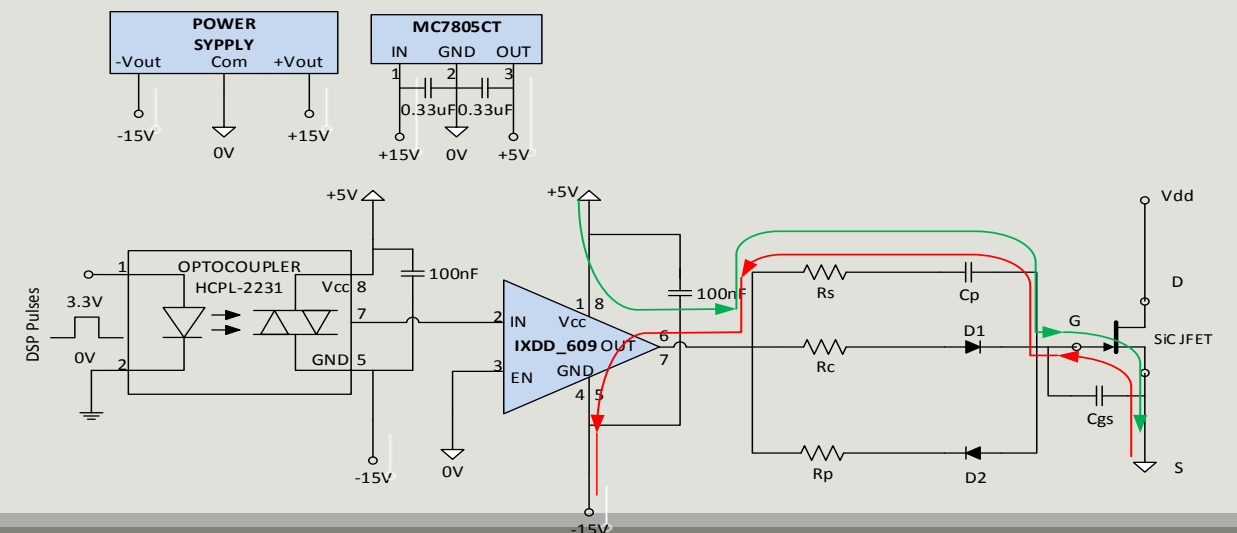
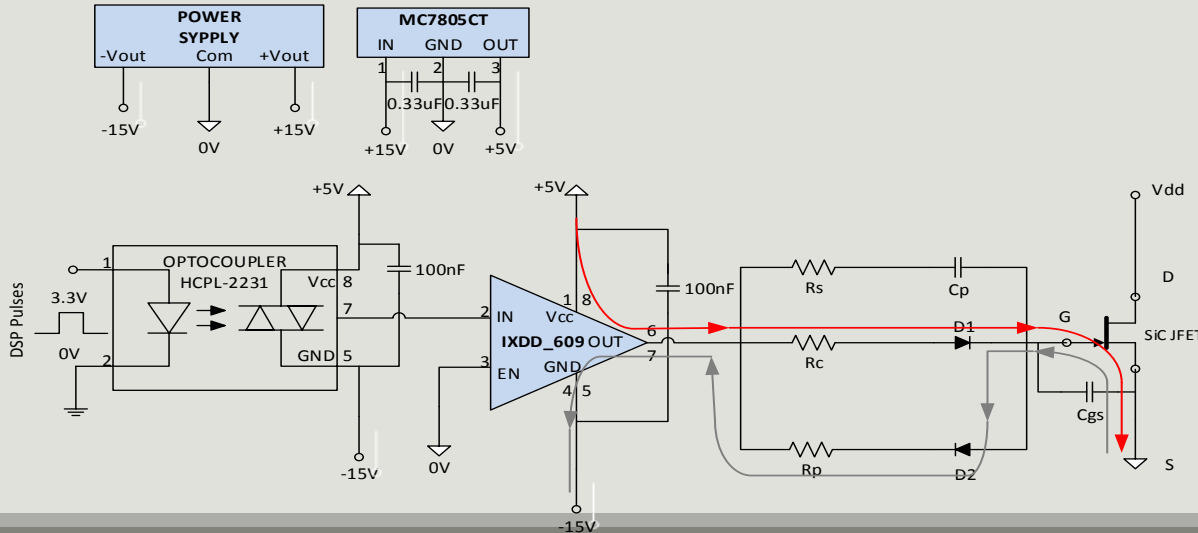
$t_{OFF} = 60ns$  και  $E_{OFF} = 8uJ$

$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 50V/DIV),  
 $I_d$  (CH4 – 5A/DIV) και  $E_{ON}$  (MATH – 1kW/DIV)



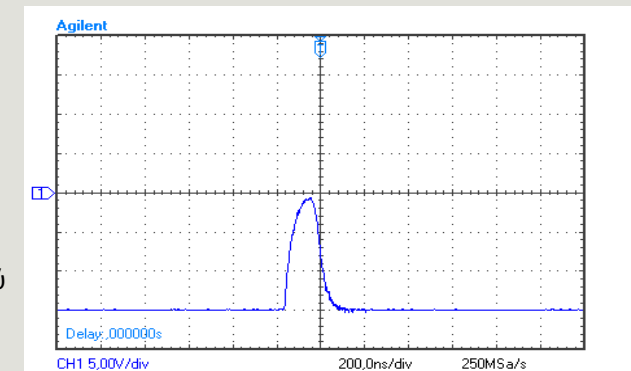
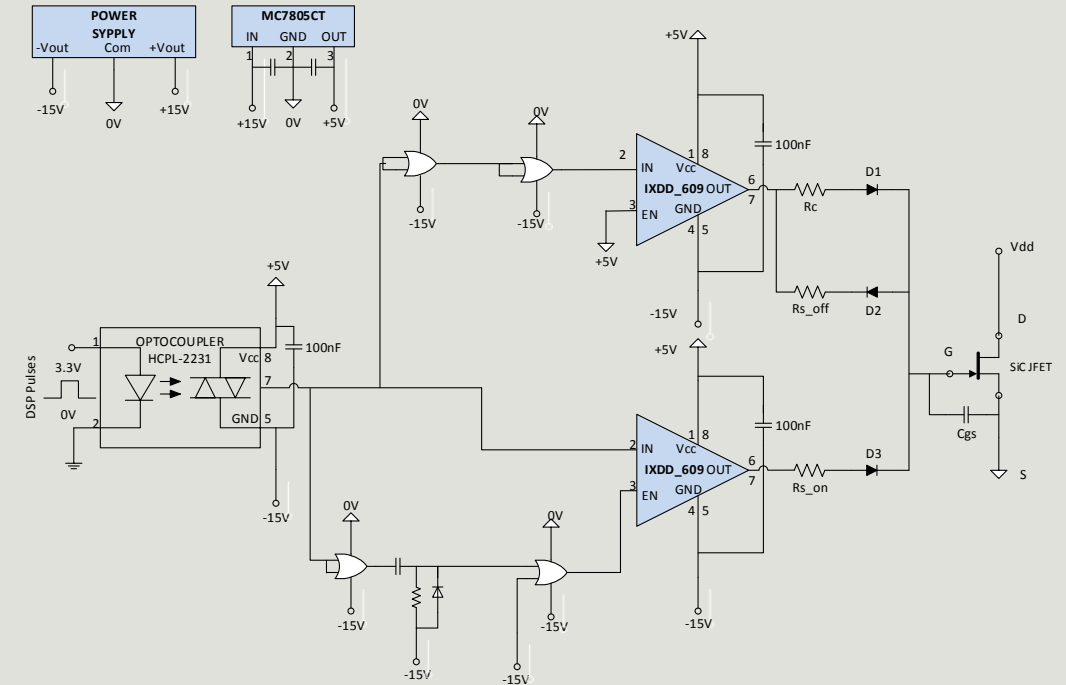
TDS 2024C - 5:35:16 PM 5/27/2013

$t_{ON} = 100ns$  και  $E_{ON} = 60uJ$



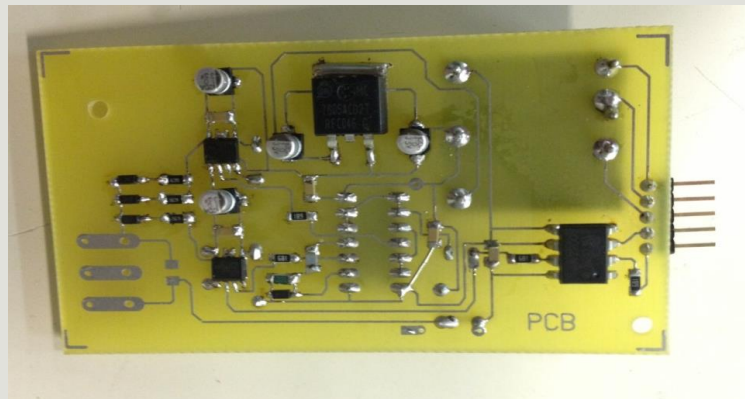
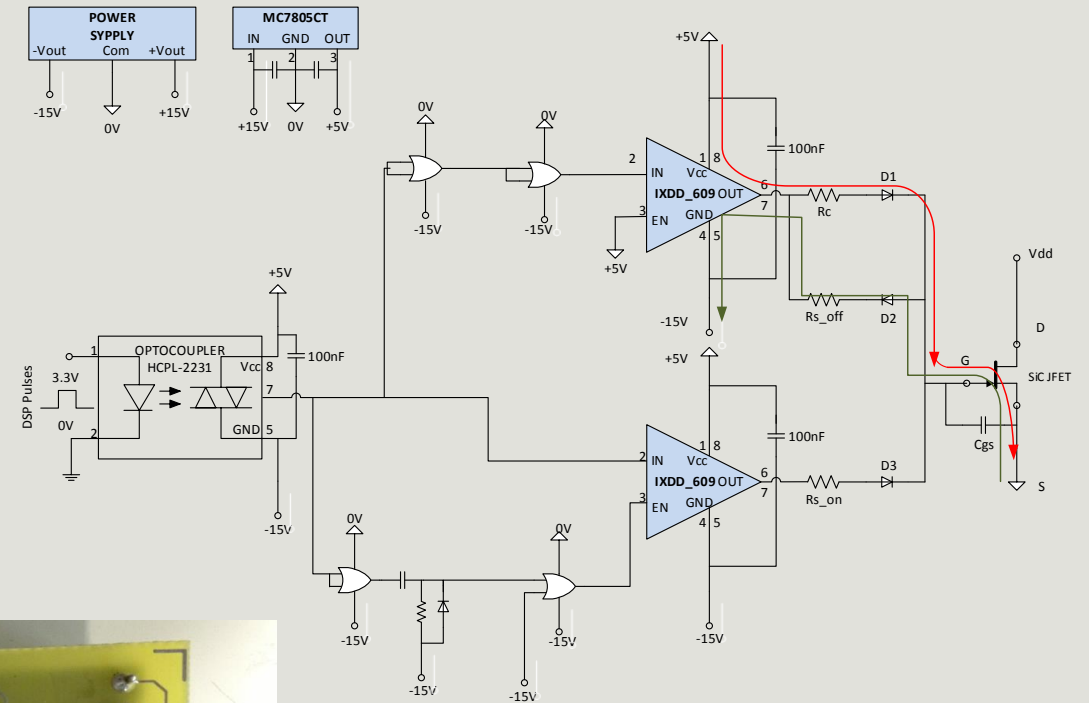
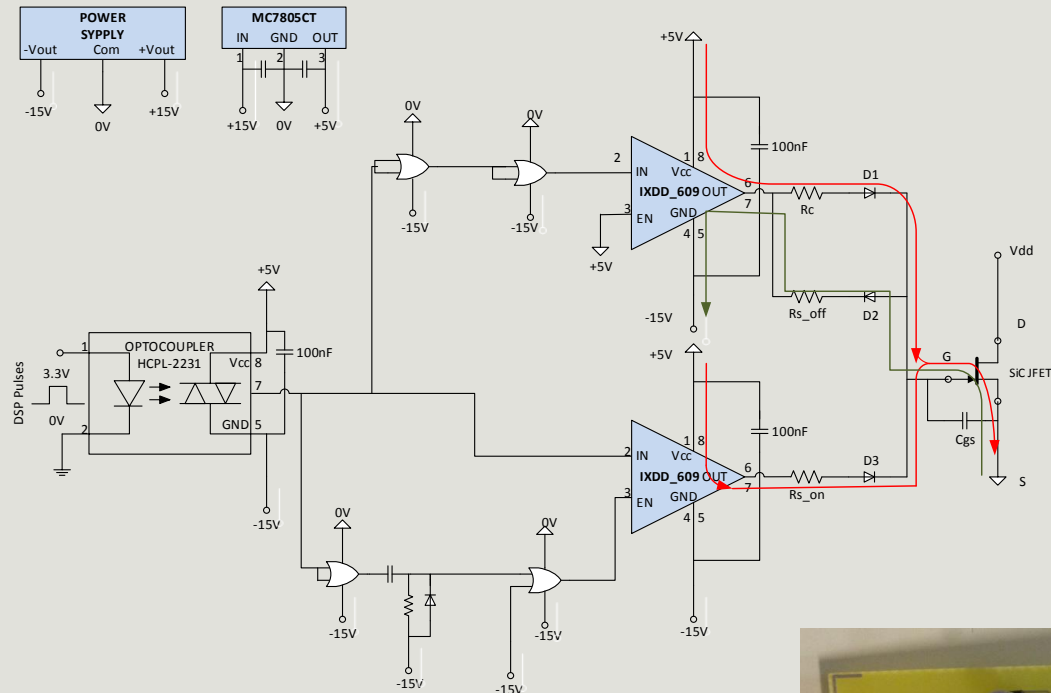
# Κύκλωμα DC-coupled με ορθή πόλωση

Element	DM SJD120R085	EM SJD120R100
$R_c$ (for low forward current)	100 $\Omega$	20 $\Omega$
$R_{s\_off}$	5 $\Omega$	2 $\Omega$
$R_{s\_on}$	5 $\Omega$	2 $\Omega$
Required Peak current for $\Delta t=50$ ns, $I_{peak}$	$I_{peak} = \frac{\Delta q}{\Delta t} = \frac{75nC}{50ns} = 1.5A$	$I_{peak} = \frac{\Delta q}{\Delta t} = \frac{110nC}{50ns} = 2.2A$
Forward gate current, $I_{FWD}$	$I_{gFWD} = \frac{V_o - V_{gs} - V_{D1}}{R_c}$ $= \frac{5 - 2.5 - 0.5}{100} = 20mA$	$I_{gFWD} = \frac{V_o - V_{gs} - V_{D1}}{R_c}$ $= \frac{5 - 2.5 - 0.5}{20} = 100mA$
Total considered gate charge, $Q_g$	75 nC	110 nC



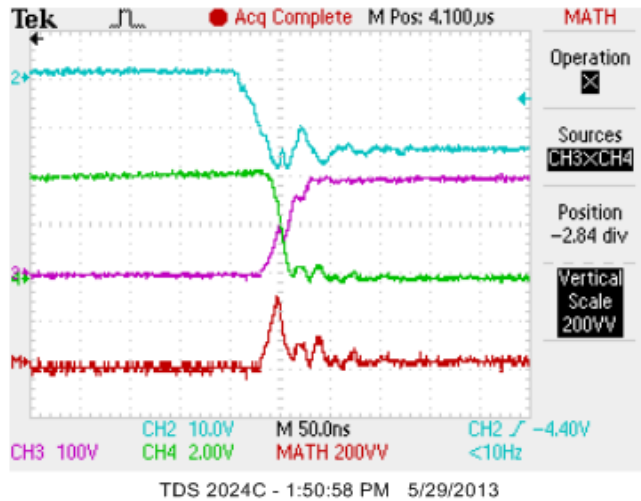
Ο παλμός που δημιουργείται μέσω του λογικού κυκλώματος και αποτελεί είσοδο στο ENABLE του ενισχυτή (CH1 – 5V/DIV)

# Κύκλωμα DC-coupled με ορθή πόλωση





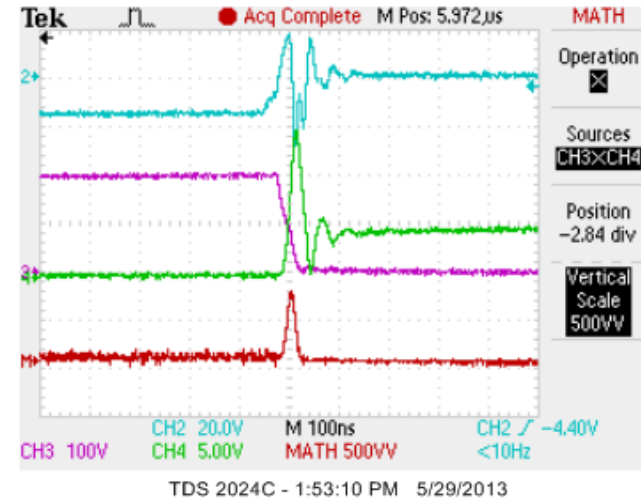
# Πειραματικά αποτελέσματα για το κύκλωμα DC-coupled με ορθή πόλωση



## Normally-on

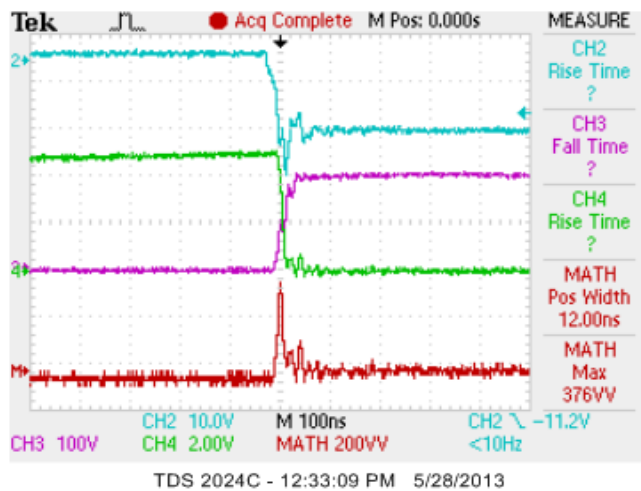
$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 2A/DIV) και  $E_{OFF}$  (MATH – 200W/DIV)

$$t_{OFF} = 75\text{ns} \text{ και } E_{OFF} = 7\mu\text{J}$$



$V_{GS}$  (CH2 – 20V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 5A/DIV) και  $E_{OFF}$  (MATH – 500W/DIV)

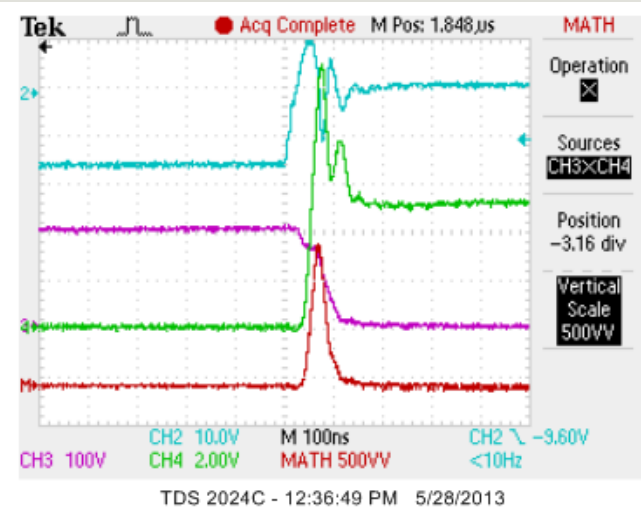
$$t_{ON} = 80\text{ns} \text{ και } E_{ON} = 20\mu\text{J}$$



## Normally-off

$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 2A/DIV) και  $E_{OFF}$  (MATH – 200W/DIV)

$$t_{OFF} = 70\text{ns} \text{ και } E_{OFF} = 9.5\mu\text{J}$$



$V_{GS}$  (CH2 – 10V/DIV),  $V_{DS}$  (CH3 – 100V/DIV),  $I_d$  (CH4 – 2A/DIV) και  $E_{ON}$  (MATH – 500W/DIV)

$$t_{ON} = 110\text{ns} \text{ και } E_{ON} = 75\mu\text{J}$$



# Συγκριτική μελέτη των SiC JFETs

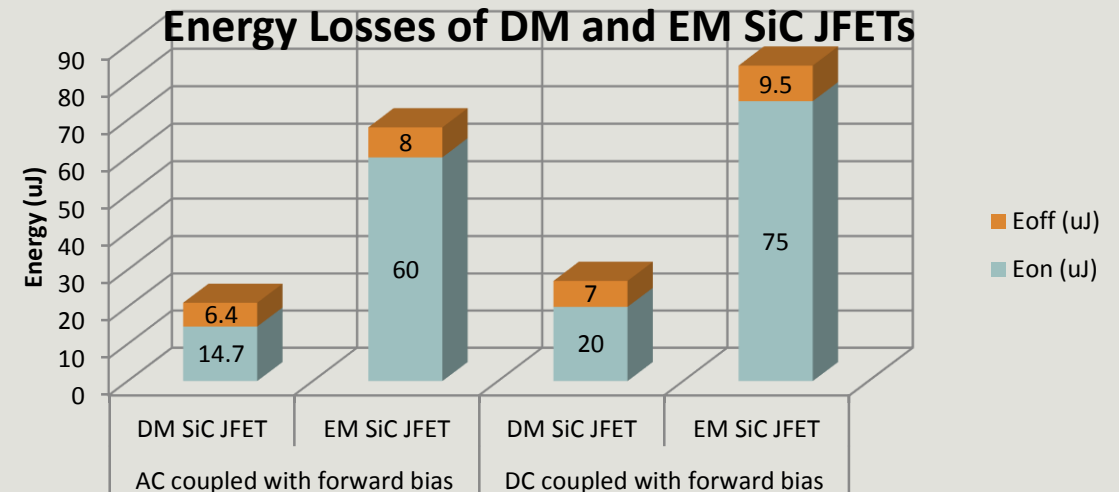
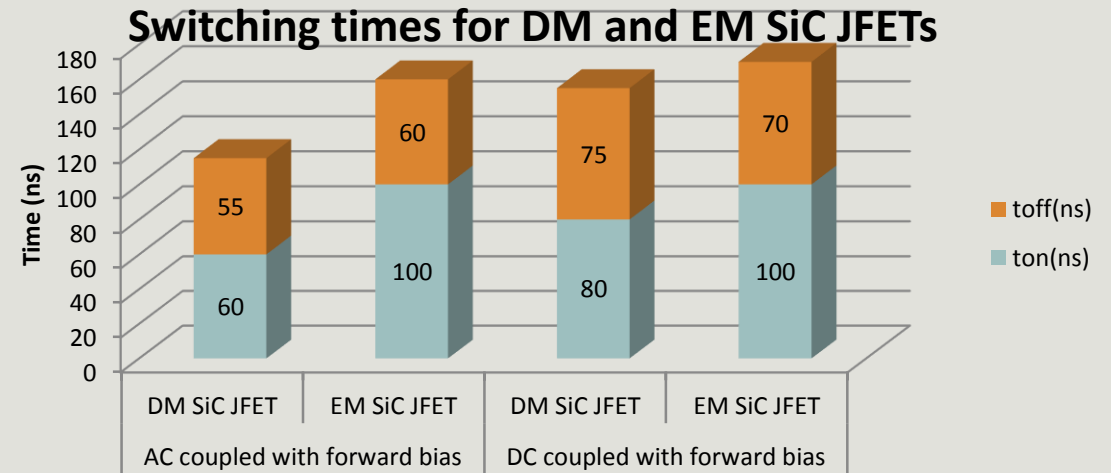
VT SiC JFET	Switching Characteristics			
	$t_{on}$ (ns)	$E_{on}$ (uJ)	$t_{off}$ (ns)	$E_{off}$ (uJ)
AC Coupled with forward bias				
DM JDP120R085 SiC JFET	60	27	55	7.4
EM SJEP120R100 SiC JFET	100	60	60	8
DC Coupled with forward bias				
DM SJDP120R085 SiC JFET	80	20	75	7
EM SJEP120R100 SiC JFET	100	75	70	9.5

Το AC-coupled παρουσιάζει

- ❖ 10% καλύτερους διακοπτικούς χρόνους
- ❖ 15% λιγότερες απώλειες

Το Normally-on έχει

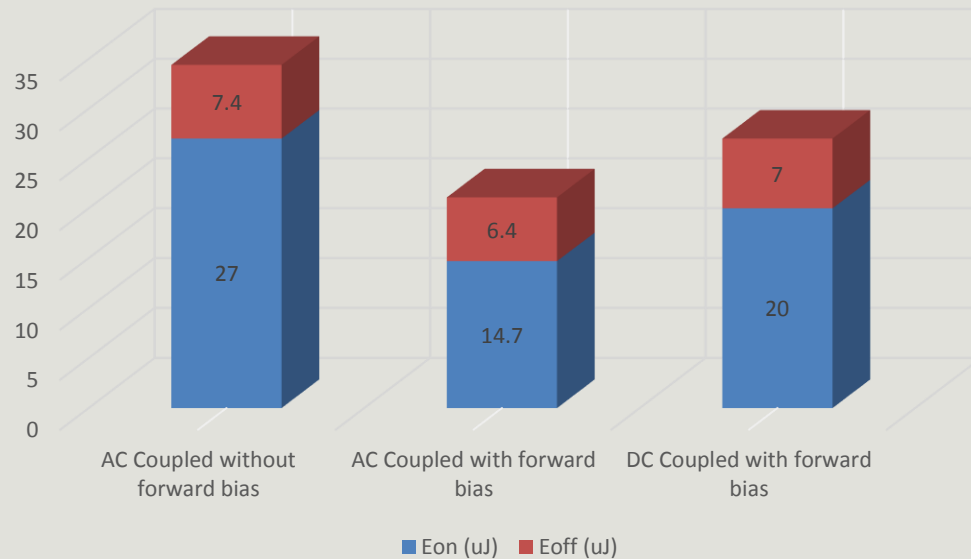
- ❖ 40% γρηγορότερους χρόνους έναυσης και σβέσης
- ❖ 70% λιγότερες απώλειες



# Συγκριτική μελέτη των Κυκλωμάτων οδήγησης

Drive Circuit	Switching Characteristics			
	t <sub>on</sub> (ns)	E <sub>on</sub> (uJ)	t <sub>off</sub> (ns)	E <sub>off</sub> (uJ)
Normally – On SJDP120R085 SiC JFET				
AC Coupled without forward bias	60	27	70	7,4
AC Coupled with forward bias	60	14,7	55	6,4
DC Coupled with forward bias	80	20	75	7

Energy losses for the DM SJDP120R085



- Το AC-coupled παρουσιάζει λιγότερες απώλειες κατά
  - ❖ 38% σε σχέση με το απλό R-C-D δίκτυο
  - ❖ 20% σε σχέση με το DC-coupled
- Εφαρμόζοντας ορθή πόλωση μειώνουμε κατά 30% τους διακοπτικούς χρόνους

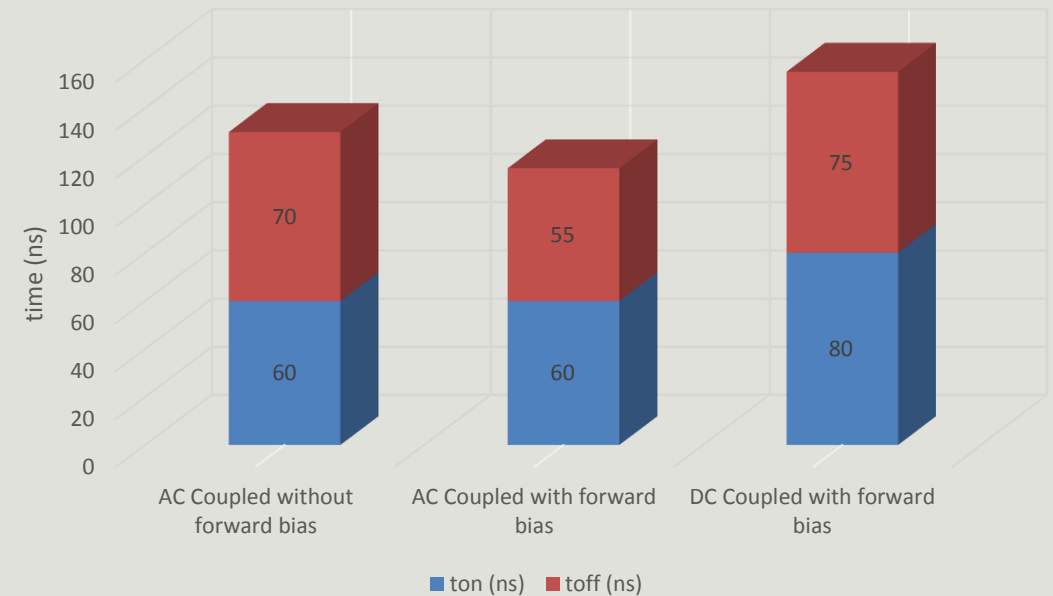
## AC-coupled

- ✓ Χαμηλό κατασκευαστικό κόστος και πολυπλοκότητα
- ✓ Προστασία σε μεγάλες θερμοκρασίες απο τάση διάσπασης

## DC-coupled

- ✓ Σταθερή συμπεριφορά με όλα τα εύρη παλμών και συχνοτήτων

Switching times for the DM SJDP120R085



# Περιεχόμενα

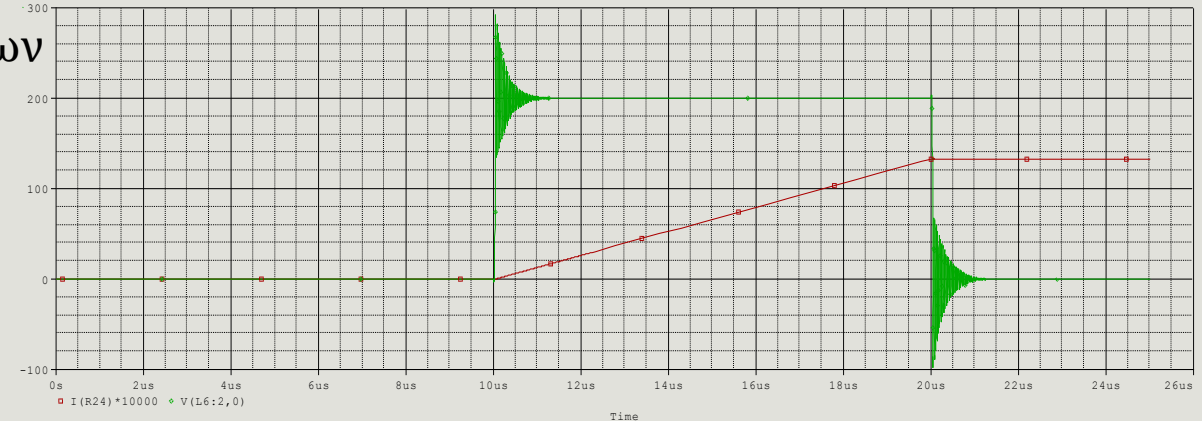
---

1. Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)
2. Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET*
3. Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET*
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Μέθοδοι ελαχιστοποίησης ταλαντώσεων

Εξαιτίας της αύξησης των διακοπτικών συχνοτήτων

- ❖ Ταλαντώσεις στην τάση εξόδου
- ❖ Προβλήματα ηλεκτρομαγνητικών παρεμβολών
- ❖ Στιγμαίειες υπερτάσεις

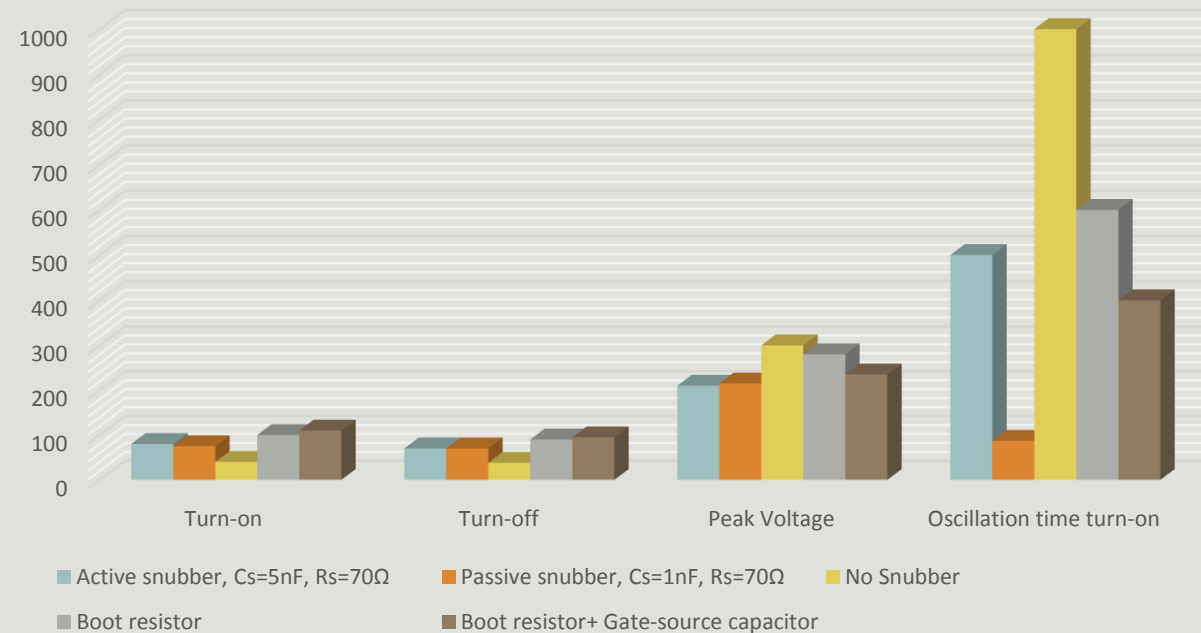


Για την ελαχιστοποίηση τους

- Τοποθέτηση αντιστάσεων σειράς στο κύκλωμα οδήγησης και βοηθητικών πυκνωτών ➡  
Μείωση της ταχύτητας με ταυτόχρονο περιορισμό του προβλήματος
- Βελτιστοποίηση της τοποθέτησης των στοιχείων πάνω στο PCB
- Χρήση ξεχωριστών heat sinks
- Χρήση νεκρών χρόνων (blanking times)
- Χρήση Snubbers (passive, active, turn-off)

# Προσομοίωση μεθόδων ελαχιστοποίησης ταλαντώσεων

	Turn-on	Turn-off	Damping factor	Peak Voltage	Oscillation time turn-on
Active snubber, Cs=5nF, Rs=70Ω	80nsec	70nsec	1.05	210V	500nsec
Passive snubber, Cs=1nF, Rs=70Ω	75nsec	70nsec	1.075	215V	87nsec
No Snubber	40nsec	38nsec	1.5	300V	1μsec
Boot resistor	100nsec	90nsec	1.4	280V	600nsec
Boot resistor+ Gate-source capacitor	110nsec	95nsec	1.175	235V	400nsec



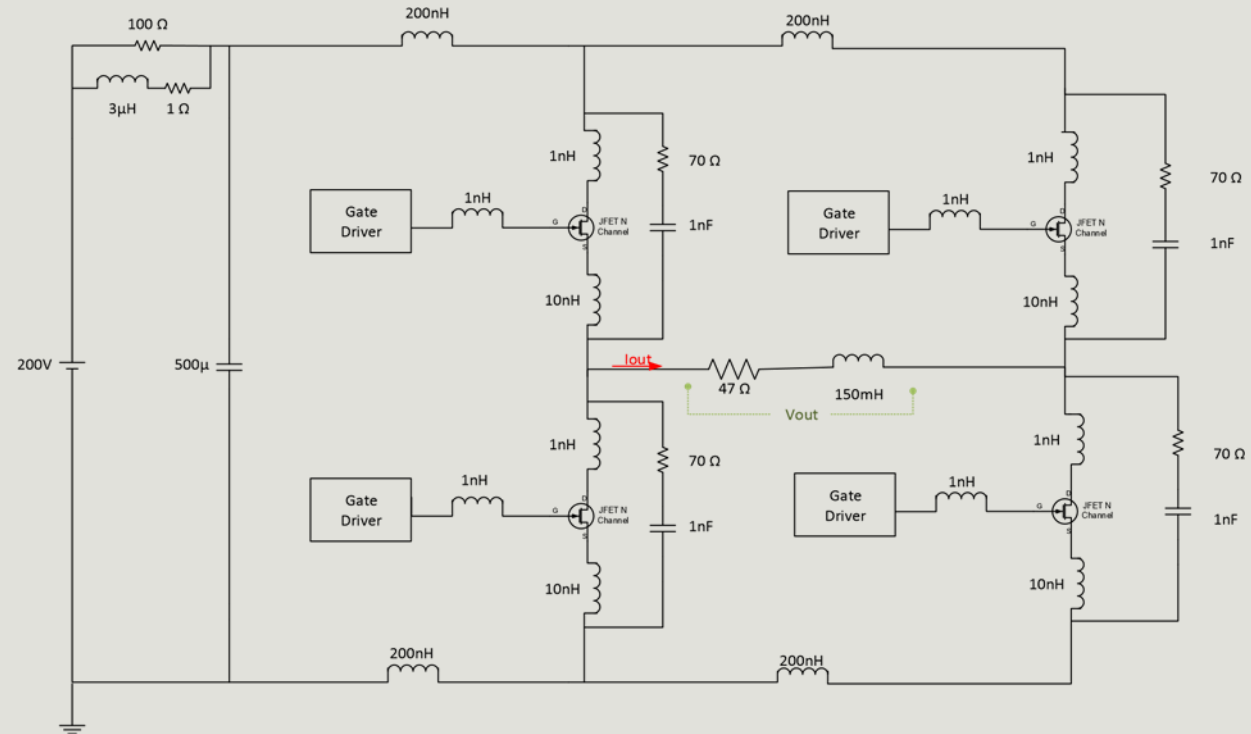
# Περιεχόμενα

---

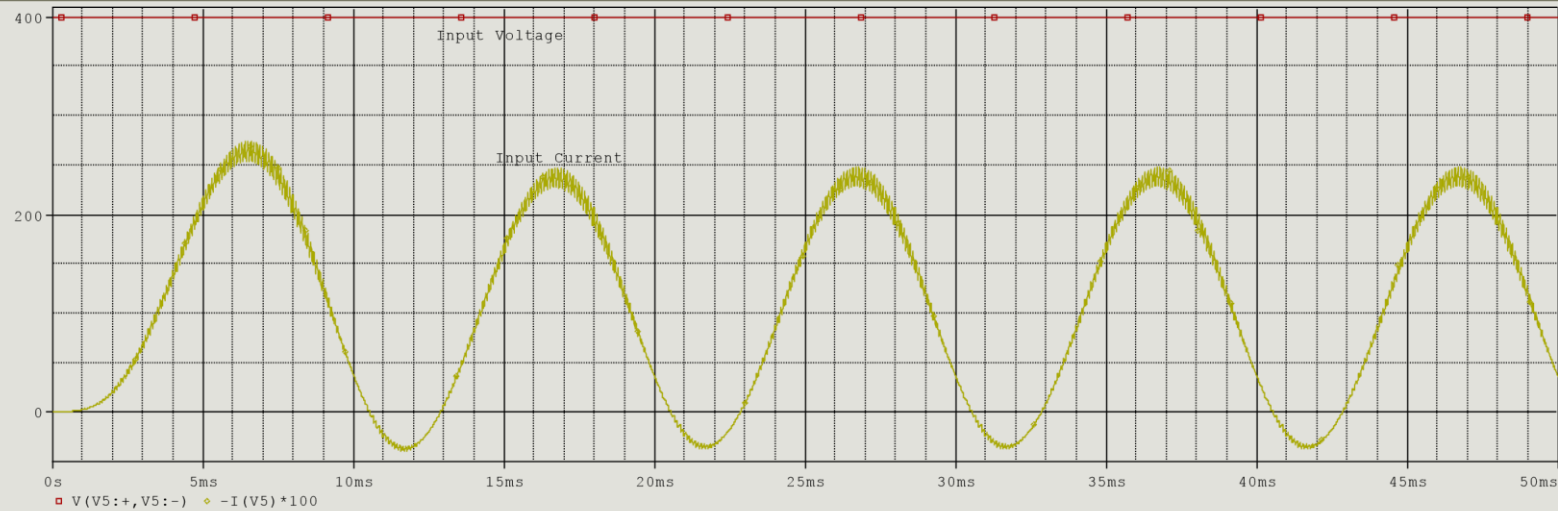
1. Ανασκόπηση των ημιαγωγών Υψηλού Ενεργειακού Διακένου (Wide Band Gap)
2. Ανάλυση των χαρακτηριστικών του *Vertical Trench Silicon Carbide JFET*
3. Τεχνικές οδήγησης της πύλης των *Vertical Trench Silicon Carbide JFET*
4. Μέθοδοι ελαχιστοποίησης ταλαντώσεων σε μετατροπείς βασισμένους σε ημιαγωγούς Καρβιδίου του Πυριτίου
5. Προσομοίωση και κατασκευή Αντριστροφέα Ισχύος αποτελούμενο από SiC JFETs

# Προσομοίωση Αντιστροφέα Ισχύος

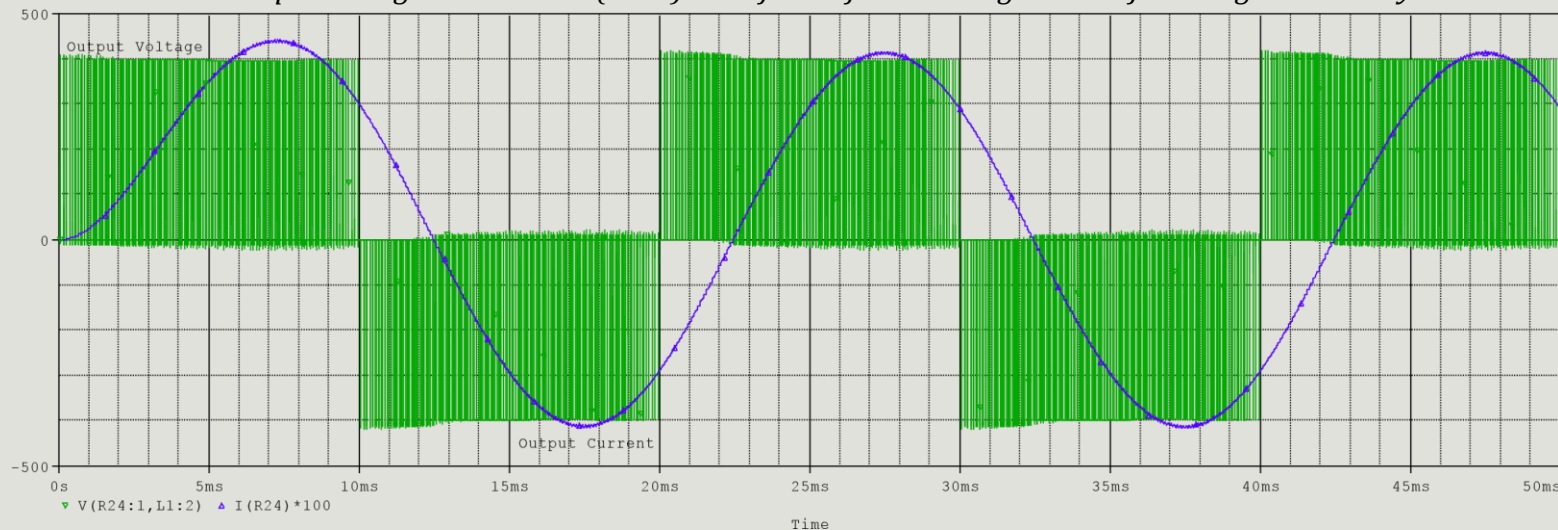
- ❖ SPWM διαμόρφωση
  - Με συχνότητα φέροντος 5kHz
  - Θεμελιώδης συχνότητα τάσης εξόδου 50Hz
  - Νεκρός χρόνος 1μs
- ❖ AC-coupled κύκλωμα οδήγησης
  - με χρήση βοηθητικών αντιστάσεων και πυκνωτών για μείωση των ταλαντώσεων
  - $-15V < V_{gs} < 3V$
- ❖ Βελτιστοποίηση των PCB σχεδίων
- ❖ R-C passive snubber:  $R=70\Omega$ ,  $C=1nF$
- ❖ Τάση δικτύου 400V και ισχύς εισόδου 1kW, RL φορτίο  $47\Omega$  και 150mH



# Αποτελέσματα προσομοίωσης Αντιστροφέα Ισχύος



*Input voltage and current (\*100) waveform of SPWM Single Phase full bridge inverter system.*

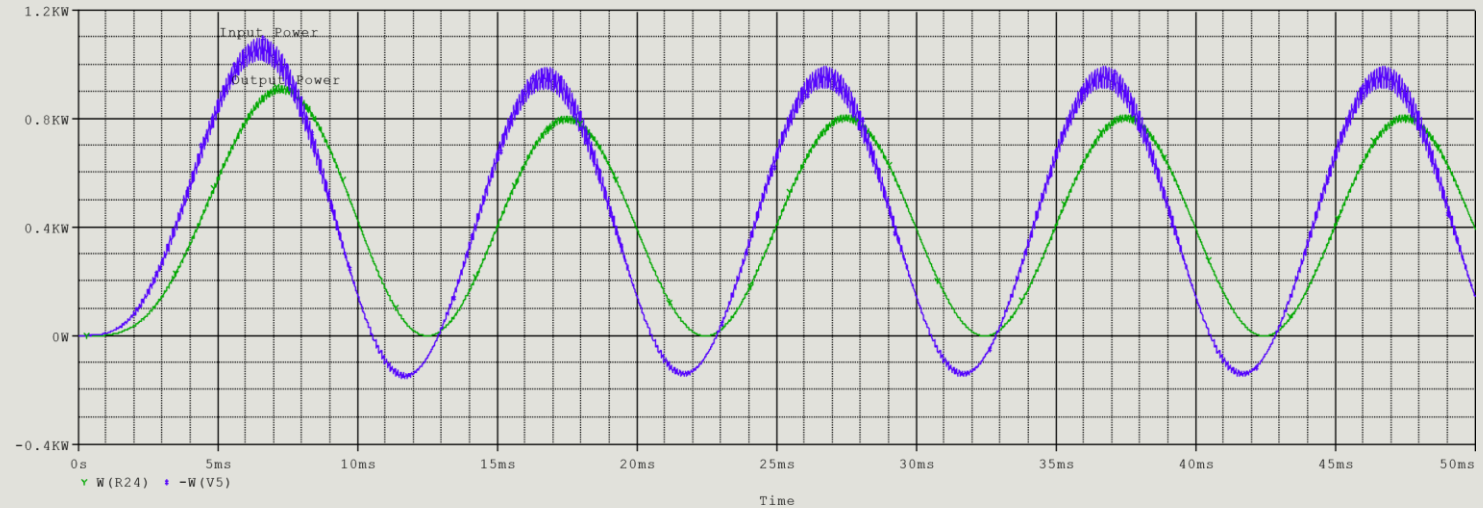


*Output voltage and current (\*100) waveform of Single Phase full bridge inverter system using Normally-on SiC JFet devices.*

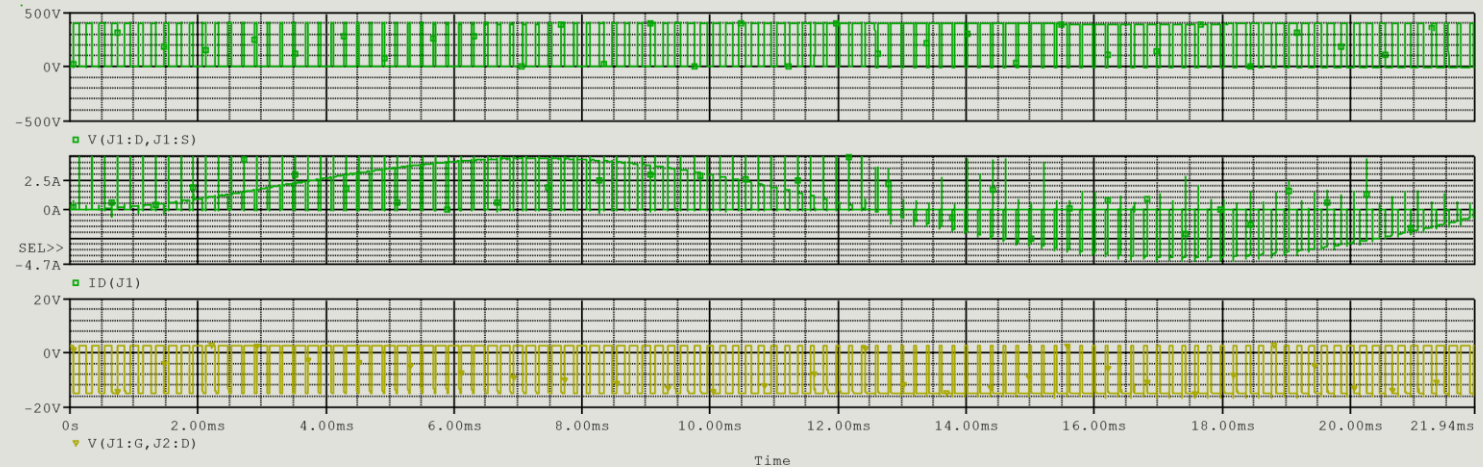


# Αποτελέσματα προσομοίωσης Αντιστροφέα Ισχύος

	1-Phase inverter using SJDP120R085
Efficiency (%)	95.399645 %
Cooling demands (C/W)	3.846102072 C°/W
Gate driver losses (W)	0.32 W
Conduction losses (W)	0.8 W
Losses during dead time(μW)	350 μW
Switching losses (W)	0.7 W



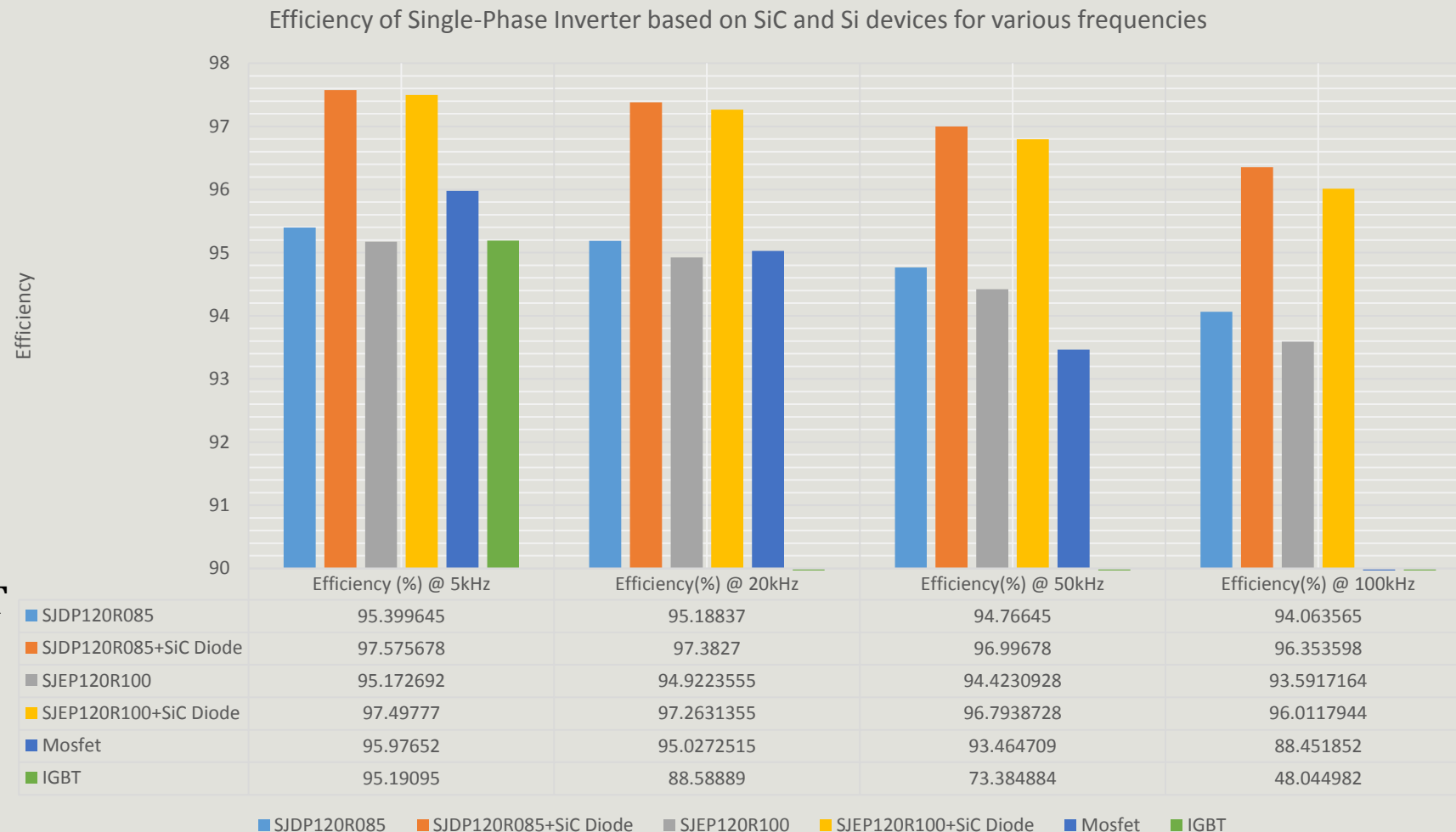
Input and output power waveform of a single phase inverter using Normally-on SiC JFet devices.



Output voltage, output current, gate-source voltage of J1 DM JFET – spwm pulses.

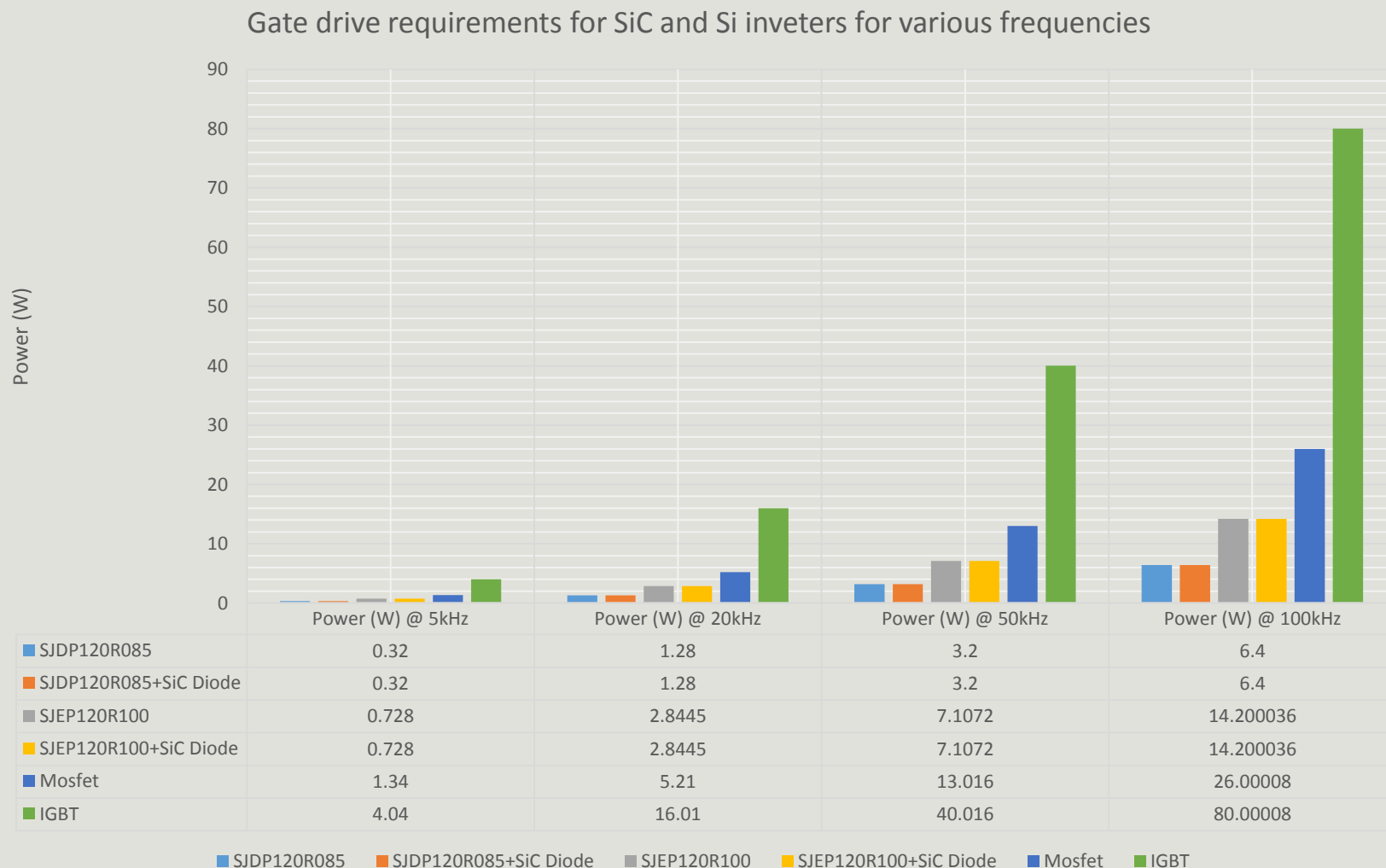
# Αποτελέσματα προσομοίωσης Αντιστροφέα Ισχύος για διάφορους ημιαγωγούς

- ❖ Οι αντιστροφείς βασισμένοι στα SiC JFET με διόδους έχουν την καλύτερη απόδοση
  - ❖ Για χαμηλές συχνότητες τα SiC JFET, Mosfet, IGBTs έχουν την ίδια απόδοση
  - ❖ Για πάνω από 20kHz η διαφορά στην απόδοση για τα νέα τρανζίστορ είναι αισθητή (σταθερά πάνω από 94%)
- ✓ Άρα χρήση αντιστροφέα SiC JFET χωρίς διόδους είναι εφικτή αν είμαστε διατεθειμένοι να θυσιάσουμε ~1,5% στην απόδοση του



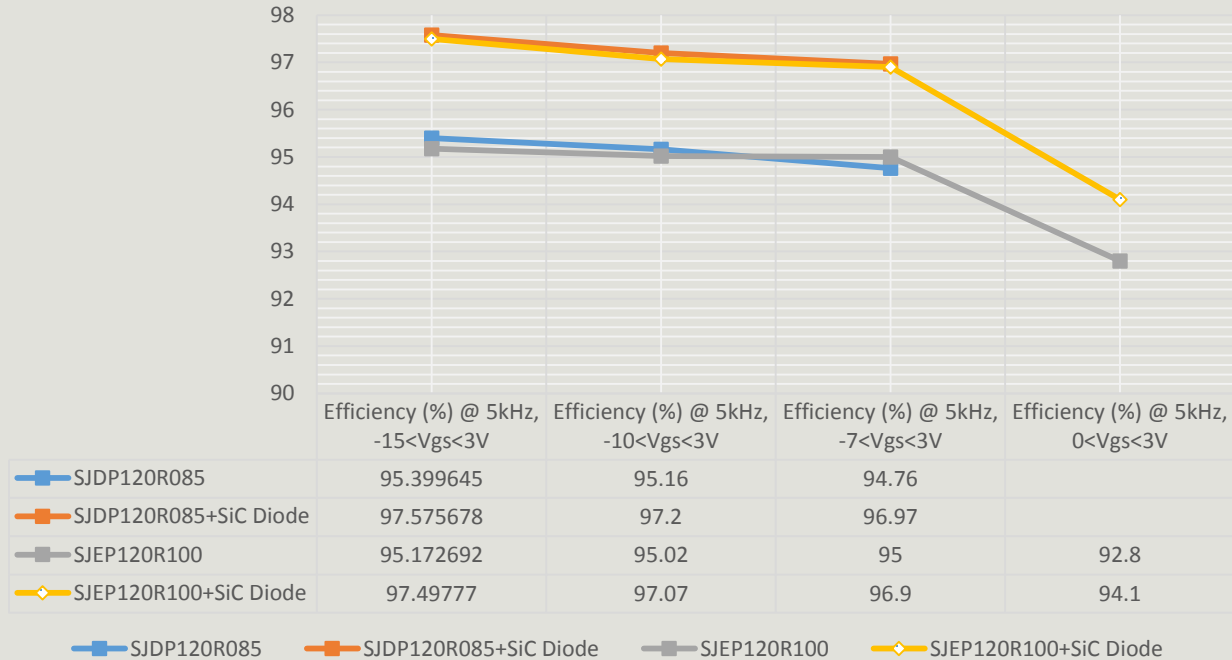
# Αποτελέσματα προσομοίωσης Αντιστροφέα Ισχύος για διάφορους ημιαγωγούς

- ❖ Οι απαιτήσεις για τους SiC JFETs based αντιστροφείς διατηρούνται γενικά σταθερές και χαμηλές
- ❖ Αντίθετα οι συσκευές Πυριτίου έχουν παραπάνω ανάγκες

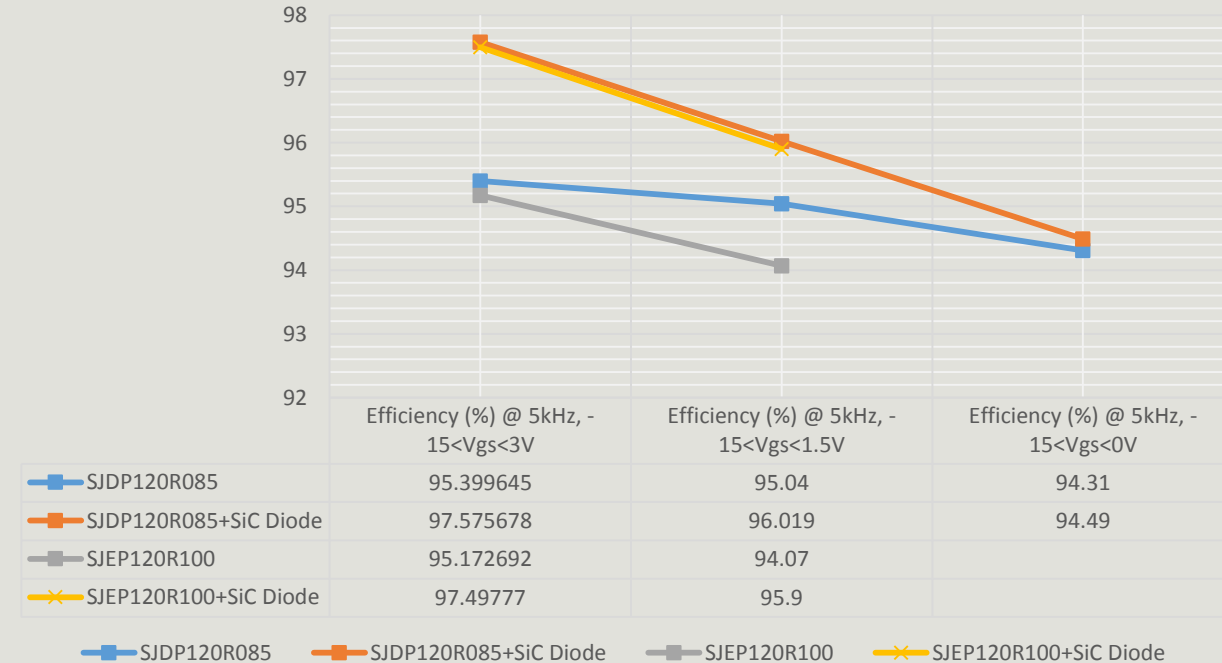


# Αποτελέσματα προσομοίωσης Αντιστροφέα Ισχύος

Efficiency of inverter circuit in relation with the minimum applied  $V_{gs}$  in SiC devices



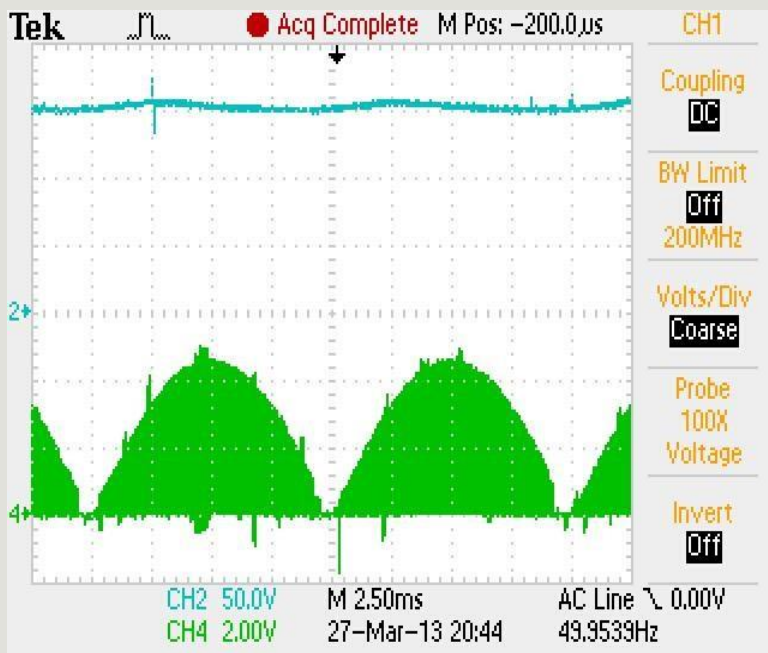
Efficiency of inverter circuit in relation with the maximum applied  $V_{gs}$  in SiC devices



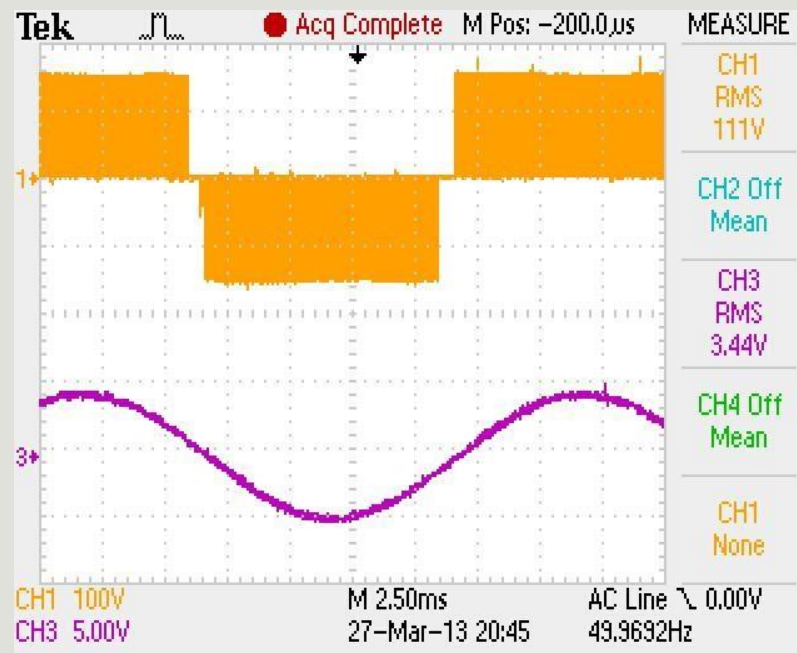
- ❖ Η διαφορά από 10V σε 15V είναι το πολύ 0.5%
- ❖ Όσο πλησιάζουμε στο  $V_p$  τόσο πέφτει η απόδοση (παίζει ρόλο και η τάση πηγής-υποδοχής)

- ❖ Όσο μεγαλύτερη εφαρμοζόμενη ορθή τάση πύλης τόσο μικρότερη η περιοχή απογύμνωσης
- ❖ Για κάθε αύξηση 1V έχουμε αύξηση 1%

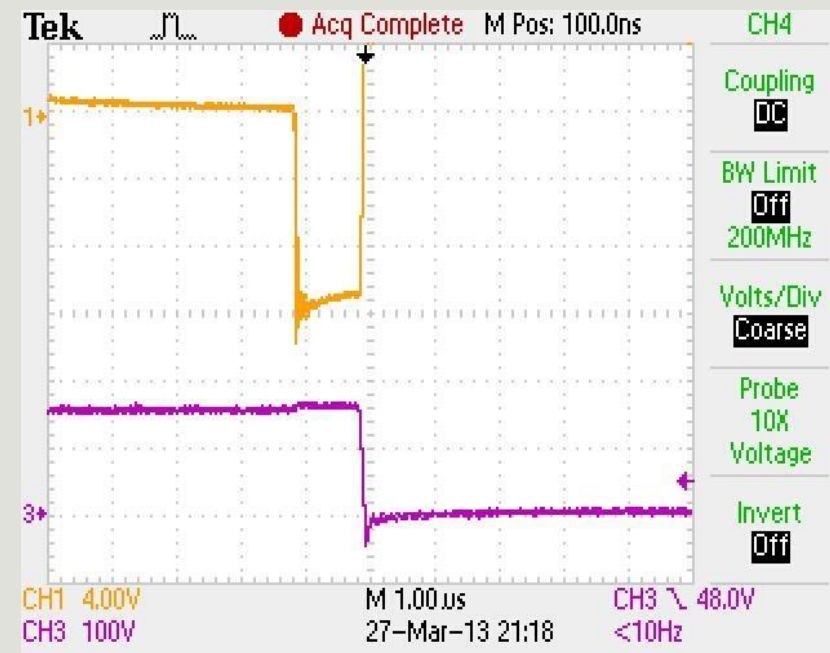
# Κατασκευή Αντιστροφέα Ισχύος με DM SiC JFET



Input waveforms με dc voltage 150V και input current 5A (input power 750 W)

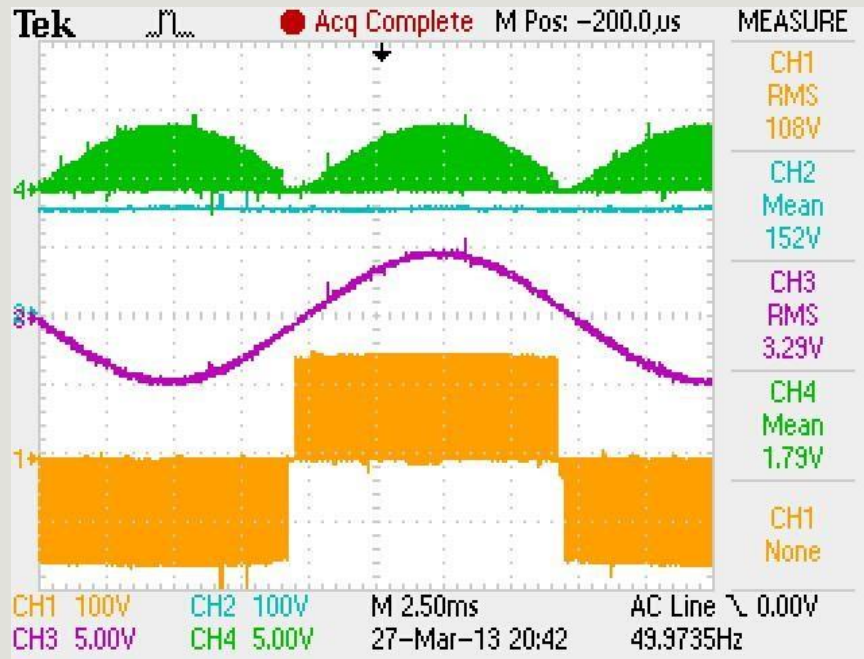


Output waveforms.



Voltage drop of J1 (yellow) during dead time and voltage at J2(purple).

# Κατασκευή Αντιστροφέα Ισχύος με DM SiC JFET



Input and output waveforms of the inverter. Green is the input current and blue the input voltage. Purple and orange is the output voltage and current respectively.

- ❖ Απόδοση αντιστροφέα: 96%  
(απόδοση στις προσομοιώσεις 95.4%)
- ❖ Περαιτέρω αύξηση της απόδοσης με χρήση φίλτρου στην έξοδο για ελαχιστοποίηση των αρμονικών
- ❖ Η χρήση αντι-παράλληλων διόδων για αυτό το επίπεδο ισχύος κρίνεται περιττή



*Ευχαριστώ για την προσοχή σας.*

Διπλωματική Εργασία  
του  
Νικόλαου Χρυσόγελου

Επιβλέπων :            Στέφανος Ν. Μανιάς  
Καθηγητής Ε.Μ.Π.

ΑΘΗΝΑ, ΙΟΥΛΙΟΣ 2014

---

