ミニマルアルバイト 課題

東京都市大学 野田慶太

課題内容

1. 抵抗ラダー、キャパシタタイプ14bitDAC回路設計、シミュレーション →キャパシタタイプを担当

TOOL:回路設計⇒Xschem、シミュレーション⇒NGSPICE

目標仕様:変換速度 10MSPS

入力·出力信号情報 VDD:3.3V±10%

Vrefh:VDD

din[13:0]:VIL=VDDx0.2, VIH=VDD*0.8, trise=tfall=1ns

Vrefl:VSS

dout:Vrefh/16384 x din(バイナリ値)

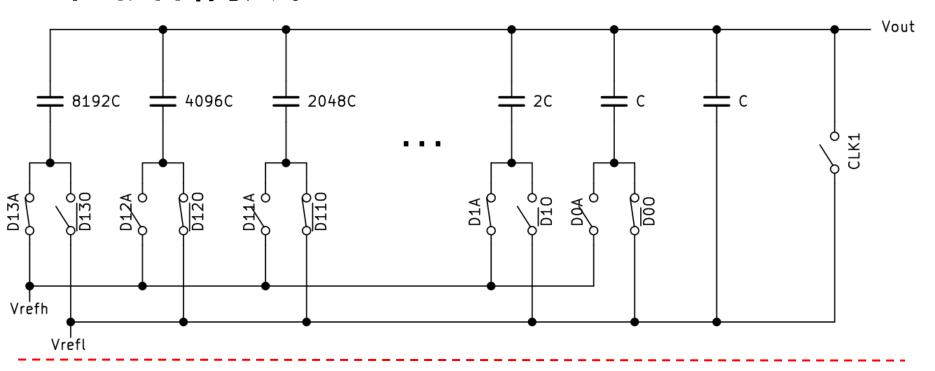
VSS:0V

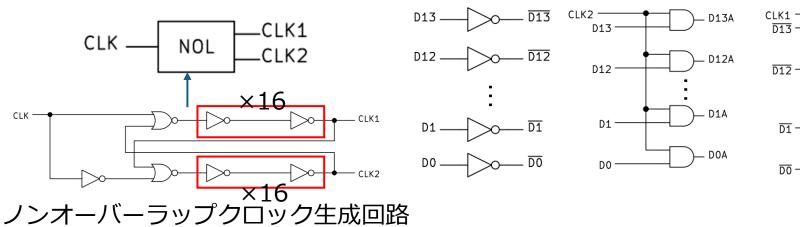
din⇒dout出力遅延時間:90ns max

din[14'h0000]		din[14'h3fff]		din[14'h1fff]		din[14'h0fff]		din[14'h1111]	
不定	dout=0	不定	dout=3.3	不定	dout=1.75	不定	dout=0.875	不定	dout=0.879
\longleftrightarrow	<90ns	\leftarrow	<90ns	\hookrightarrow	<90ns	<	→ <90ns	↔	<90ns
	100ns		100ns		100ns		100ns		100ns

回路構成

C=10fF





D130

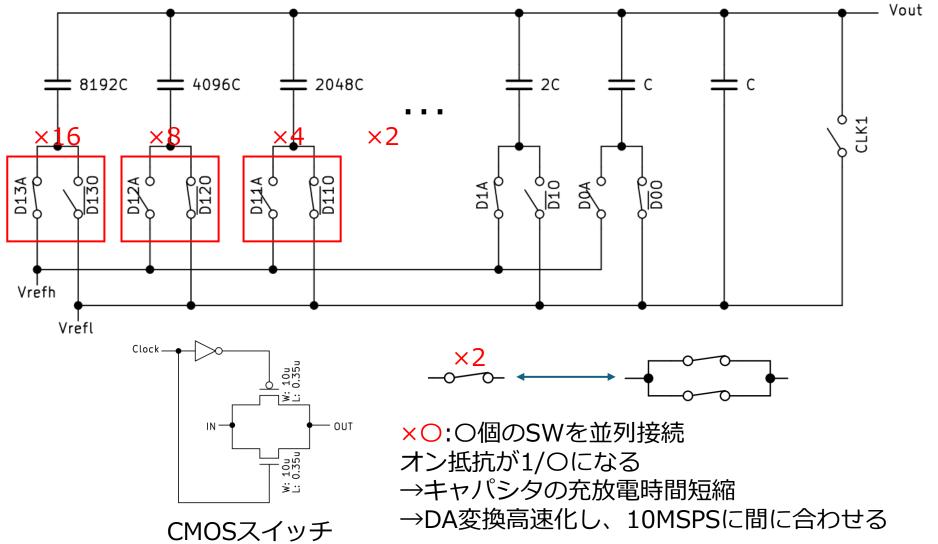
D120

<u>D1</u>0

<u>D0</u>0

スイッチについて

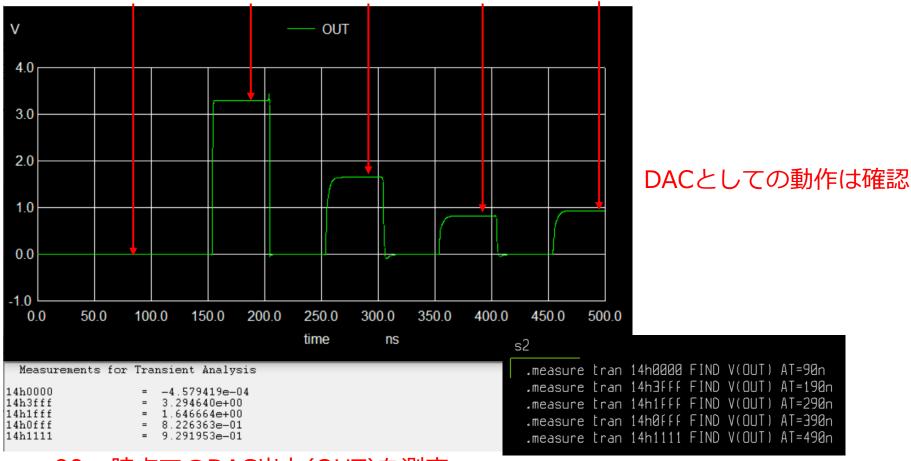
C=10fF



シミュレーション結果

Sim条件:VDD=3.3V VSS=0V CLKの周期=100ns

din[14'h0000] din[14'h3fff] din[14'h1fff] din[14'h0fff] din[14'h1111]



90ns時点でのDAC出力(OUT)を測定

結果について

Measurements for Transient Analysis 14h0000 = -4.579419e-04 14h3fff = 3.294640e+00 14h1fff = 1.646664e+00 14h0fff = 8.226363e-01 14h111 = 9.291953e-01

din[14'h0000]		din[14'h3fff]		din[14'h1fff]		din[14'h0fff]		din[14'h1111]	
不定	dout=0	不定	dout=3.3	不定	dout=1.75	不定	dout=0.875	不定	dout=0.879
\hookrightarrow	<90ns	\longleftrightarrow	<90ns	\leftrightarrow	<90ns	<	→ <90ns	\hookrightarrow	<90ns
	100ns		100ns		100ns		100ns		100ns

シミュレーションの値と理論値では、特に14'h1fffの差が大きい(約0.1V) DAC出力の理論値との差は $\pm(1/2)LSB$ でなくてはならない。 14bitなので、 $LSB=3.3/2^14=0.0002014V=0.2mV$ よって、許容誤差は0.1mVである。

そのため、まだ14bitの精度が実現できているとは言えない。

原因考察:・容量が小さすぎて寄生容量の影響を受けている

・スイッチのオン抵抗がキャパシタによって違うため