

ミニマルアルバイト 課題

東京都市大学

野田慶太

課題内容

1. 抵抗ラダー、キャパシタタイプ14bitDAC回路設計、シミュレーション
→キャパシタタイプを担当

TOOL : 回路設計⇒Xschem、シミュレーション⇒NGSPICE

目標仕様 : 変換速度 10MSPS

入力・出力信号情報

VDD:3.3V±10%

Vrefh:VDD

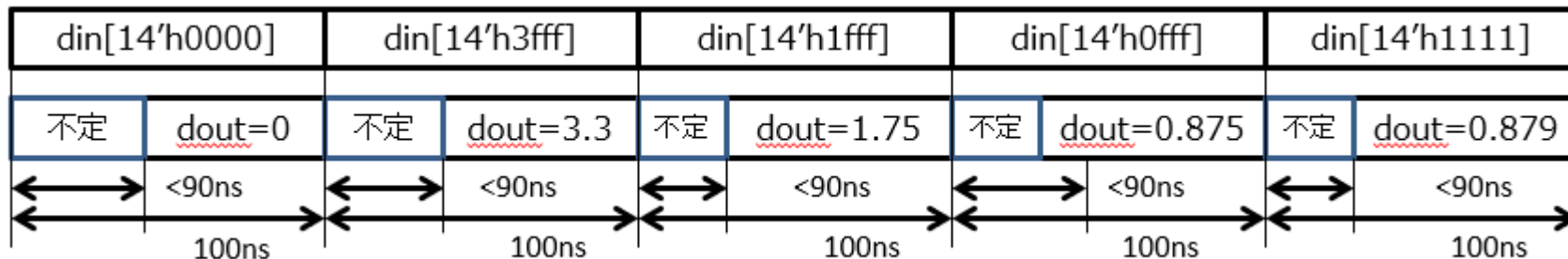
din[13:0]:VIL=VDDx0.2, VIH=VDD*0.8, trise=tfall=1ns

Vrefl:VSS

dout:Vrefh/16384 x din(バイナリ値)

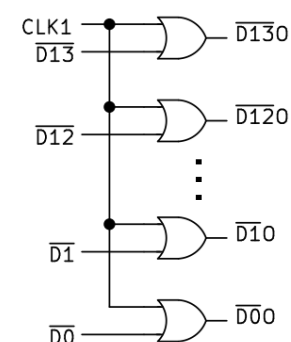
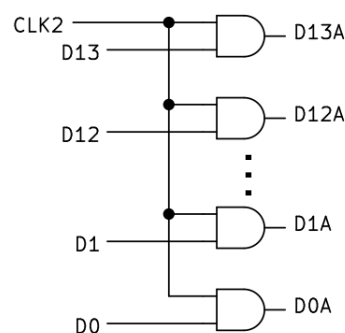
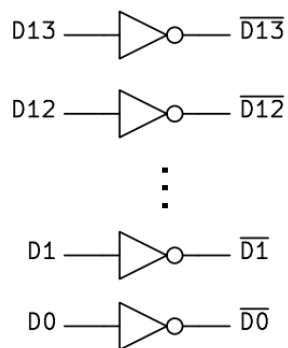
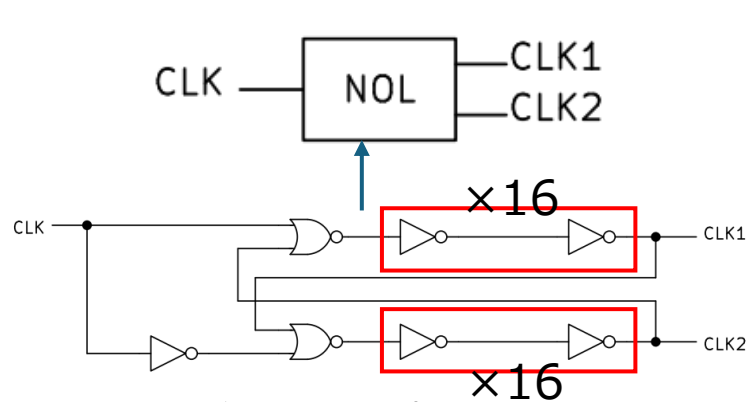
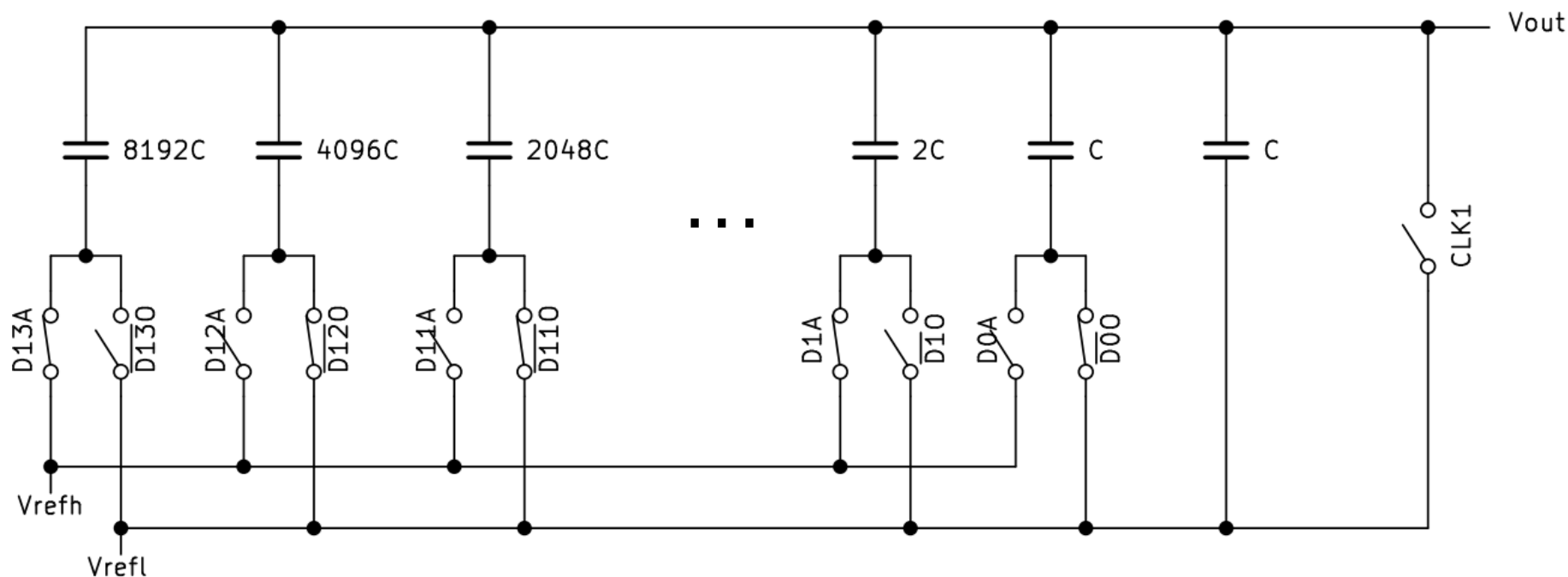
VSS:0V

din⇒dout出力遅延時間:90ns max



回路構成

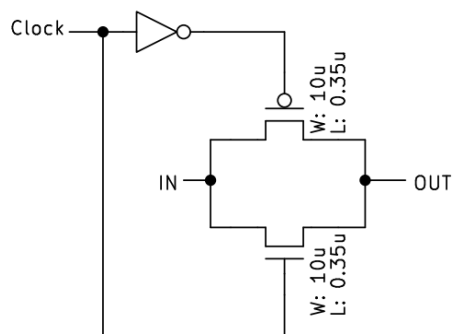
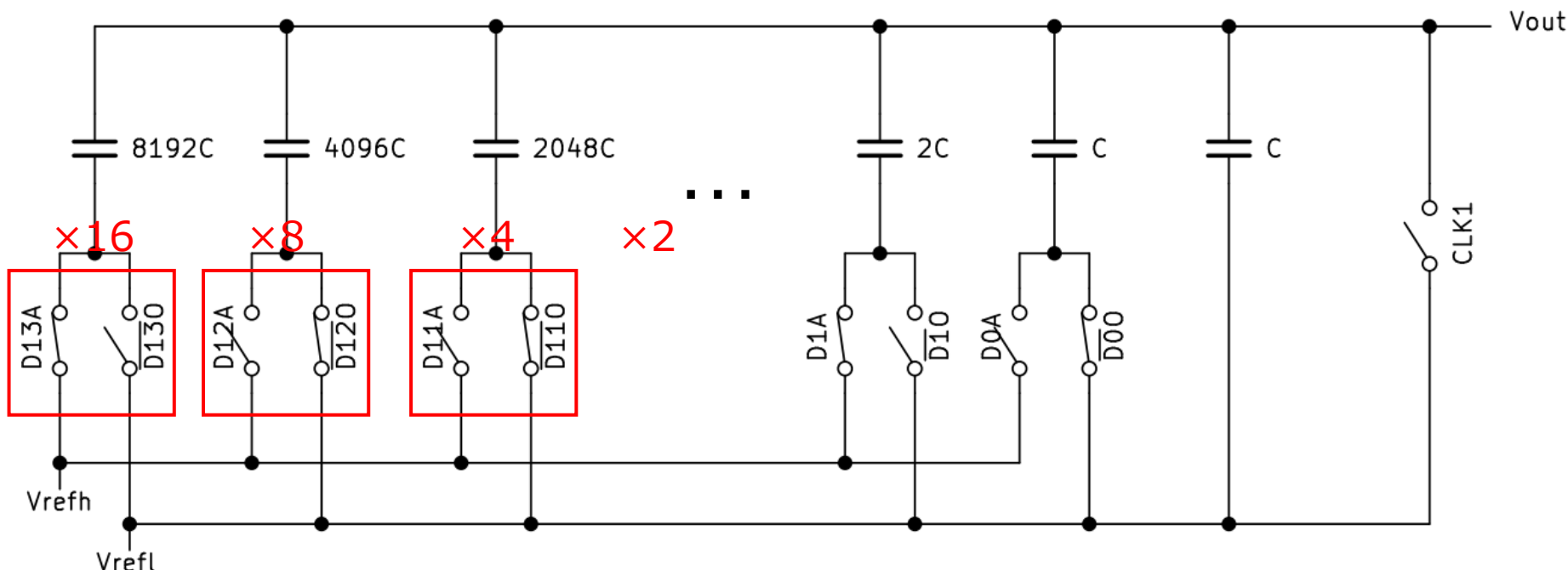
$C=10\text{fF}$



ノンオーバーラップクロック生成回路

スイッチについて

$C=10\text{fF}$



CMOSスイッチ

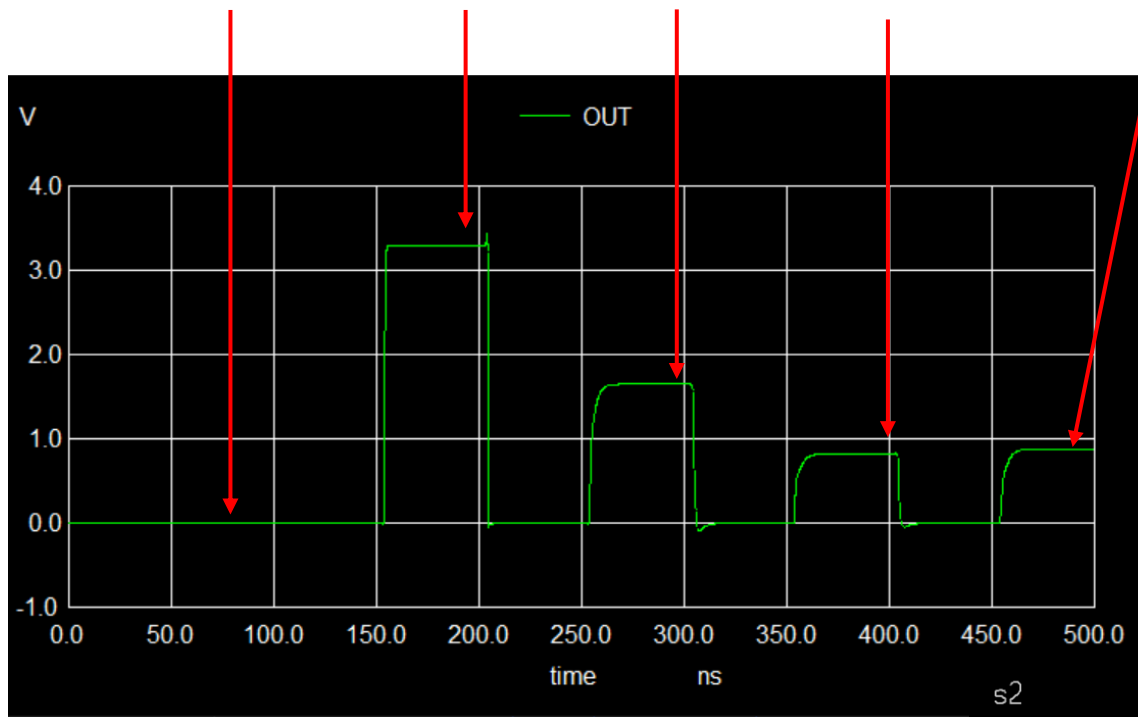


$\times \bigcirc$: \bigcirc 個のSWを並列接続
 オン抵抗が $1/\bigcirc$ になる
 → キャパシタの充放電時間短縮
 → DA変換高速化し、10MSPSに間に合わせる

シミュレーション結果

Sim条件:VDD=3.3V VSS=0V CLKの周期=100ns

din[14'h0000] din[14'h3fff] din[14'h1fff] din[14'h0fff] din[14'h1111]



DACとしての動作を確認

ngspice 44.2

Measurements for Transient Analysis

14h0000	=	-1.263550e-03
14h3fff	=	3.294641e+00
14h1fff	=	1.646664e+00
14h0fff	=	8.226363e-01
14h1111	=	8.776947e-01

s2

```
.measure tran 14h0000 FIND V(OUT) AT=90n  
.measure tran 14h3fff FIND V(OUT) AT=190n  
.measure tran 14h1fff FIND V(OUT) AT=290n  
.measure tran 14h0fff FIND V(OUT) AT=390n  
.measure tran 14h1111 FIND V(OUT) AT=490n
```

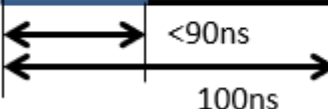
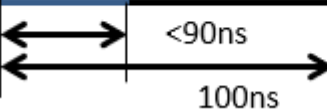
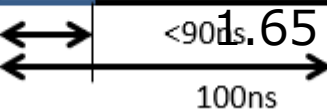
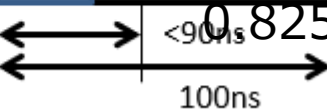
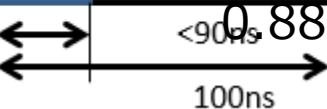
90ns時点でのDAC出力(OUT)を測定

結果について

ngspice 44.2

Measurements for Transient Analysis

```
14h0000      = -1.263550e-03
14h3fff      = 3.294641e+00
14h1fff      = 1.646664e+00
14h0fff      = 8.226363e-01
14h1111      = 8.776947e-01
```

din[14'h0000]		din[14'h3fff]		din[14'h1fff]		din[14'h0fff]		din[14'h1111]	
不定	dout=0	不定	dout=3.3	不定	dout=1.75	不定	dout=0.875	不定	dout=0.879
									

シミュレーションの値と理論値では、0.003～5V程度の誤差がある
DAC出力の理論値との差は $\pm(1/2)\text{LSB}$ でなくてはならない。

14bitなので、 $\text{LSB}=3.3/2^{14}=0.0002014\text{V}=0.2\text{mV}$

よって、許容誤差は0.1mVである。

そのため、まだ14bitの精度が実現できているとは言えない。

原因考察：・容量が小さすぎて寄生容量の影響を受けている

・スイッチのオン抵抗がキャパシタによって違うため