



# SÍNTESE DE CIRCUITO DIGITAL USANDO MAPA DE KARNAUGH

## Experimento #3

PCS3335 - Laboratório Digital A

29/03/2022

Natanael Magalhães Cardoso, 8914122

Renato Naves Fleury, 11805269

Professor: Glauber de Bona

Turma: 10

Bancada: B3

**Universidade de São Paulo**

Escola Politécnica

Departamento de Eng. de  
Computação e Sistemas Digitais



# Síntese de circuito digital usando Mapa de Karnaugh

Natanael Magalhães Cardoso, Renato Naves Fleury

## 1. INTRODUÇÃO

Esta segunda experiência apresentará circuitos combinatórios um pouco mais complexos. Existem diversas técnicas para a implementação desses circuitos, pois diferentes tipos de configurações podem dar os mesmos resultados esperados. Nessa experiência será utilizada a técnica de simplificação de um circuito digital através do mapa de Karnaugh.

## 2. OBJETIVOS

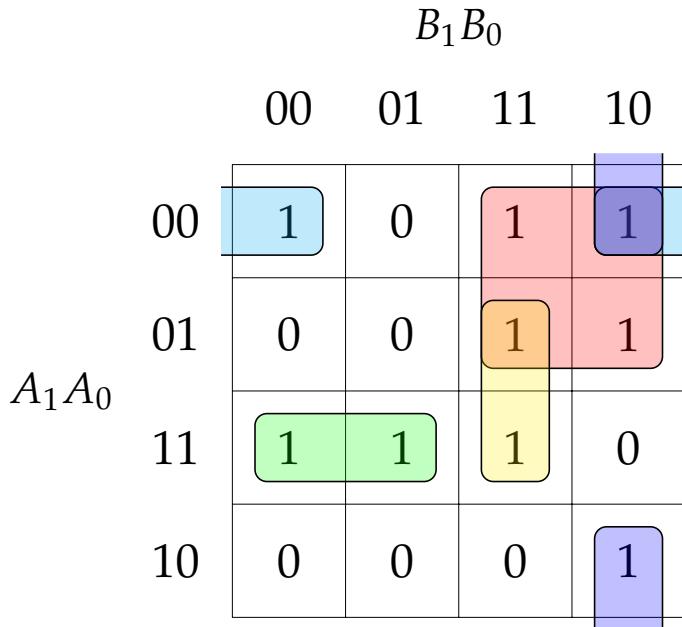
O objetivo deste projeto é explorar a técnica de síntese de um circuito a partir de sua Tabela Verdade usando Mapa de Karnaugh para gerar a expressão lógica do circuito usando um processo de montagem onde o circuito pode ser separado em componentes menores e cada componente pode ser testado individualmente.

## 3. PLANEJAMENTO

No planejamento deste circuito digital, nós mostramos o processo de síntese algébrica do circuito usando Mapa de Karnaugh (Seção 3.1), da simulação do circuito usando Quartus (Seção 3.2), do levantamento dos materiais necessários para construção do circuito (Seção 3.3), da metodologia de montagem e teste do circuito (Seção 3.4), e, por fim, consideramos possíveis alterações no planejamento que poderão ocorrer durante a construção do circuito (Seção 3.5).

### 3.1. SÍNTESE DO CIRCUITO USANDO MAPA DE KARNAUGH

Primeiramente, escolhemos o nUSP de terminação  $22_{10} = 0010110_2$  para completar as lacunas da Tabela Verdade fornecida. Com isso, montamos e resolvemos o Mapa de Karnaugh da Tabela Verdade completa, como mostrado na Fig. 1.



■ **Figura 1:** Resolução do Mapa de Karnaugh

$$Z = \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_0} + \overline{A_1} \cdot B_1 + A_0 \cdot B_1 \cdot B_0 + A_1 \cdot A_0 \cdot \overline{B_1} + \overline{A_0} \cdot B_1 \cdot \overline{B_0} \quad (1)$$

$$= \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_0} + B_1 \cdot (\overline{A_1} + A_0 \cdot B_0 + \overline{A_0} \cdot \overline{B_0}) + A_1 \cdot A_0 \cdot \overline{B_1} \quad (2)$$

$$= \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_0} + B_1 \cdot (\overline{A_1} + (\overline{A_0} \oplus B_0)) + A_1 \cdot A_0 \cdot \overline{B_1} \quad (3)$$

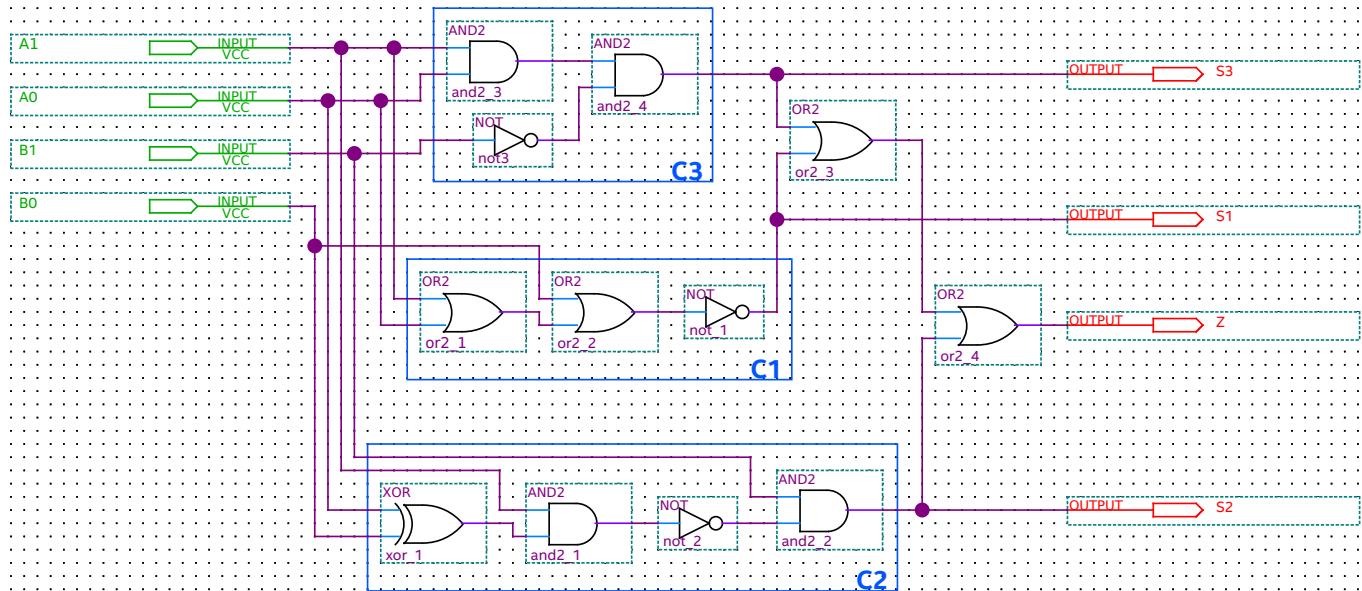
$$= \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_0} + B_1 \cdot (\overline{A_1} \cdot (A_0 \oplus B_0)) + A_1 \cdot A_0 \cdot \overline{B_1} \quad (4)$$

$$= \underbrace{\overline{A_1} + A_0 + B_0}_{C1} + \underbrace{B_1 \cdot (\overline{A_1} \cdot (A_0 \oplus B_0))}_{C2} + \underbrace{A_1 \cdot A_0 \cdot \overline{B_1}}_{C3} \quad (5)$$

A eq. (1) mostra o resultado obtido ao fazer a síntese usando o Mapa de Karnaugh da Fig. 1. A eq. (2) mostra a redução de 5 para 3 componentes aplicando a propriedade associativa em  $B_1$ . A eq. (3) mostra a redução de portas lógicas para uma XOR e uma NOT. A eq. (4) mostra a redução de portas NOT com o uso da Lei de Morgan. E, por fim, a eq. (5) mostra a expressão lógica final do circuito ao aplicar a Lei de Morgan novamente. Esta equação também indica a expressão lógica de cada um dos três componentes, que denotamos  $C1$ ,  $C2$  e  $C3$ .

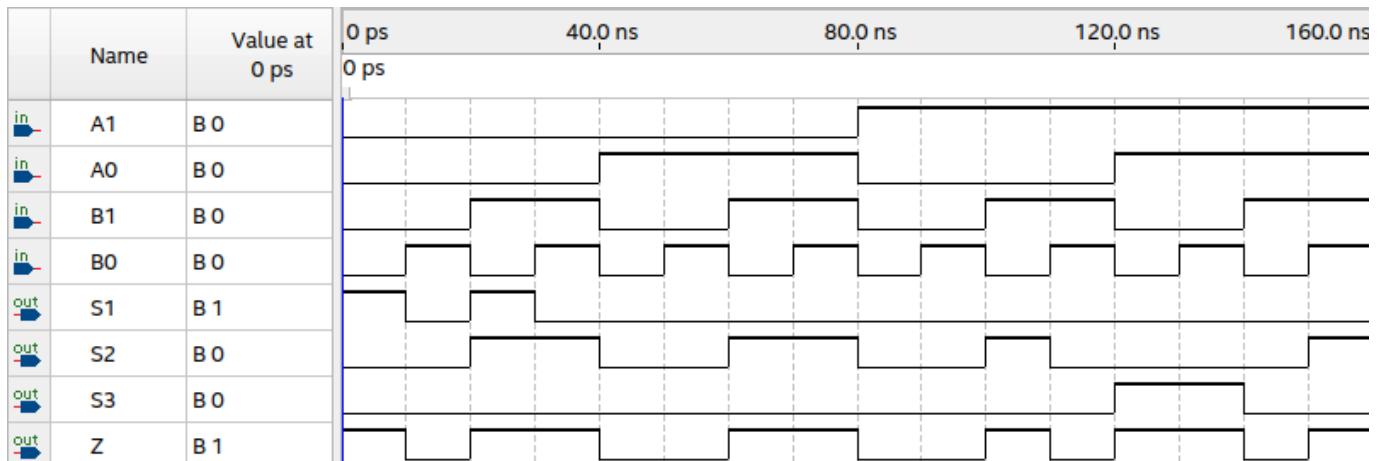
Estas manipulações algébricas são motivadas pela busca de uma expressão lógica que satisfaça as restrições de materiais para construção do circuito físico. O processo de determinação da expressão do circuito foi feito de forma iterativa, intercalando os métodos mencionados nesta Seção e nas Seções 3.2 e 3.3. A cada manipulação algébrica da expressão lógica obtida pelo Mapa de Karnaugh, foram feitos o diagrama lógico do circuito (Seção 3.2) e o levantamento dos materiais necessários (Seção 3.3).

### 3.2. SIMULAÇÃO DO CIRCUITO USANDO O QUARTUS



**Figura 2:** Diagrama lógico<sup>1</sup> do circuito digital projetado a partir da eq. (5)

Ao clicar o diagrama lógico da eq. (1), percebemos que seriam necessários mais materiais que os disponíveis para montar o circuito. Por isso, modificamos a expressão lógica inicial até que chegarmos na eq. (5). Com isso, obtivemos o diagrama lógico mostrado na Fig. 2.



**Figura 3:** Carta dos tempos para o circuito simulado exibindo os sinais de entrada ordenados do mais significativo para o menos significativo (A1 até B0), os sinais intermediários (S1 até S3) e o sinal de saída Z

Com o diagrama montado, os sinais de entrada foram configurados para que cobrissem todos os valores possíveis da Tabela Verdade. A Carta dos Tempos da simulação é mostrada na Fig. 3. A partir desta figura, foi criada uma Tabela Verdade (Tabela 1) com os valores esperados dos sinais S1, S2, S3 e Z para cada valor de entrada.

<sup>1</sup>Imagem vetorial, é possível ampliar sem perda de qualidade.

**Tabela 1:** Tabela Verdade dos valores esperados dos sinais intermediários  $S_1$ ,  $S_2$ ,  $S_3$  e de saída  $Z$  para cada valor dos sinais de entrada  $A_1$ ,  $A_0$ ,  $B_1$  e  $B_0$

Entrada				Valor Esperado			
$A_1$	$A_0$	$B_1$	$B_0$	$S_1$	$S_2$	$S_3$	$Z$
0	0	0	0	1	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	1	0	1
0	0	1	1	0	1	0	1
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	0	1	1
1	1	1	0	0	0	0	0
1	1	1	1	0	1	0	1

### 3.3. LEVANTAMENTO DOS MATERIAIS NECESSÁRIOS

A Tabela 2 mostra a quantidade de unidades lógicas requeridas para cada CI utilizado. Isso foi feito para que a expressão lógica do circuito planejado obedeça às restrições de montagem. As especificações de cada CI foi obtido pelos respectivos *datasheets*.

**Tabela 2:** Comparação das unidades lógicas requeridas pela eq. (5) e disponíveis para montagem do circuito de acordo com as características de cada CI e da placa de montagem

Slot	Operação	CI	Un. Requeridas	Un. Disponíveis
1	AND2	7408	4	4
2	NOT	7404	3	6
3	OR2	7432	4	4
4	XOR	7486	1	4

### 3.4. METODOLOGIA DE MONTAGEM E TESTE DO CIRCUITO

Com o circuito definido, calculamos a Tabela Verdade esperada a partir da simulação no Quartus. Para que seja possível testar cada componente separadamente durante a montagem, a Tabela 1 mostra o valor esperado da saída  $Z$ , bem como os valores dos sinais intermediários  $S_1$ ,  $S_2$  e  $S_3$ , que são os sinais de saída dos componentes  $C_1$ ,  $C_2$  e  $C_3$ , respectivamente. Estes componentes referem-se aos indicados na eq. (5) e na Fig. 2.

Visto que a Tabela 1 consta do mesmo número de sinais quanto o número de leds da placa de montagem, a ideia é montar o circuito progressivamente componente por componente e realizar uma depuração completa a cada novo componente montado na placa. No final, serão feitos quatro testes: um para cada sinal intermediário e outro para o sinal final.

### 3.5. POSSÍVEIS ADAPTAÇÕES DURANTE A CONSTRUÇÃO

Embora tenhamos adotado o circuito da Fig. 2 como *baseline*, não o consideramos como única opção. Adotamos este modelo por depender apenas de portas lógicas de duas entradas. Contudo, otimizações poderão ser feitas dependendo da disponibilidade de CIs durante a construção deste circuito, como a substituição de AND2 por AND3 e a substituição de OR2 por OR3. Se todas essas mudanças forem aplicadas, haverá uma redução de três portas lógicas usadas, passando de 12 para 9.

---

## 4. EXPERIMENTO

---

### 4.1. MONTAGEM

A montagem do circuito digital foi realizada utilizando-se de uma placa de montagem, jumpers e dos CIs TTL 7404, 7408, 7432 e 7486. A Figura 5 mostra a montagem final do circuito.

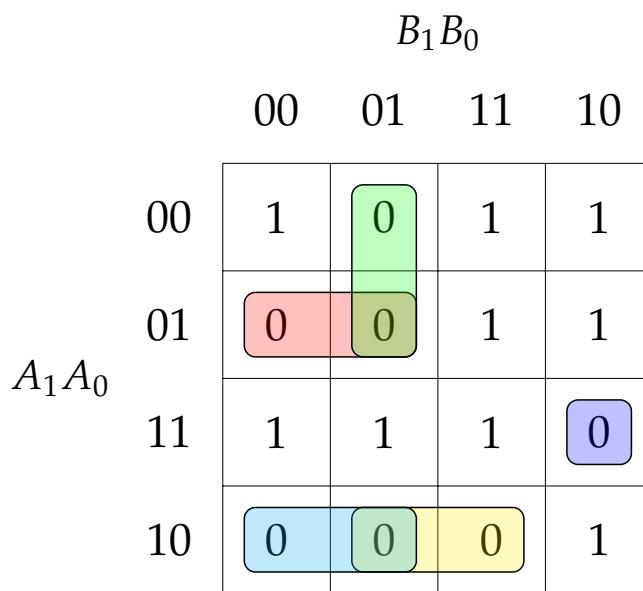
### 4.2. RESULTADO

Com o circuito montado, testou-se todas as combinações de entrada e analisou-se as respectivas saídas comparando-as com o resultado esperado. Dessa observação obteve-se a seguinte tabela, na qual todos os sinais experimentais condizem com os resultados esperados. A Tabela 3 mostra essa relação.

**Tabela 3:** Tabela Verdade dos valores esperados e experimentais dos sinais intermediários  $S1$ ,  $S2$ ,  $S3$  e de saída  $Z$  para cada valor dos sinais de entrada  $A_1$ ,  $A_0$ ,  $B_1$  e  $B_0$

Entrada				Esperado				Experimental			
$A_1$	$A_0$	$B_1$	$B_0$	$S1$	$S2$	$S3$	$Z$	$S1$	$S2$	$S3$	$Z$
0	0	0	0	1	0	0	1	1	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	1	1	1	0	1
0	0	1	1	0	1	0	1	1	0	0	1
0	1	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0
0	1	1	0	0	1	0	1	1	0	0	1
0	1	1	1	0	1	0	1	1	1	0	1
1	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	1	0	1	0	1	0	1
1	0	1	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	1	0	0	1	1
1	1	0	1	0	0	1	1	0	0	1	1
1	1	1	0	0	0	0	0	0	0	0	0
1	1	1	1	0	1	0	1	0	1	0	1

## 5. DESAFIO



**Figura 4:** Resolução do Mapa de Karnaugh para o produto de somas

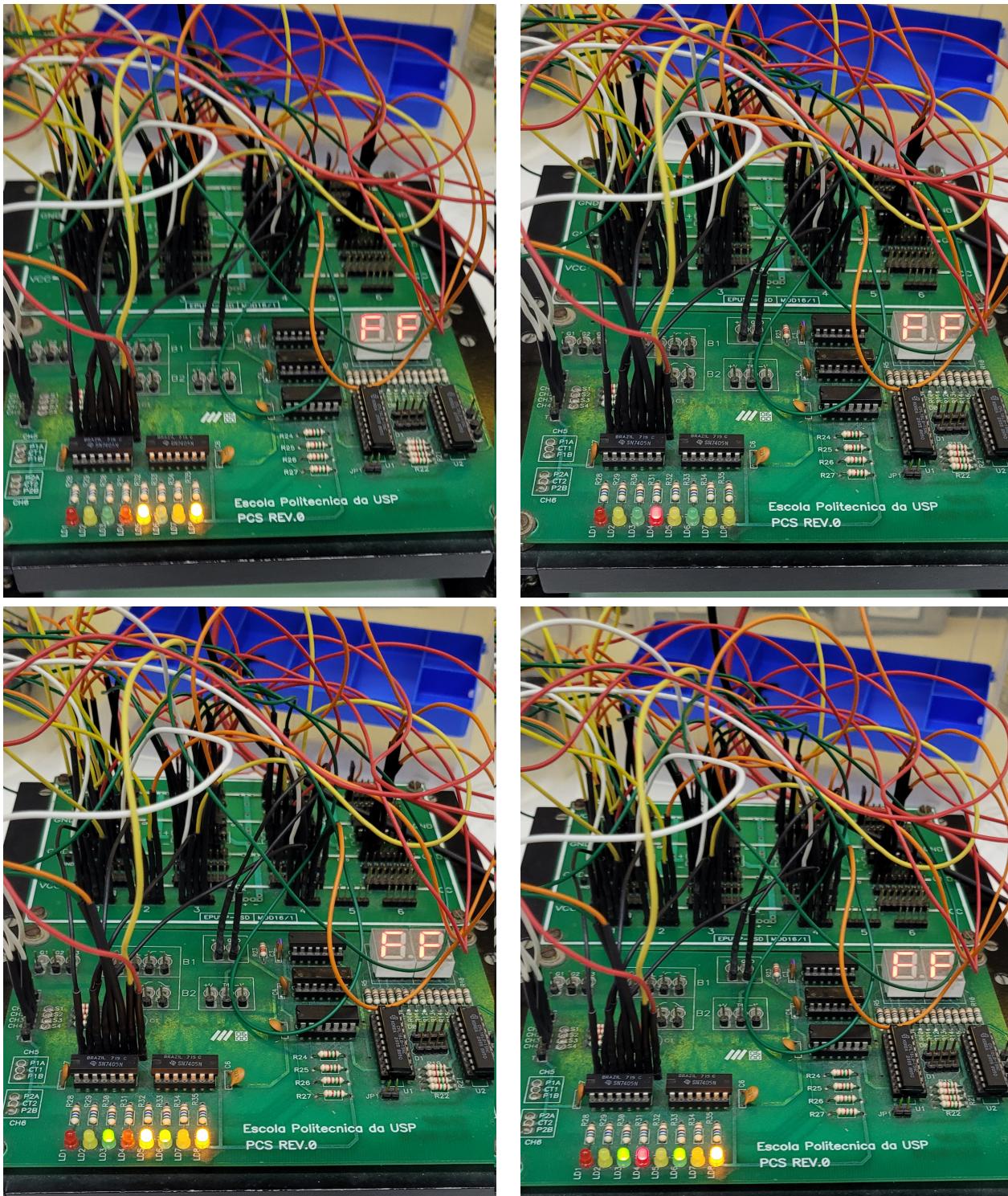
O desafio proposto pelo professor consistiu em um desafio teórico, no qual deveríamos achar a expressão lógica equivalente à equação resultante do mapa de Karnaugh, porém, expressa em somas de produtos.

Para chegarmos no resultado, utilizamos o mapa de karnaugh novamente. Primeiramente, maximizamos os agrupamentos utilizando as saídas negativas presentes no mapa. Com esses agrupamentos obtivemos uma expressão que nos dá como resultado o oposto das saídas esperadas para uma expressão lógica equivalente. Portanto, bastou negar toda a expressão e aplicar a Lei de Morgan em todos os termos. Por fim, chegamos na seguinte expressão:

$$\begin{aligned} Z = & (B_1 + \overline{B_0} + A_1) \cdot (A_1 + \overline{A_0} + B_1) \cdot (\overline{A_1} + A_0 + B_1) \\ & \cdot (\overline{A_1} + A_0 + \overline{B_0}) \cdot (\overline{A_1} + \overline{A_0} + \overline{B_1} + B_0) \quad (6) \end{aligned}$$

## APÊNDICE

### A. MONTAGEM DO CIRCUITO



**Figura 5:** Montagem do circuito com os quatro primeiros valores, como mostra a Tabela Verdade experimental (Tabela 3).