

Projeto dos Alunos

Versão 2022

INTRODUÇÃO

Esta experiência dá ao aluno a oportunidade de propor um projeto de sistema digital (fluxo de dados e unidade de controle) de sua livre escolha usando os conceitos, técnicas e ferramentas aprendidos até o momento. O projeto do fluxo de dados deve ter no mínimo um componente MSI e da unidade de controle em VHDL. Admitem-se também portas lógicas básicas. O fluxo de dados deve ser implementado no painel de montagens e a unidade de controle na placa FPGA.

OBJETIVO

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Projeto proposto funcional.

1. PARTE EXPERIMENTAL

1.1. Projeto do Sistema Digital

- Elabore uma Descrição Funcional do sistema e insira-a no Planejamento.
- Elabore um Diagrama de Blocos contendo Fluxo de Dados (**FD**) e Unidade de Controle (**UC**) do sistema completo e dados e sinais de controle entre os blocos. Insira o Diagrama de Blocos no Planejamento.
- Projete o Diagrama Lógico do **FD** com circuitos integrados, contendo entradas, saídas e sinais intermediários. Insira o Diagrama Lógico no Planejamento.
- Simule o **FD** no Quartus. Insira a Carta de Tempos no Planejamento.

DICA: Insira sinais intermediários para facilitar a verificação do funcionamento do **FD**.

- Elabore uma Tabela de Testes para o **FD**, incluindo sinais intermediários. Insira a Tabela de Testes no Planejamento.
- Projete a **UC** em VHDL. Insira o código no Planejamento.
- Gere um Diagrama de Estados da **UC** (*Tools -> Netlist Viewers -> State Machine Viewer*). Insira o Diagrama de Estados no Planejamento.
- Simule a **UC** no Quartus. Insira a Carta de Tempos no Planejamento.

DICA: Insira sinais intermediários para facilitar a verificação do funcionamento da **UC**.

- Elabore uma Tabela de Testes para **FD+UC**. Insira a Tabela de Testes no Planejamento.
- Entregue o arquivo QAR (**nome_projeto_txxbyy.qar**) do **FD** e da **UC** junto com o Planejamento, onde xx é o número da turma e yy é o número da bancada do grupo.

1.2. Implementação do Sistema Digital

- Implemente o **FD** no Pannel de Montagens.
- Realize os testes conforme definidos na Tabela de Testes para o **FD** e anote os resultados no Relatório.
- Faça uma Tabela de Designação de Pinos da **UC** e sintetize-a para a placa FPGA DE0-CV com Cyclone V 5CEBA4F23C7N. Insira a Tabela de Designação de Pinos no Relatório.

OBS: Não usem chaves e botões da placa FPGA. Coloquem as entradas em um pino da interface GPIO. Use a ferramenta Waveforms do dispositivo Analog Discovery para acionar as entradas da placa FPGA

d) Integre o sistema **FD + UC**.

OBS: O Painel de Montagens e a placa FPGA trabalham com tensões diferentes, 0-5V e 0-3,3V respectivamente. Um conversor de tensão será disponibilizado no LabDig. Não é necessário projetar o conversor.

e) Realize os testes do projeto completo definidos na Tabela de Testes e anote os resultados no Relatório.

1.3. Desafios (Opcional)

O professor irá propor um desafio sobre esta experiência.

2. BIBLIOGRAFIA

- Apostilas do Laboratório de Sistemas Digitais A, 2021.
- Texas Instruments. **TTL Logic Data Book**, 1994.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.
- MEALY, B.; TAPPERO F. **Free Range VHDL**. freerangefactory.org. 2016.
- NEEMANN, H. DIGITAL: <https://github.com/hneemann/Digital> consultado em Abril, 2021.

3. RECURSOS NECESSÁRIOS

- 1 Computador pessoal.
- 1 Placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N
- 1 Dispositivo Analog Discovery.
- 1 Ferramenta Intel Quartus Prime 16.1.
- 1 Ferramenta Waveforms do Analog Discovery.
- Circuitos integrados usados nas experiências anteriores.

Histórico de Revisões

Profs. Kechi Hirama, Jorge Rady de Almeida, Sérgio Roberto de Mello Canovas – versão 2020

Prof. Kechi Hirama – versão 2021

Prof. Kechi Hirama - versão 2022