

Flip-Flops e Contadores

Versão 2022

INTRODUÇÃO

Esta experiência visa apresentar ao aluno **circuitos sequenciais** que junto com **circuitos combinatórios** formam a base dos projetos de circuitos digitais. O que caracteriza os **circuitos combinatórios** é que estes dependem somente do conjunto de entradas em um determinado momento para se gerar um conjunto de saídas. Em resumo, esses circuitos não possuem memória. Muitas soluções com circuitos digitais necessitam saber não apenas quais são os valores das entradas, mas sobretudo, qual é o estado atual para gerar as novas saídas. São os chamados **circuitos sequenciais** que usam memória junto com circuitos combinatórios

OBJETIVO

O objetivo desta experiência é introduzir circuitos sequenciais iniciando o estudo de um elemento de memória muito importante, que são os **flip-flops (FFs)** ou biestáveis.

Ao final da experiência, espera-se que o aluno tenha aprendido:

- Os conceitos de FF como elementos básicos de memória.
- Os conceitos de contadores que usam FF na sua implementação.
- Implementar circuitos sequenciais básicos usando contadores.

1. PARTE EXPERIMENTAL

a) Flip-Flops ou Biestáveis

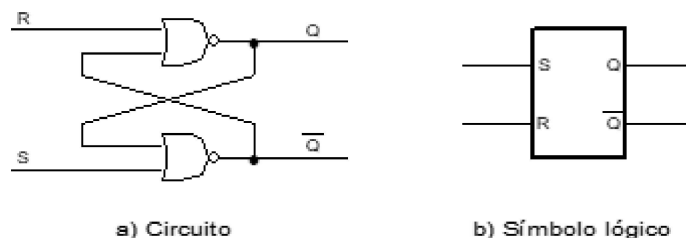
Um *flip-flop* é constituído de diversas portas lógicas. Os FF podem ser classificados com relação ao tipo de controle ou de sincronismo. Quanto ao controle têm-se os tipos S-R (*set-reset*), D e J-K. Quanto ao sincronismo, têm-se sensíveis ao nível (*Latches*), à borda e à largura do sinal de relógio.

a.1) Biestáveis Sensíveis ao Nível

• Biestável S-R (*Latch*)

A célula básica do S-R (positivo) é apresentada no diagrama lógico da Figura 1 construída a partir de portas NOR.

Figura 1 – Diagrama Lógico do Biestável S-R (Positivo)



A Tabela I apresenta o comportamento desse dispositivo.

Tabela I - Tabela do Biestável S-R (Positivo).

S	R	Q(t)	Q(t+1)	Estado
0	0	0	0	Repouso
0	0	1	1	
0	1	0	0	Reset
0	1	1	0	
1	0	0	1	Set
1	0	1	1	
1	1	0	0	Não permitido
1	1	1	0	

O biestável S-R se caracteriza como elemento de memória, pois ao observar uma de suas saídas (Q ou Q'), é possível saber qual das duas entradas apresentou valor igual a 1 lógico pela última vez. Assim, se no instante atual a saída Q = 1, sabe-se que a entrada S assumiu valor 1, em algum instante passado, e que, a partir daquele instante, a entrada R permaneceu sempre igual a zero.

O biestável apresentado na Figura 1 é conhecido por S-R positivo, pois são níveis lógicos iguais a 1 em S ou em R que alteram o seu estado.

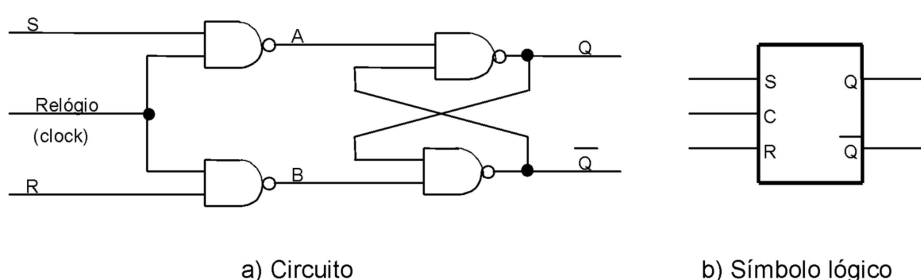
É também possível construir um biestável S-R a partir de portas NAND (R-S negativo).

• Biestável S-R com Relógio

Muitas vezes é conveniente operar o biestável apenas em intervalos pré-determinados de tempo e deixar que suas saídas permaneçam inalteradas em outros, independentemente de variações nas entradas S e R.

A Figura 2 apresenta o diagrama lógico do biestável S-R com relógio no qual as entradas somente atuam quando o sinal do relógio for igual a 1; quando o sinal do relógio for igual a 0, impõem-se A = B = 1, que é o nível lógico de repouso do biestável e, portanto, as entradas S e R não mais atuam nas saídas. Nesse dispositivo, também não são permitidas ambas as entradas (S e R) iguais a 1, enquanto o nível do sinal de relógio for igual a 1.

Figura 2 – Diagrama Lógico do Biestável S-R com Relógio

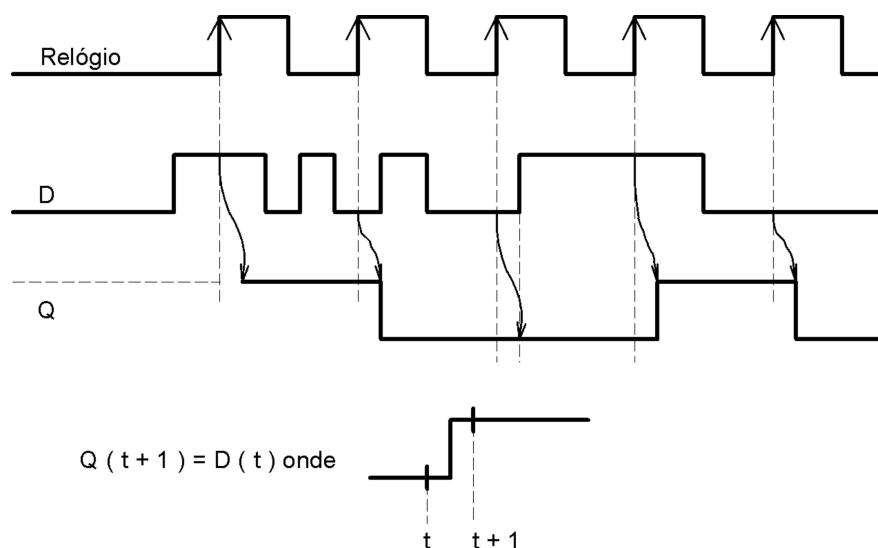


a.2) Biestáveis Sensíveis à Borda

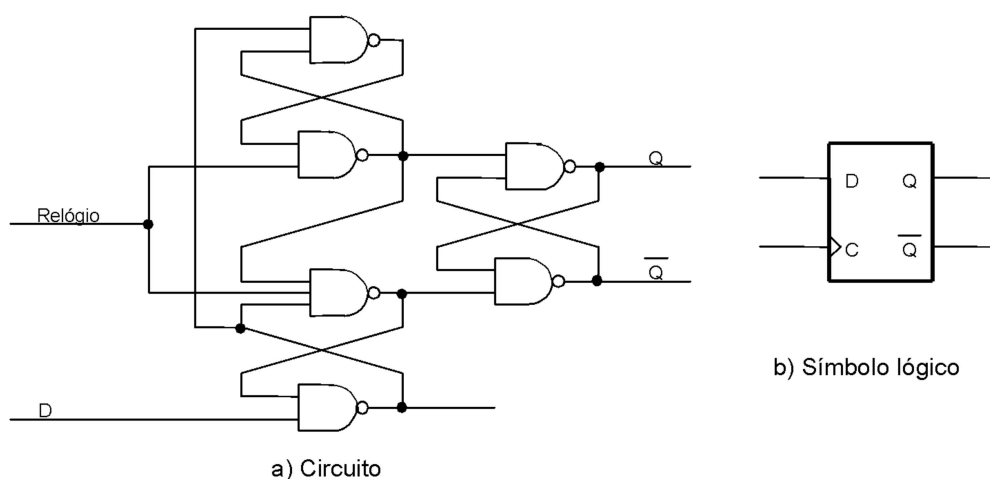
Dependendo das aplicações em que serão utilizados os biestáveis, é necessário que suas saídas armazenem os valores presentes nas entradas em instantes bem determinados do tempo e que mantenham esses valores, independentemente de eventuais variações nas entradas.

• Biestável tipo D Sensível à Borda

Um biestável tipo D sensível à borda (por exemplo, borda de subida) é aquele em que o sinal presente na entrada D é copiado na saída Q quando o sinal de relógio sobe, permanecendo armazenado até a próxima borda de subida. Eventuais variações da entrada D entre as bordas de subida não alteram a saída do dispositivo. A Figura 3 resume esse comportamento.

Figura 3 – Comportamento de um Biestável tipo D Sensível à Borda de Subida.

Na Figura 4 apresenta-se o diagrama lógico do circuito, construído com portas NAND, do biestável tipo D sensível à borda de subida. O circuito mostrado é aquele adotado na implementação dos biestáveis integrados tipo D, sensíveis à borda.

Figura 4 – Diagrama Lógico do Biestável tipo D Sensível à Borda de Subida.

• Biestável J-K Sensível à Borda

Os biestáveis J-K surgiram como solução para contornar o problema de valores proibidos para as entradas *set* e *reset* visto no biestável S-R. A Tabela II descreve o seu comportamento.

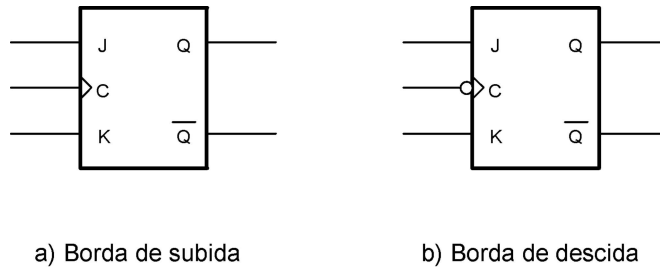
Tabela II - Tabela do Biestável J-K Sensível à Borda de Subida.

J(t)	K(t)	Q(t+1)*	Estado
0	0	Q(t)	Mantém
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Inverte

* t = instante que antecede a borda de subida do relógio
t+1 = instante seguinte à borda de subida do relógio

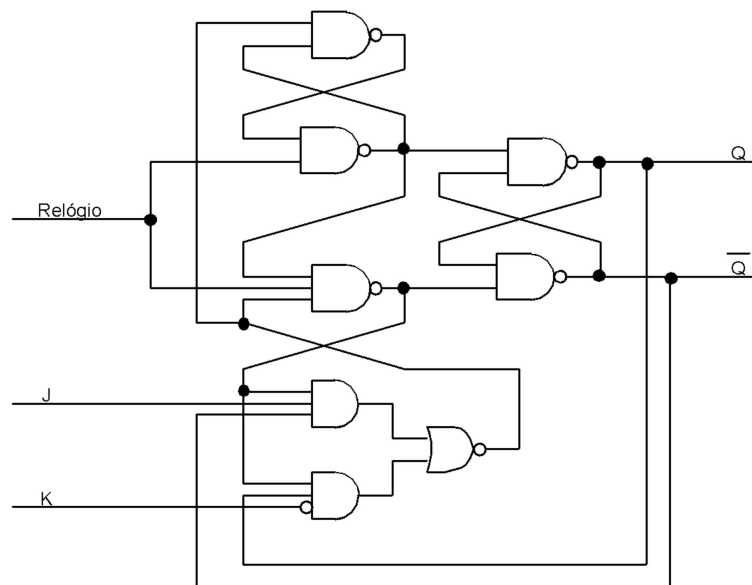
Na Figura 5, mostram-se os símbolos lógicos utilizados para representar o biestável J-K.

Figura 5 – Símbolos Lógicos do Biestável J-K Sensíveis à Borda.

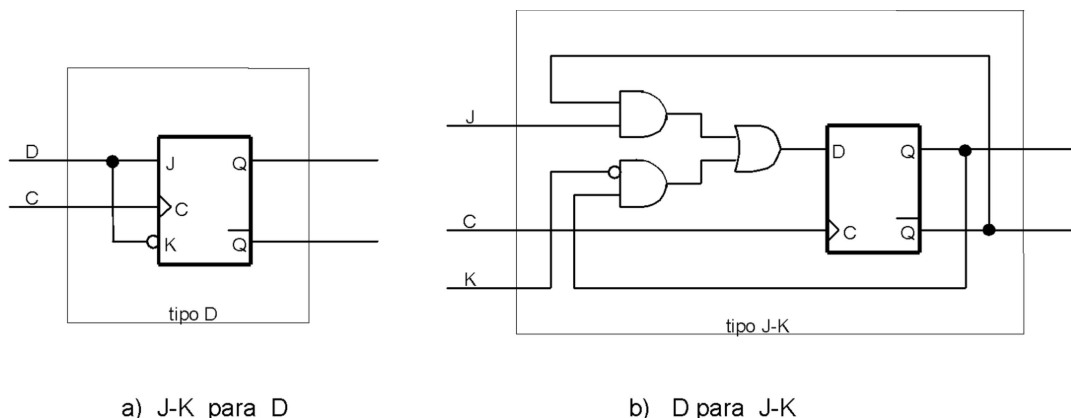


O circuito, construído com portas básicas, é mostrado no diagrama lógico da Figura 6.

Figura 6 – Diagrama Lógico do Biestável J-K Sensível à Borda de Subida.



O Biestável J-K sensível à borda, pode ser utilizado como um tipo D, sensível à borda, através da configuração mostrada na Figura 7 (a). É também possível transformar um biestável tipo D em J-K, conforme mostrado na Figura 7 (b).

Figura 7 – Transformações J-K x D (ambos sensíveis à borda de subida).

a) J-K para D

b) D para J-K

b) Contadores

Contadores são circuitos sequenciais que têm por principal objetivo armazenar o número de eventos que ocorrem na sua entrada, sendo também utilizados para gerar códigos sequenciais específicos, ou sinais de controle e de temporização em sistemas digitais.

É possível identificar uma característica que classifica os contadores, de forma ampla, em duas categorias: **síncronos e assíncronos**.

Há, entretanto, vários outros aspectos a serem considerados. Assim sendo, dentro de cada uma das duas categorias, é ainda possível classificar os contadores em função do:

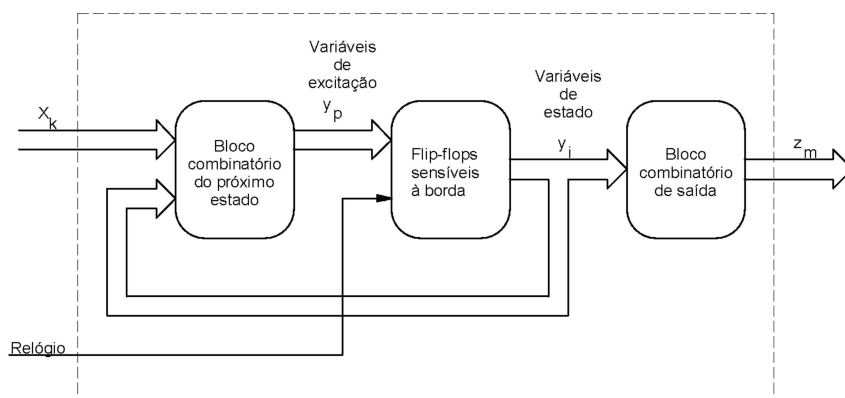
- número de estados (módulo);
- número de saídas (bits);
- tipo de sequência gerada: binária, decimal, Gray, etc.; e
- tipo de operação: fixa ou selecionável

A seguir são descritos os contadores síncronos que são usados nesta experiência.

Obs: Os contadores assíncronos ficam para estudos posteriores.

- **Contadores Síncronos**

Um circuito sequencial síncrono genérico pode ser representado pelo diagrama em blocos mostrado na Figura 8.

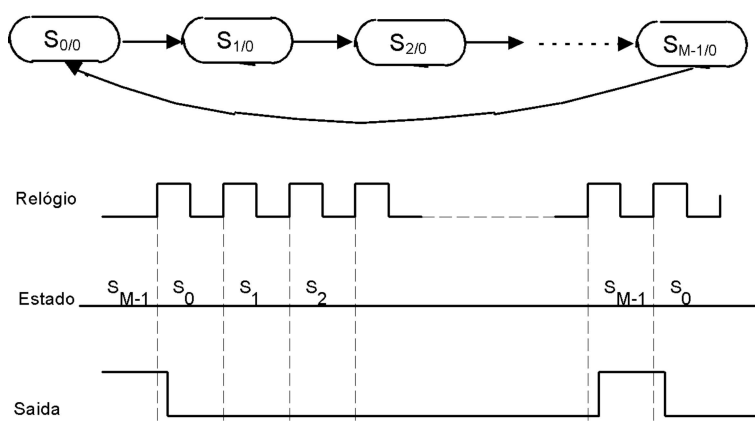
Figura 8 – Diagrama em Blocos de um Circuito Sequencial Síncrono (Modelo Moore).

De forma simplificada, pode-se dizer que um contador síncrono é um circuito sequencial síncrono onde:

- Não há entradas externas x_k ;
- Há M estados: S_0, S_1, \dots, S_{M-1} ;
- A transição de um estado para outro é devida, exclusivamente, à ocorrência da borda de atuação do sinal de relógio;
- Cada estado armazena o número de bordas de atuação do relógio, ocorridas desde o estado inicial até o presente instante; e
- Há uma saída z que assume o valor 1 somente enquanto o contador está no estado S_{M-1} .

A Figura 9 mostra o diagrama de estados de um contador síncrono, módulo M.

Figura 9 – Diagrama de Estados de um Contador Síncrono Módulo M.



Partindo do estado inicial S_0 , após a ocorrência de M bordas de atuação do relógio, o contador volta ao estado inicial. O parâmetro M é definido como sendo o **Módulo do Contador**.

Em quase todas as aplicações de contadores, **as variáveis de estado são também consideradas como saídas**, além da saída z . Em um contador módulo M, a relação entre o número de variáveis (bits) de estado N e o número de estados M é dado pela expressão: **$M \leq 2^N$**

Por exemplo, em um contador binário, vale a expressão $M = 2^N$, enquanto que, em um contador decimal, vale $M < 2^N$. Geralmente as N variáveis de estado são denominadas **bits do contador**.

O número de bordas de atuação, que é armazenado nos bits do contador, pode ser codificado de várias formas: binária, BCD, Gray, etc. Esse código e o módulo do contador determinam como serão os blocos combinatórios do próximo estado e da saída, bem como o número de *flip-flops* a ser utilizado.

Por exemplo, o contador síncrono, módulo 8, binário com 3 bits é descrito pelas tabelas e diagrama de estados apresentados na Figura 10.

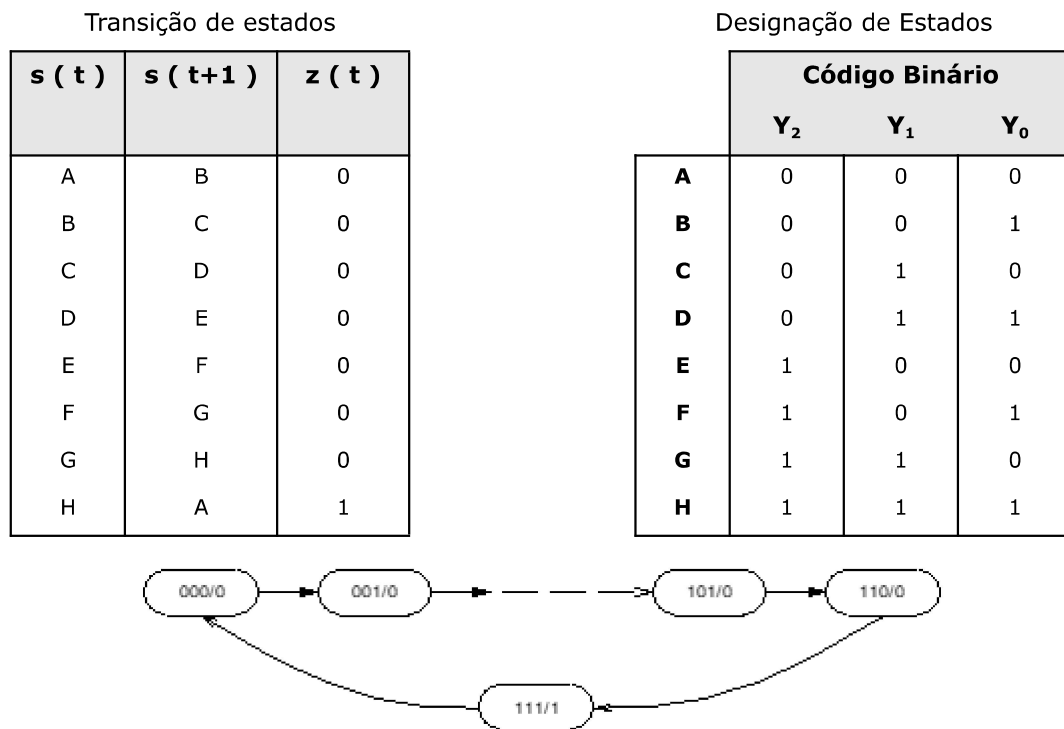
Aplicando-se as técnicas de síntese de circuitos sequenciais, supondo que os *flip-flops* são do tipo D sensíveis à borda, têm-se:

$$D_0 = \overline{Y_0}$$

$$D_1 = Y_0 \oplus Y_1$$

$$D_2 = (Y_0 \cdot Y_1) \oplus Y_2$$

$$Z = Y_0 \cdot Y_1 \cdot Y_2$$

Figura 10 – Estados do Contador Síncrono Binário - Módulo 8.

O circuito que implementa esse contador é mostrado na Figura 11, e a carta de tempos com as formas de onda dos bits e da saída Z é mostrada na Figura 12.

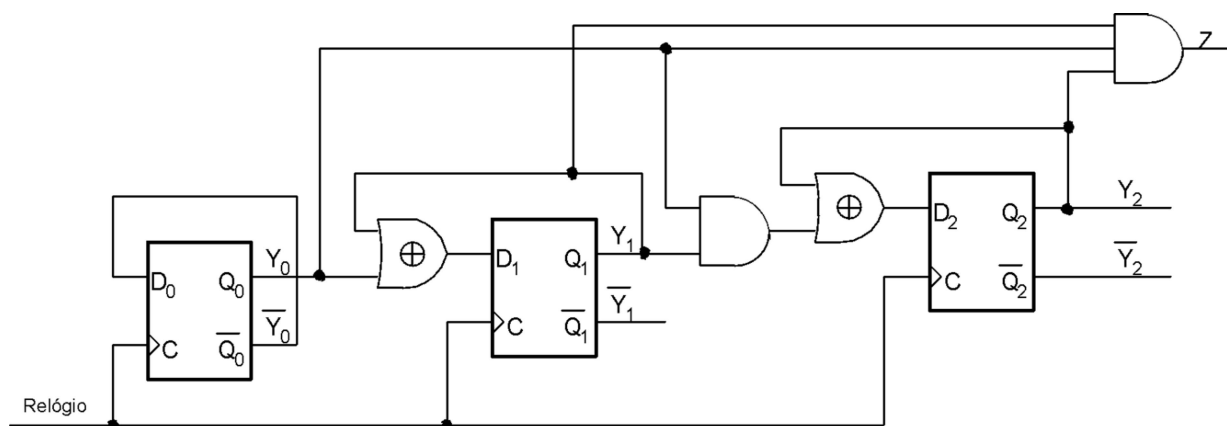
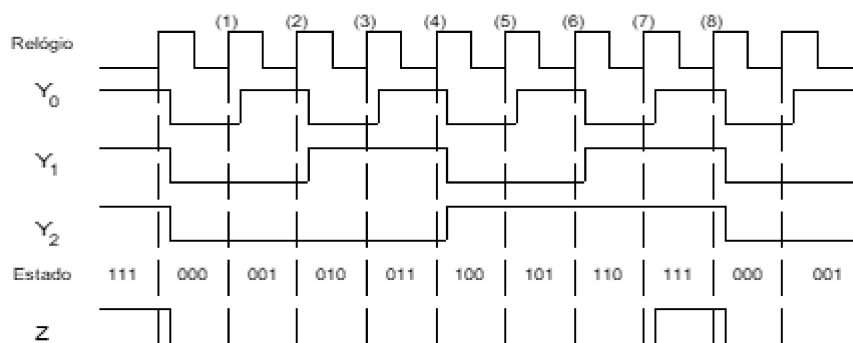
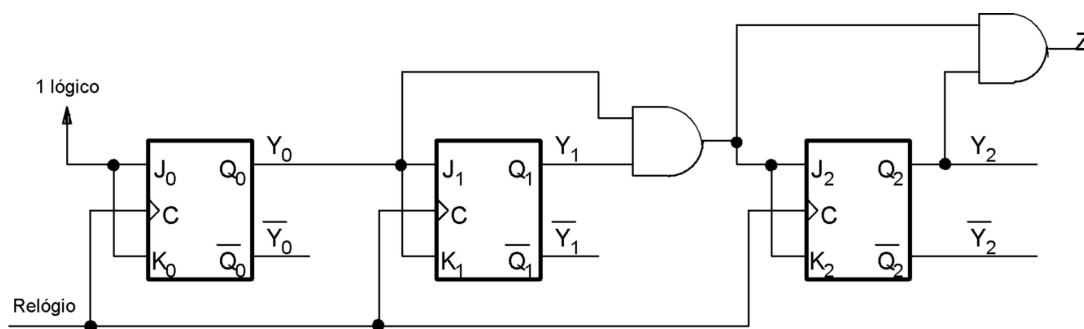
Figura 11 – Diagrama Lógico do Contador Síncrono Binário - Módulo 8, com Flip-Flop D Sensível à Borda.

Figura 12 – Carta de Tempos do Contador Síncrono Binário - Módulo 8.

Quando se utilizam *flip-flops* J-K sensíveis à borda, a metodologia de projeto é a mesma, cuidando-se apenas de estabelecer a tabela de excitação para *flip-flops* J-K sensíveis à borda. No caso do contador binário módulo 8, sua implementação com *flip-flops* J-K é até mais simples do que com tipo D, como mostra a figura 13.

Figura 13 – Contador Síncrono Binário - Módulo 8, com J-K.

1.1. Projeto do contador síncrono com FF

- Elabore um Diagrama de Blocos do contador síncrono, módulo 11, utilizando FFs tipo D.
- Elabore um Diagrama Lógico deste contador na ferramenta Quartus usando CIs 7474.
- Simule o contador na ferramenta Quartus.
- Elabore uma Tabela de Testes do contador, incluindo sinais intermediários.
- Insira o Diagrama de Blocos, Diagrama Lógico (não esqueça dos dois carimbos de identificação do diagrama), a Carta de Tempos (simulação) e a Tabela de Testes no Planejamento.

1.2. Projeto do contador síncrono com CI 74LS163

- Elabore um Diagrama de Blocos do contador síncrono, módulo 11, utilizando um contador binário síncrono módulo 16.
- Elabore um Diagrama Lógico deste contador na ferramenta Quartus usando o CI 74LS163 (ou equivalente).
- Simule o contador na ferramenta Quartus.
- Elabore uma Tabela de Testes do contador, incluindo sinais intermediários.
- Insira o Diagrama de Blocos, Diagrama Lógico (não esqueça dos dois carimbos de identificação do diagrama), a Carta de Tempos (simulação) e a Tabela de Testes no Planejamento.

1.3. Implementação dos circuitos

- a) Monte o contador síncrono com FF no Painel de Montagens.

Dica: Integre cada componente testado isoladamente aos outros já testados.

- b) Realize um teste completo do contador síncrono com FFs e anote os resultados. Use a Tabela de Testes do Planejamento. OBS: Faça testes estáticos (manual) e dinâmicos. Nos testes dinâmicos, coloque uma frequência baixa no Relógio (*Clock*) para observar a contagem dos contadores. Opcionalmente, coloque uma frequência mais alta para observar a contagem dos contadores no osciloscópio.
- c) Anote os resultados no Relatório.
- d) Repita as atividades a), b) e c) do contador síncrono com CI 74LS163.

1.4. Desafio (Opcional)

O professor irá propor um desafio sobre esta experiência.

2. BIBLIOGRAFIA

- FREGNI, E.; SARAIVA, A. M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática**. Editora Edgard Blücher, 1995.
- TEXAS INSTRUMENTS. **The TTL Logic Data Book**, 1994.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.
- ALMEIDA, F. V.; SATO, L.; MIDORIKAWA, E. Tutorial Esquemático Quartus Prime 16.1, versão 1.0, 2017.

3. RECURSOS NECESSÁRIOS

- ✓ 1 Computador com MS-Windows
- ✓ 1 Painel de montagens de circuitos digitais
- ✓ 1 Fonte de 5 volts
- ✓ 1 Multímetro
- ✓ 1 Gerador de funções
- ✓ 1 ferramenta Quartus Prime 16.1
- ✓ 1 link de Internet.
- ✓ *Portas básicas TTL*
- ✓ 74LS74
- ✓ 74LS161
- ✓ 74LS163
- ✓ *Cabos, fios e jumpers*

Histórico de Revisões

Prof. Edson T. Midorikawa – versão 2019

Profs. Kechi Hirama, Jorge Rady de Almeida, Sérgio Roberto de Mello Canovas – versão 2020

Profs. Kechi Hirama, Jorge Kinoshita, Pedro L C Pizzigatti – versão 2021

Profs. Kechi Hirama, Madeleine L B Puente de la Vega – versão 2022