

# Relógio Digital

Versão 2022

## INTRODUÇÃO

Após as experiências onde foram vistos circuitos combinatórios, circuitos sequenciais, fluxo de dados e unidade de controle, usando componentes discretos e a linguagem VHDL, esta experiência trata do desenvolvimento de um relógio digital simplificado.

## OBJETIVO

Ao fim desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Desenvolvimento de um circuito digital síncrono com ênfase em Fluxo de Dados e Unidade de Controle.

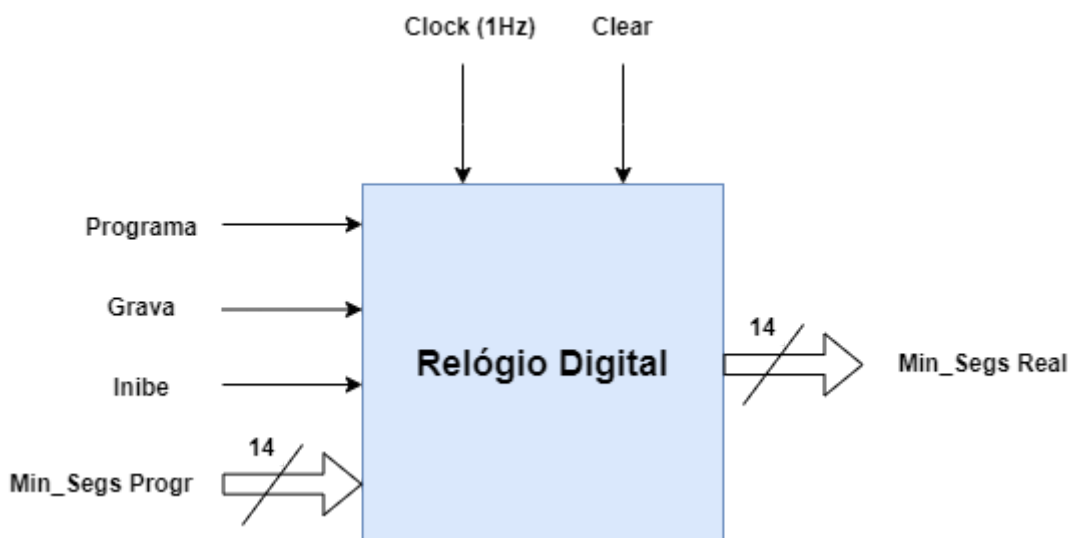
## 1. PARTE EXPERIMENTAL

Um dos aspectos importantes no cotidiano das pessoas é o tempo que permeia todas as atividades da humanidade. Por exemplo, chegar a um compromisso no local e no horário definidos em um jantar, uma viagem de avião, uma entrevista de emprego, etc. fazem parte das atividades do dia-a-dia.

### 1.1. Projeto do Sistema Digital

Por simplicidade, o relógio digital trabalha somente com minutos e segundos de 7 bits cada um (3 bits para a dezena e 4 bits para a unidade) para facilitar a visualização dos números em *displays* de 7 segmentos. O sinal **Clock**, que tem um período de 1 segundo, é gerado externamente ao relógio. O sinal **Clear** (**síncrono**) deve zerar as saídas do relógio. O relógio deve operar em dois modos, **Programação** e **Operação**, usando o sinal **Programa** (nível lógico "1" - **Programação**; nível lógico "0" - **Operação**). No modo **Programação**, os minutos e os segundos podem ser programados, inserindo os dados na entrada **Min\_Segs Progr** e acionando o comando **Grava** em seguida. O comando **Grava** não deve ter efeito no modo **Operação**. No modo **Operação**, o relógio deve apresentar o tempo decorrido na saída **Min\_Segs Real** continuamente, a partir da entrada programada. Também neste modo, o sinal **Inibe** deve interromper a contagem de tempo quando for acionado. Ao ser desacionado, o relógio deve retomar a contagem de tempo. Um diagrama de blocos de alto nível de um relógio digital simplificado é ilustrado na Figura 1.

**Figura 1 – Diagrama de blocos de alto nível de um relógio digital simplificado.**



- Elabore uma Descrição Funcional do sistema e insira-a no Planejamento.
- Elabore um Diagrama de Blocos contendo o Fluxo de Dados (**FD**) e a Unidade de Controle (**UC**) do sistema completo. Insira o Diagrama de Blocos no Planejamento.

- c) Elabore um Diagrama Lógico do **FD** com circuitos integrados, com entradas, saídas e sinais intermediários. Insira o Diagrama Lógico no Planejamento.
- d) Simule o **FD** no Quartus. Insira a Carta de Tempos no Planejamento.  
**DICA:** Insira sinais intermediários para facilitar a verificação do funcionamento do **FD**.
- e) Elabore uma Tabela de Testes para o **FD**, incluindo sinais intermediários. Insira a Tabela de Testes no Planejamento.
- f) Projete a **UC** em VHDL. Insira o código no Planejamento.
- g) Gere um Diagrama de Estados da **UC** (*Tools -> Netlist Viewers -> State Machine Viewer*). Insira o Diagrama de Estados no Planejamento.
- h) Simule a **UC** no Quartus. Insira a Carta de Tempos no Planejamento.  
**DICA:** Insira sinais intermediários para facilitar a verificação do funcionamento da **UC**.
- i) Elabore uma Tabela de Testes para o **FD+UC**. Insira a Tabela de Testes no Planejamento.
- j) Entregue o arquivo QAR (**nome\_projeto\_txxbyy.qar**) do **FD** e da **UC** no Planejamento, onde xx é o número da turma e yy é o número da bancada do grupo.

## 1.2. Implementação do Sistema Digital

- a) Implemente o **FD** no Pannel de Montagens.
- b) Realize os testes conforme definidos na Tabela de Testes para o **FD** e anote os resultados no Relatório.
- c) Faça uma Tabela de Designação de Pinos da **UC** e sintetize-a para a placa FPGA DE0-CV com Cyclone V 5CEBA4F23C7N. Insira a Tabela de Designação de Pinos no Relatório.  
**OBS:** Não usem chaves e botões da placa FPGA. Coloquem as entradas em um pino da interface GPIO. Use a ferramenta Waveforms do dispositivo Analog Discovery para acionar as entradas da placa FPGA
- d) Integre o sistema (**FD + UC**).  
**OBS:** O Pannel de Montagens e a placa FPGA trabalham com tensões diferentes, 0-5V e 0-3,3V respectivamente. Um conversor de tensão será disponibilizado no LabDig. Não é necessário projetar o conversor.
- e) Realize os testes do projeto completo definidos na Tabela de Testes e anote os resultados no Relatório.

## 1.3. Desafio

O professor irá propor um desafio sobre esta experiência.

## 2. BIBLIOGRAFIA

- Apostilas do Laboratório de Sistemas Digitais A, 2021.
- Texas Instruments. **TTL Logic Data Book**, 1994.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4<sup>th</sup> edition, Prentice Hall, 2006.
- MEALY, B.; TAPPERO F. **Free Range VHDL**. freerangefactory.org. 2016.

## 3. RECURSOS NECESSÁRIOS

- 1 Computador pessoal
- 1 Placa de FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N
- 1 Dispositivo Analog Discovery
- Ferramenta Intel Quartus Prime 16.1
- Ferramenta Waveforms do Analog Discovery
- Circuitos integrados disponíveis no Laboratório Digital

### **Histórico de Revisões**

Profs. Kechi Hirama, Glauber de Bona – versão 2022