



DECODIFICADORES E MULTIPLEXADORES

Experimento #3

PCS3335 - Laboratório Digital A

29/03/2022

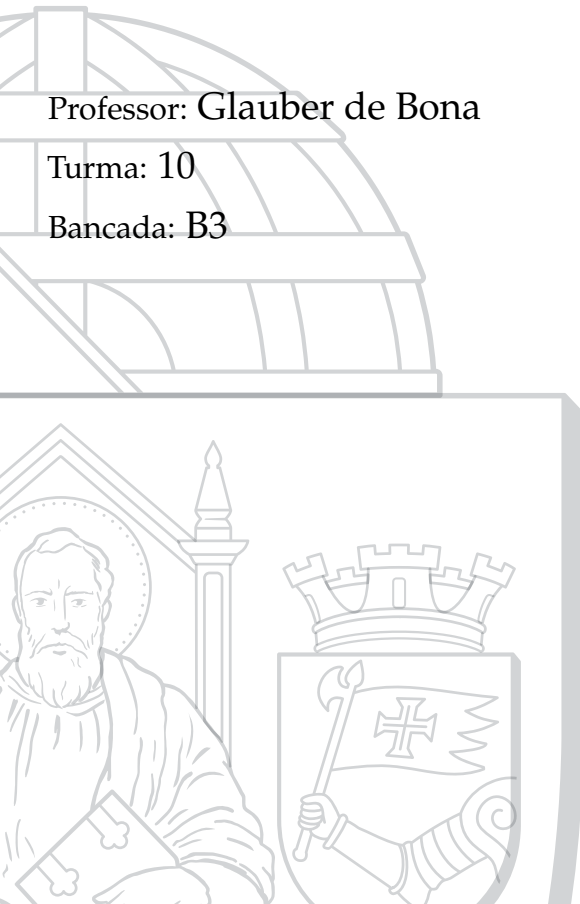
Natanael Magalhães Cardoso, 8914122

Renato Naves Fleury, 11805269

Professor: Glauber de Bona

Turma: 10

Bancada: B3



Universidade de São Paulo

Escola Politécnica

Departamento de Eng. de
Computação e Sistemas Digitais



Decodificadores e Multiplexadores

Natanael Magalhães Cardoso, Renato Naves Fleury

1. INTRODUÇÃO

À medida que a complexidade dos circuitos digitais aumenta, CIs simples, como os do tipo SSI (Small Scale Integration), vão se tornando inviáveis de serem utilizados, por possuírem poucas portas lógicas acabam deixando o projeto mais caro e menos compacto. Uma alternativa para esse problema é a utilização de circuitos decodificadores e multiplexadores [1].

Um decodificador é um dispositivo que recebe n entradas e produz 2^n saídas. A saída terá valor "1" apenas no índice que representa o valor de entrada em decimal.

Já um multiplexador possui 2^n entradas de dados (numeradas de 0 à $2^n - 1$), n entradas de seleção e uma saída. A saída é ligada à entrada que corresponde ao valor das entradas de seleção em decimal.

2. OBJETIVOS

O objetivo deste projeto é explorar a técnica de síntese de dois circuitos digitais a partir de uma Tabela Verdade fornecida (Tabela 1) usando decodificadores 74138 TTL para um e multiplexadores 74151 TTL para outro, contemplando as etapas de criação do diagrama de blocos, simulação, montagem e testes.

3. PLANEJAMENTO

Neste planejamento estão descritos dois circuitos digitais, um construído com decodificador (Seção 3.1) e outro com multiplexador (Seção 3.2). Ambos os circuitos possuem a mesma Tabela Verdade, descrita na Tabela 1. Os circuitos foram projetados para funcionarem separadamente. A Figura 1 mostra o diagrama de blocos para ambos os circuitos, onde A3, A2, A1 e A0 são os sinais de entrada e Y o sinal de saída.



■ **Figura 1:** Diagrama de blocos para ambos os circuitos

■ **Tabela 1:** Tabela Verdade dos circuitos construídos com decodificadores e multiplexadores apresentando o valor da saída Y com entradas $A_3A_2A_1A_0$

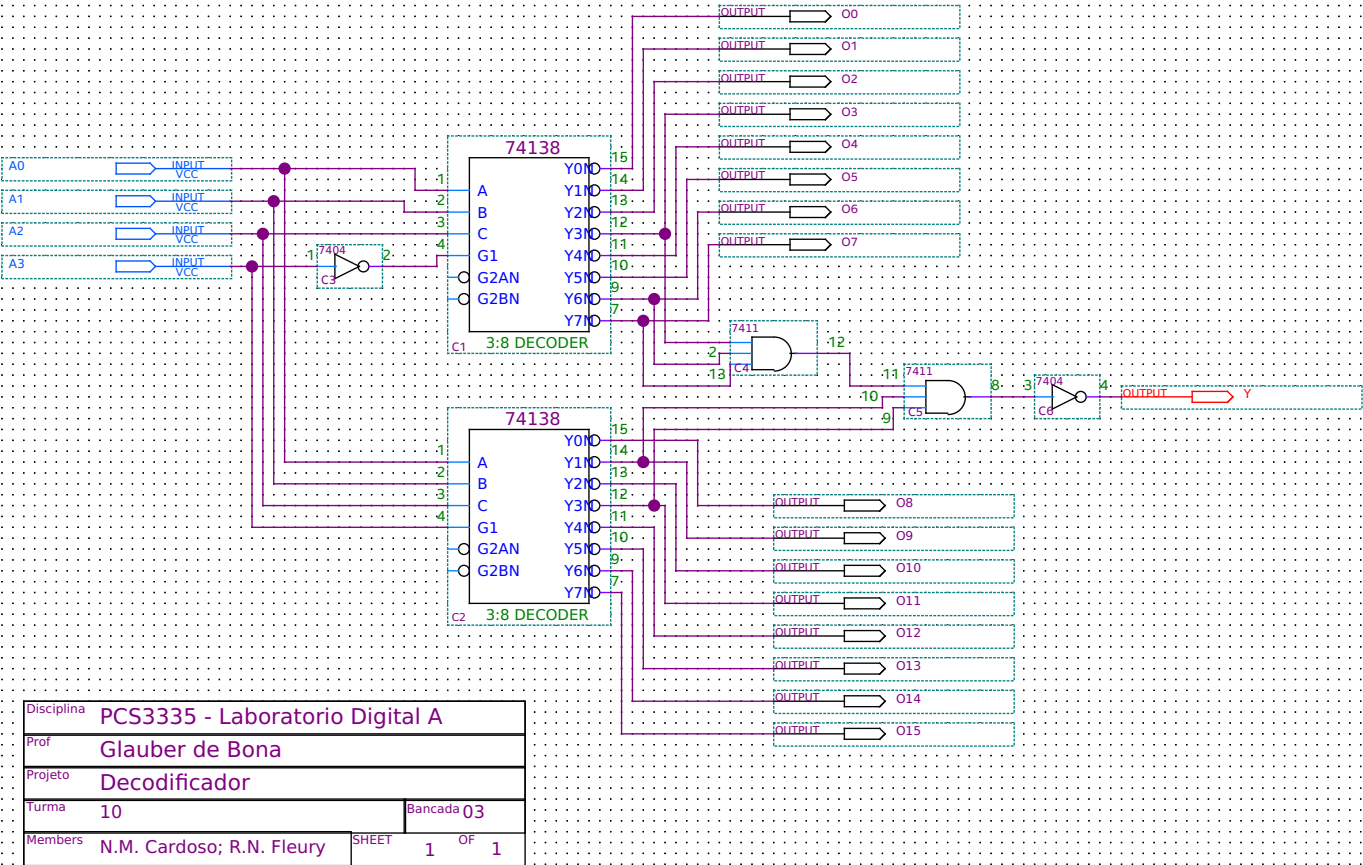
A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

3.1. CIRCUITO COM DECODIFICADOR

3.1.1 Diagrama lógico do circuito

A partir da Tabela 1, foi projeto um circuito digital mostrado no Diagrama Lógico da Fig. 2 usando dois decodificadores 74138, identificados por C1 e C2. As informações das entradas V_{cc} e Gnd dos componentes utilizados estão na Tabela 2.

O bit de entrada mais significativo foi conectado na porta enable do decodificador C1 e invertido na porta enable do decodificador C2. Com isso, conseguimos a decodificação do sinal de entrada de 4 bits a partir do cascadeamento de dois decodificadores 3x8, gerando um decodificador 4x16 [1]. Com o decodificador criado, selecionamos os sinais com “1” na Tabela 1 e usamos como entrada de uma operação NAND (C4, C5 e C6) para obter o valor de Y .



■ **Figura 2:** Diagrama lógico¹ do circuito criado a partir da Tabela 1 com o uso de dois decodificadores 74138 TTL.

■ **Tabela 2:** Informação das entradas Vcc e Gnd para cada componente identificado na Fig. 2

Posição	Comp.	Vcc	Gnd
C1	74138	16	8
C2	74138	16	8
C3	7404	14	7
C4	7411	14	7
C5	7411	14	7
C6	7404	14	7

¹Imagem vetorial, é possível ampliar sem perder qualidade

3.1.2 Levantamento dos Materiais Necessários

Tabela 3: Unidades requeridas para cada CI

Slot	Operação	CI	Un. Requeridas	Un. Disponíveis
1	DECODER	74138	-	-
2	DECODER	74138	-	-
3	AND	7411	2	4
4	NOT	7404	2	6

Para garantir que o circuito projetado respeite as restrições de montagem, fizemos um levantamento dos recursos necessários para este circuito mostrado na Tabela 3. Ela mostra a quantidade de unidades lógicas requeridas para cada CI utilizado. As especificações de cada CI foi obtido pelos respectivos *datasheets*.

3.1.3 Simulação

A carta dos tempos da simulação do circuito projetado (Fig. 2) é mostrada na Fig. 3. Além dos sinais de entrada A3, A2, A1 e A0 e do sinal de saída Y, inspecionamos todos os sinais de saída de cada um dos decodificadores (O0 a O15) para depuração. Com esta simulação concluímos que o circuito projetado possui a Tabela Verdade especificada na Tabela 1. Assim, a Tabela 4 mostra a Tabela Verdade dos valores esperados para este circuito.

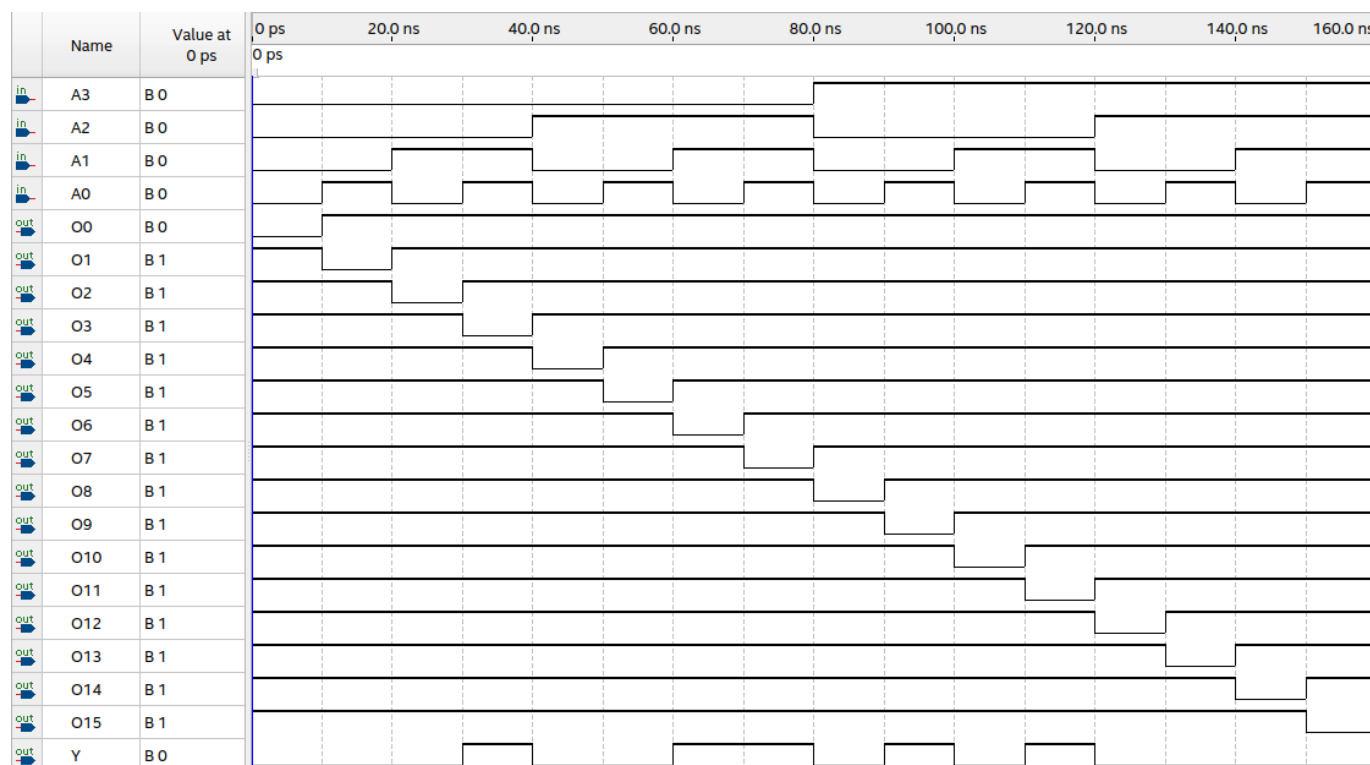


Figura 3: Carta dos tempos para o circuito construído com decodificadores

■ **Tabela 4:** Tabela Verdade com valores esperados dos sinais de depuração O_n e da saída final Y para cada valor de entrada A_m obtida a partir da Carta dos Tempos (Fig. 3). Para redução de espaço, apenas os índices n e m dos sinais são mostrados no nome de cada coluna

Entrada				Sinais de Depuração																Y
3	2	1	0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0
0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	0
0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0
1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	0
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	0
1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	0
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0

3.1.4 Metodologia de montagem e de testes

Durante a montagem, cada um dos decodificadores serão testados separadamente usando os oito leds da placa de montagem. A depuração será feita em duas etapas: a primeira metade ($A_3 = 0$) da Tabela 4 será testada conectando as saídas do decodificador C1 da Fig. 2 (sinais O0 a O7) nos leds da placa de montagem, e a segunda metade ($A_3 = 1$) da tabela será testada conectando as saídas do decodificador C2 (sinais O8 a O15) nos leds da placa de montagem.

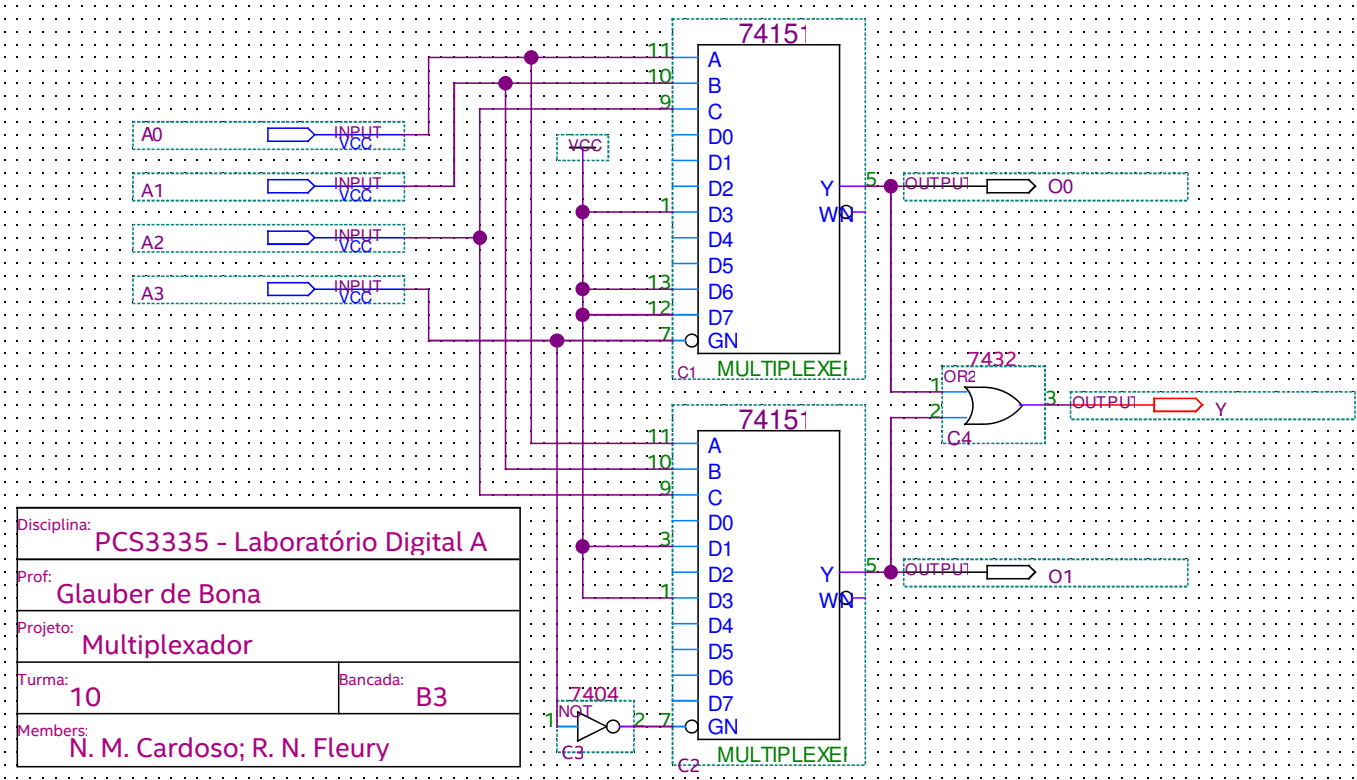
3.2. CIRCUITO COM MULTIPLEXADOR

3.2.1 Diagrama lógico do circuito

Novamente, a partir da Tabela 1, foi projetado um circuito digital mostrado no Diagrama Lógico da Figura 4 usando dois multiplexadores 74151 TTL, identificados por C1 e C2. As informações das entradas Vcc e Gnd dos componentes utilizados estão na Tabela 5.

O bit de entrada mais significativo foi conectado na porta enable do multiplexador C1 e invertido na porta enable do multiplexador C2.

Com isso, conseguimos utilizar o sinal de entrada de 4 bits a partir do cascadeamento de dois multiplexadores 8x1, gerando, assim, um multiplexador 16x1.



■ **Figura 4:** Diagrama lógico² do circuito criado a partir da Tabela 1 com o uso de dois multiplexadores 74151 TTL.

■ **Tabela 5:** Informação das entradas Vcc e Gnd para cada componente identificado na Fig. 4

Posição	Comp.	Vcc	Gnd
C1	74151	16	8
C2	74151	16	8
C3	7404	14	7
C4	7432	14	7

3.2.2 Levantamento dos Materiais Necessários

■ **Tabela 6:** Unidades requeridas para cada CI

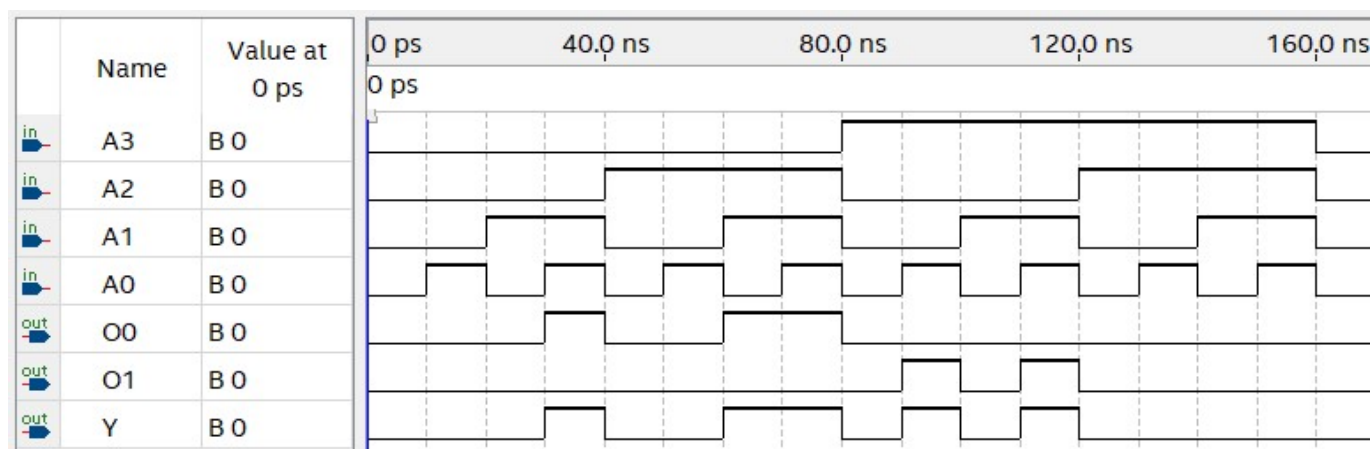
Slot	Operação	CI	Un. Requeridas	Un. Disponíveis
1	MUX	74151	-	-
2	MUX	74151	-	-
3	NOT	7404	1	6
4	OR	7432	1	4

Para garantir que o circuito projetado respeite as restrições de montagem, fizemos um levantamento dos recursos necessários para este circuito mostrado na Tabela 5. Ela mostra a quantidade

²Imagem vetorial, é possível ampliar sem perder qualidade

de unidades lógicas requeridas para cada CI utilizado. As especificações de cada CI foi obtido pelos respectivos *datasheets*.

3.2.3 Simulação



■ **Figura 5:** Carta dos tempos para o circuito construído com multiplexadores

■ **Tabela 7:** Tabela Verdade com valores esperados dos sinais de depuração O_0 e O_1 e da saída final Y para cada valor de entrada A_i obtida a partir da Carta dos Tempos (Fig. 5).

Entrada				Depuração		
A_3	A_2	A_1	A_0	O_0	O_1	Y
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	1	0	1
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	0	0	0
1	0	0	1	0	1	1
1	0	1	0	0	0	0
1	0	1	1	0	1	1
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	0	0	0
1	1	1	1	0	0	0

A carta dos tempos da simulação do circuito projetado (Fig. 4) é mostrada na Fig. 5. Além dos sinais de entrada A_3 , A_2 , A_1 e A_0 e do sinal de saída Y , inspecionamos os dois sinais imediatamente após os multiplexadores (O_0 e O_1) para a depuração. Com esta simulação concluímos que o circuito projetado possui a Tabela Verdade especificada na Tabela 1. Assim, a Tabela 7 mostra a Tabela Verdade dos valores esperados para este circuito.

3.2.4 Metodologia de montagem e de testes

Durante a montagem, os dois multiplexadores serão testados ao mesmo tempo usando os sete primeiros leds da placa de montagem. A depuração será feita testando todas as possibilidades de entradas.

4. RESULTADOS

Os sinais de depuração e de saída, obtidos durante e após a montagem do circuito, respectivamente, estão em conformidade com a Tabela Verdade dos valores esperados tanto para o decodificador (Tabela 4) quanto para o multiplexador (Tabela 7). Os valores experimentais dos sinais de saída para cada circuito estão dispostos na Tabela 8 do Apêndice A.

Para documentação, as Figs. 6, 7 e 8 do Apêndice B mostram a montagem final do circuito operando com diferentes valores de entrada.

5. CONCLUSÃO

Neste experimento, construímos circuitos combinatórios a partir de CI's com menor número de bits entrada usando a técnica de cascadeamento de decodificadores e multiplexadores. Neste caso, usando dois decodificadores 3x8 para emular um 4x16 e dois multiplexadores 8x1 para emular um 16x1 usando o bit mais significativo como enable e invertendo em um dos CI's. Embora esta técnica seja intuitiva, é possível obter uma solução mais otimizada (usando menos componentes) a partir do método da Tabela Verdade Transformada para o multiplexador, conforme Seção 3.2.2 de [1].

Durante a montagem do circuito, fizemos testes separados para cada CI combinatório. Logo no primeiro teste, verificamos que o sinal esperado não correspondia com o sinal obtido. Depois de diversos testes, notamos que duas das três portas do enable estavam operando em aberto. A descoberta tardia desta falha ocasionou no atraso da montagem do circuito. Então, para evitar este tipo de erro, nos próximos experimentos, representaremos, no diagrama lógico, um valor (Vcc ou Gnd) para portas de entrada não usadas ao invés de deixá-las em aberto, visto que a simulação funciona para ambos os casos e o circuito real não.

Por fim, os resultados obtidos experimentalmente estão em conformidade com os resultados planejados e não houve necessidade de alteração do planejamento durante o experimento.

APÊNDICE

A. TABELA VERDADE EXPERIMENTAL

■ **Tabela 8:** Tabela Verdade dos circuitos construídos com decodificadores e multiplexadores apresentando os valores das saídas Y_E (saída esperada), Y_D (saída do decodificador) e Y_M (saída do multiplexador) para cada entrada $A_3A_2A_1A_0$

Entradas				Saídas		
A_3	A_2	A_1	A_0	Y_E	Y_D	Y_M
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	0	0	0
1	1	1	1	0	0	0

B. MONTAGEM DO CIRCUITO

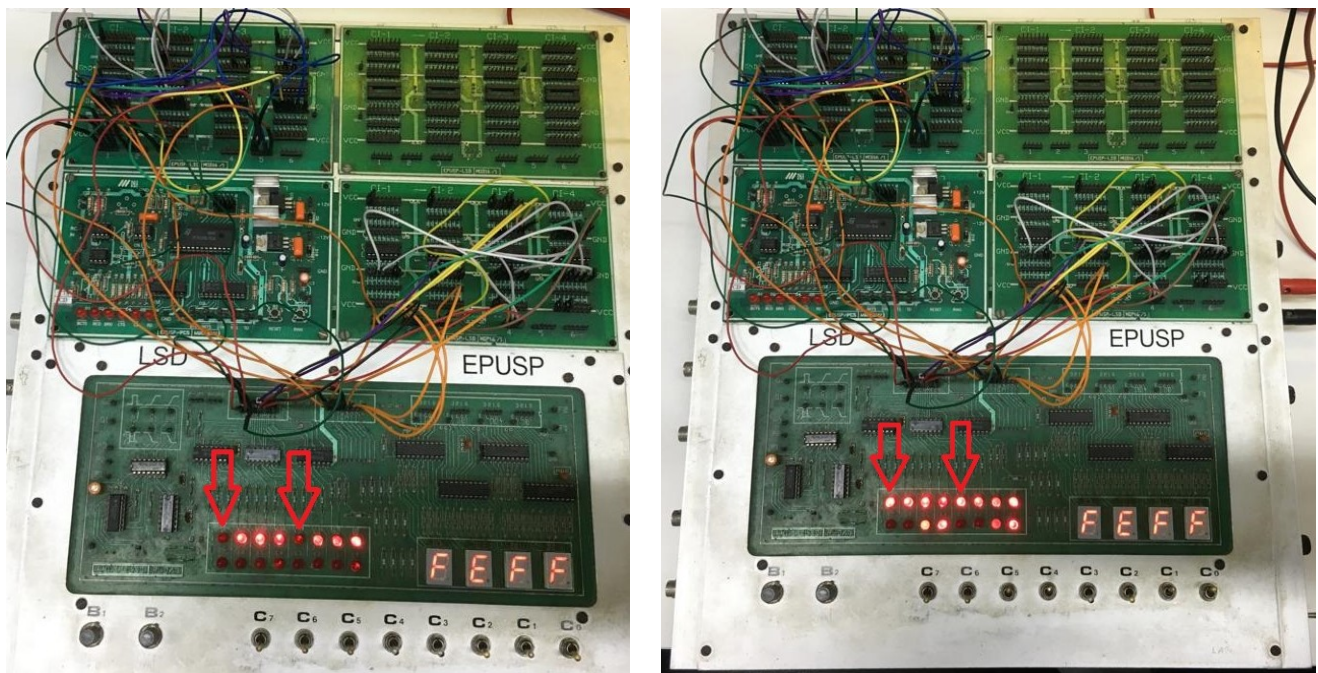


Figura 6: Montagem dos circuitos com o decodificador e o multiplexador simultaneamente na mesma placa de montagem testando as entradas 0000 (esquerda) e 0011 (direita). Entradas do decodificador nas chaves de C_7 a C_4 e entradas do multiplexador nas chaves de C_3 a C_0 e saídas indicadas pela seta.

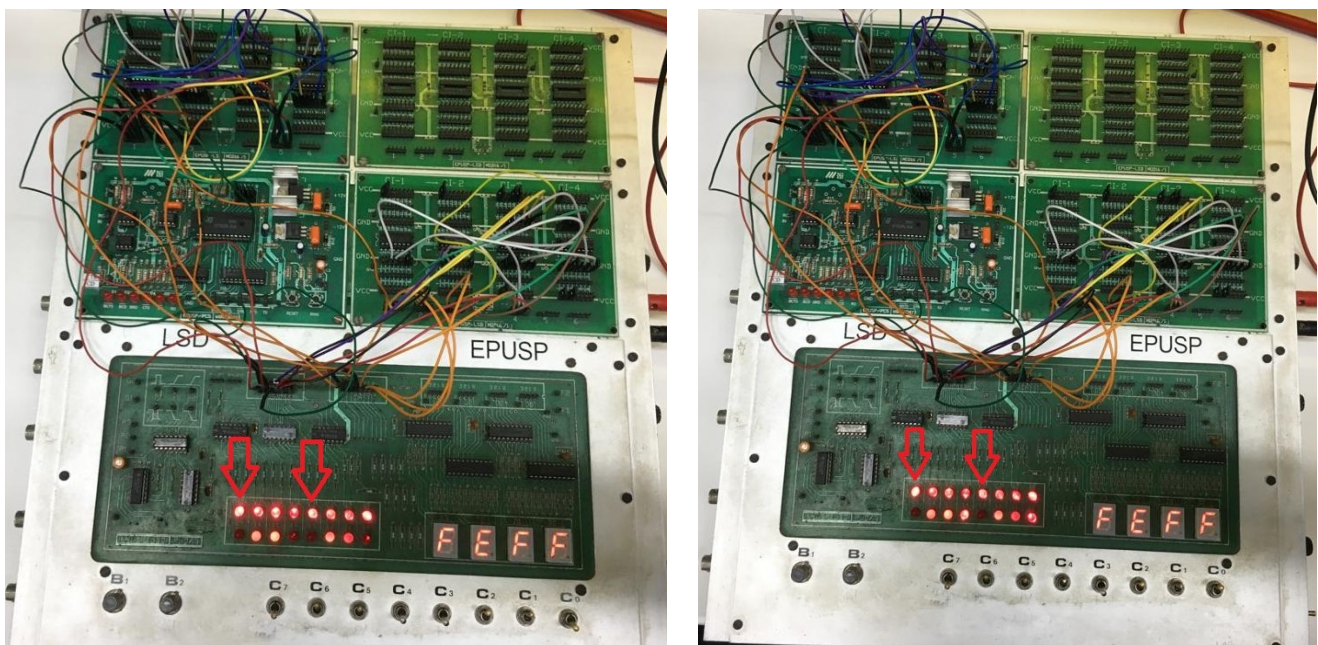
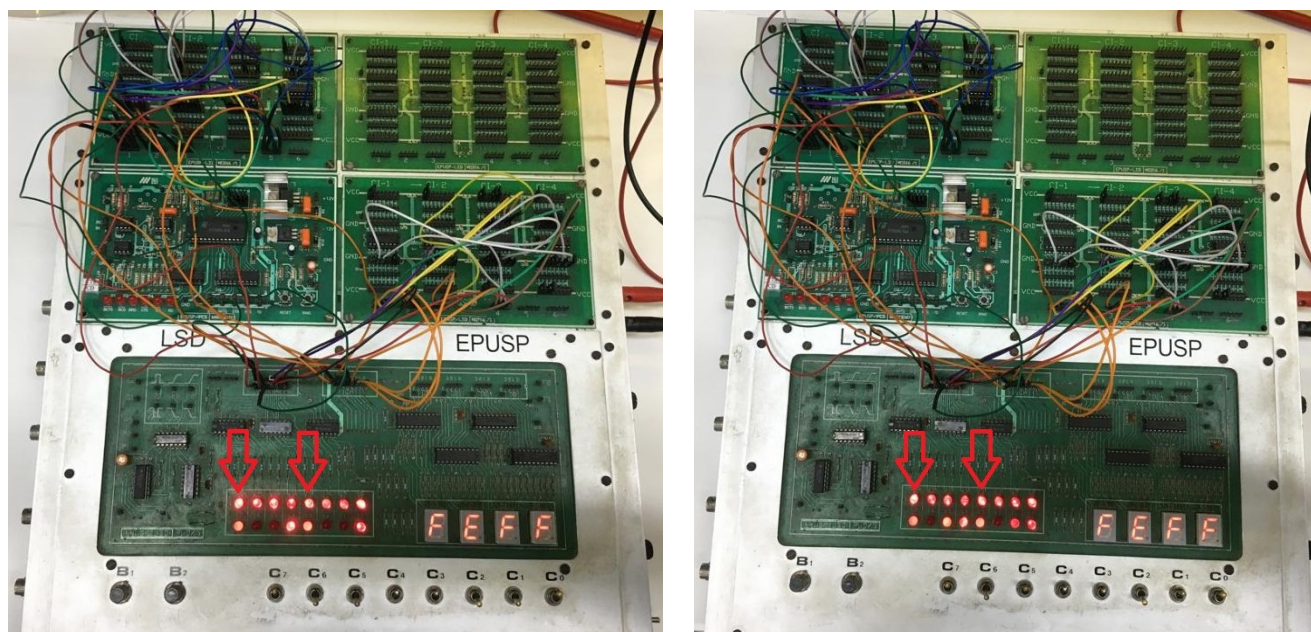


Figura 7: Montagem dos circuitos com o decodificador e o multiplexador simultaneamente na mesma placa de montagem testando as entradas 0110 (esquerda) e 0111 (direita). Entradas do decodificador nas chaves de C_7 a C_4 e entradas do multiplexador nas chaves de C_3 a C_0 e saídas indicadas pela seta.



■ **Figura 8:** Montagem dos circuitos com o decodificador e o multiplexador simultaneamente na mesma placa de montagem testando as entradas 1001 (esquerda) e 1011 (direita). Entradas do decodificador nas chaves de C₇ a C₄ e entradas do multiplexador nas chaves de C₃ a C₀ e saídas indicadas pela seta.

REFERÊNCIAS

- [1] E. Fregni and A. M. Saraiva. *Engenharia do Projeto Lógico Digital: Conceitos e Prática*. Edgard Blücher, 1995.