



# PROJETO DE CONTADORES SÍNCRONOS USANDO FLIP-FLOPS E CI 74LS163

## Experimento #4

PCS3335 - Laboratório Digital A

28/04/2022

Natanael Magalhães Cardoso, 8914122

Renato Naves Fleury, 11805269

Professor: Glauber de Bona

Turma: 10

Bancada: B3

**Universidade de São Paulo**

Escola Politécnica

Departamento de Eng. de  
Computação e Sistemas Digitais



# Projeto de Contadores Síncronos Usando Flip-Flops e CI 74LS163

Natanael Magalhães Cardoso, Renato Naves Fleury

## 1. INTRODUÇÃO

Circuitos lógicos são divididos em dois tipos, circuitos lógicos combinatórios e circuitos lógicos sequenciais. Os circuitos lógicos combinatórios são aqueles que a saída depende exclusivamente das entradas atuais. Já um circuito lógico sequencial depende não apenas das entradas atuais como também da sequência de entradas passadas, que, possivelmente, são bem anteriores ao momento atual da entrada.

Como em alguns projetos de circuitos digitais a quantidade de entradas passadas é muito grande para serem todas armazenadas, é utilizada uma variável de estado que determina o estado atual do circuito. E, é com essa variável de estado que os circuitos lógicos sequenciais trabalham. Ou seja, a saída de um circuito lógico sequencial depende apenas da entrada atual e de seu estado atual.

## 2. OBJETIVOS

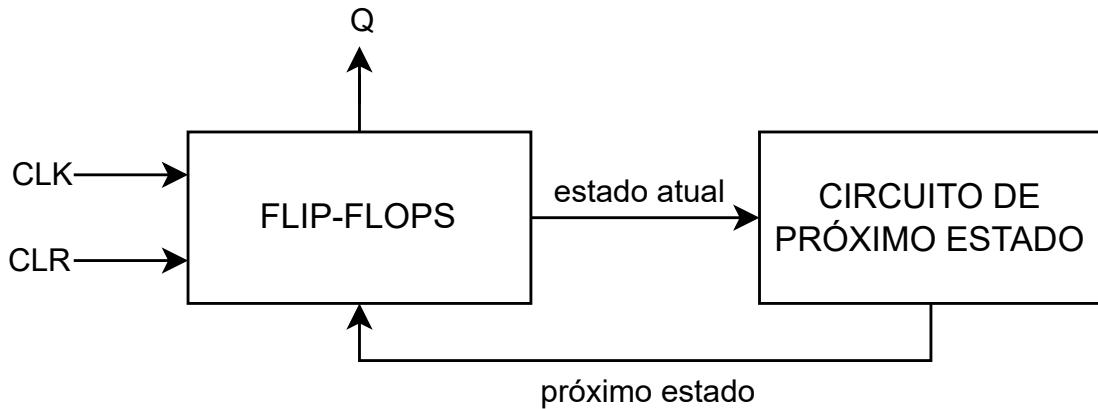
O objetivo deste experimento é projetar e construir dois circuitos contadores síncronos de módulo 11, um usando flip-flops tipo D (Seção 3.1) e outro usando o CI 74LS163 (Seção 3.2), ambos com contagem de  $(0)_{10}$  a  $(10)_{10}$ .

## 3. PLANEJAMENTO

### 3.1. CONTADOR USANDO FLIP-FLOPS

A Fig. 1 mostra o diagrama de blocos do contador que será projetado usando flip-flops tipo D. O circuito é dividido em dois blocos: os flip-flops e o circuito de próximo estado. O primeiro bloco é um conjunto de dois dispositivos TTL 7474, cada um com dois flip-flops tipo D. Estes dispositivos recebem o mesmo sinal de clock (CLK) e reset (CLR). Isto é, o clock é sincrono para

todos os flip-flops, mas o reset é assíncrono em relação ao clock. E o segundo bloco é um circuito combinatório que tem o objetivo de calcular o próximo estado dos flip-flops a partir do estado atual. A saída do circuito são as saídas não-invertidas dos flip-flops ( $Q$ ).



**Figura 1:** Diagrama de blocos do circuito contador síncrono usando flip-flops

### 3.1.1 Síntese do Circuito de Próximo Estado

**Tabela 1:** Tabela Verdade com os valores de entrada, valore de saída dos flip-flops e valores de saída do circuito de próximo estado, que é o valor do próximo estado

Entrada		Saída FF				Saída CPE			
clk	clr	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_3$	$D_2$	$D_1$	$D_0$
-	0	0	0	0	0	0	0	0	1
↑	1	0	0	0	0	0	0	0	1
↑	1	0	0	0	1	0	0	1	0
↑	1	0	0	1	0	0	0	1	1
↑	1	0	0	1	1	0	1	0	0
↑	1	0	1	0	0	0	1	0	1
↑	1	0	1	0	1	0	1	1	0
↑	1	0	1	1	0	0	1	1	1
↑	1	0	1	1	1	1	0	0	0
↑	1	1	0	0	0	1	0	0	1
↑	1	1	0	0	1	1	0	1	0
↑	1	1	0	1	0	0	0	0	0
↑	1	1	0	1	1	-	-	-	-
↑	1	1	1	0	0	-	-	-	-
↑	1	1	1	0	1	-	-	-	-
↑	1	1	1	1	0	-	-	-	-
↑	1	1	1	1	1	-	-	-	-

A síntese do circuito de próximo estado constitui na construção de um circuito que calcule o próximo estado dos flip-flops a partir do estado atual seguindo a tabela verdade descrita na Tabela 1. Esta tabela mostra a lógica de um contador de módulo 11 sensível à borda de subida do

clock (síncrono) e um reset assíncrono (primeira linha da tabela). As colunas clk e clr representam os sinais de entrada, clock e reset, respectivamente, as colunas  $Q_3$ ,  $Q_2$ ,  $Q_1$  e  $Q_0$  representam as saídas não-invertidos de cada um dos flip-flops, o flip-flop 3 foi adotado como mais significativo, e, por fim, as colunas  $D_3$ ,  $D_2$ ,  $D_1$  e  $D_0$  representam as saída do circuito de próximo estado para o respectivo flip-flop com o valor do próximo estado. As saídas não-invertidas dos flip-flops são as saídas do contador, enquanto que as saídas do circuito de próximo estado têm caráter de depuração apenas. A partir desta tabela, são feitos os mapas de Karnaugh para cada saída  $D_i$  do circuito de próximo estado na Fig. 9 no Apêndice 1.1. Com isso, foram obtidas as expressões lógicas para cada saída do circuito de próximo estado nas eqs. (1), (2), (3) e (4).

$$D_0 = \overline{Q_3} \cdot \overline{Q_0} + \overline{Q_1} \cdot \overline{Q_0} \quad (1)$$

$$D_1 = \overline{Q_1} \cdot Q_0 + \overline{Q_3} \cdot Q_1 \cdot \overline{Q_0} \quad (2)$$

$$D_2 = Q_2 \cdot \overline{Q_1} + Q_2 \cdot \overline{Q_0} + \overline{Q_3} \cdot \overline{Q_2} \cdot Q_1 \cdot Q_0 \quad (3)$$

$$D_3 = Q_3 \cdot \overline{Q_1} + Q_2 \cdot Q_1 \cdot Q_0 \quad (4)$$

### 3.1.2 Diagrama lógico

A Fig. 2 mostra o diagrama lógico do contador síncrono. Ele é constituído de três componentes, dois físicos (CI's 7474) e um virtual (Circuito de Próximo Estado). O circuito de próximo estado, cujo diagrama lógico é mostrado na Fig. 3, é um circuito combinatório sintetizado a partir das eqs. (1), (2), (3) e (4). Ela rebece todas as saídas, invertidas e não invertidas, dos flip-flops como entrada e define os valores do próximo estado, que são as entradas  $D_i$  dos flip-flops.

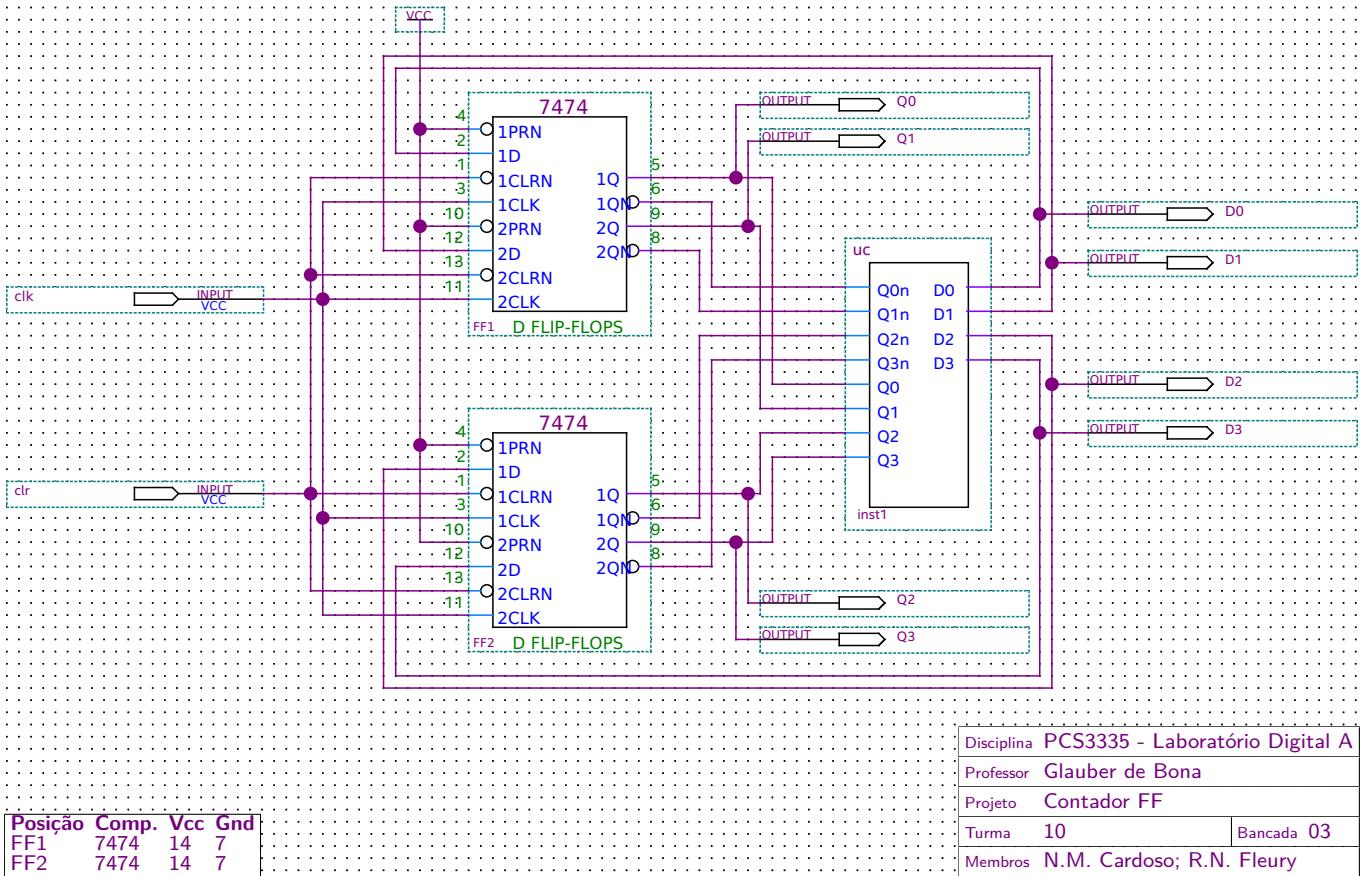


Figura 2: Diagrama lógico do contador usando dois flip-flops tipo D.

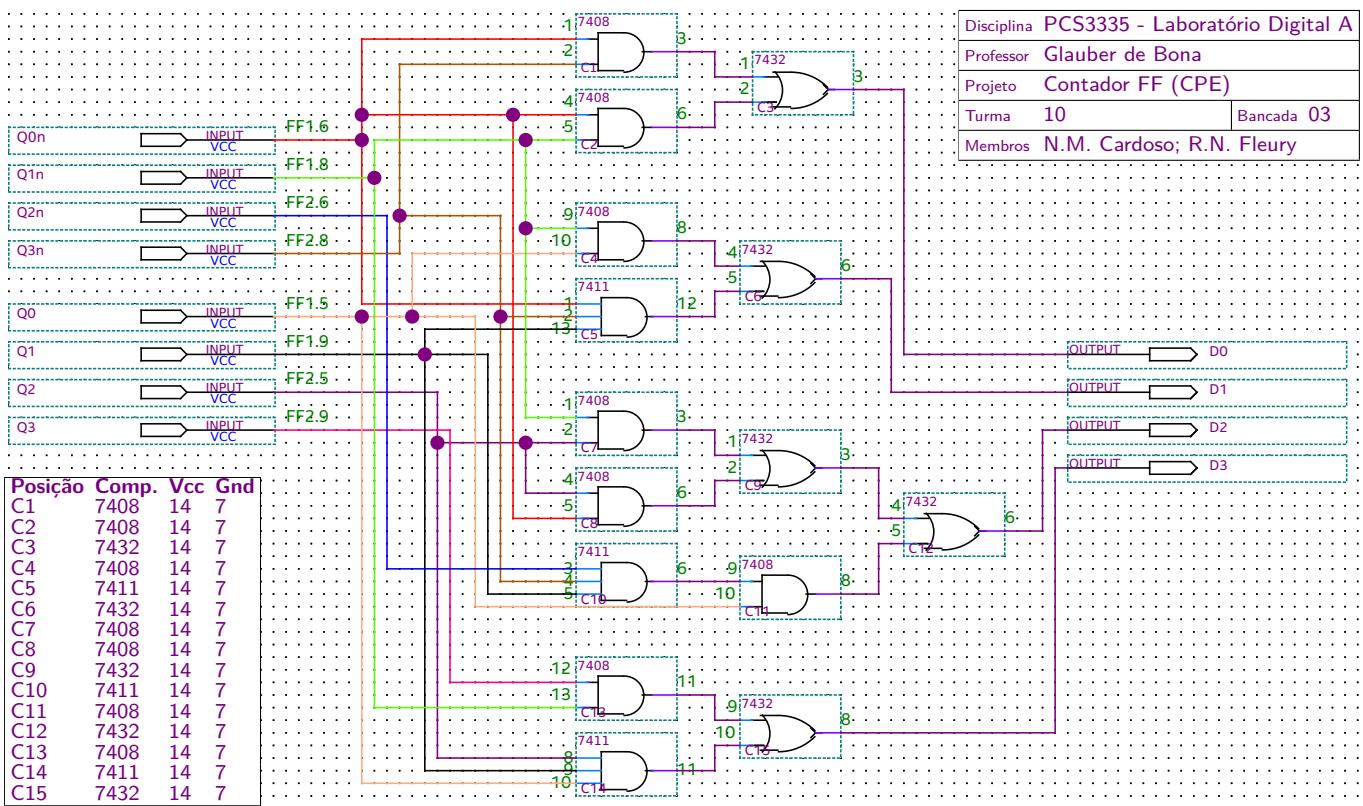


Figura 3: Diagrama lógico do circuito de próximo estado

### 3.1.3 Levantamento dos materiais necessários

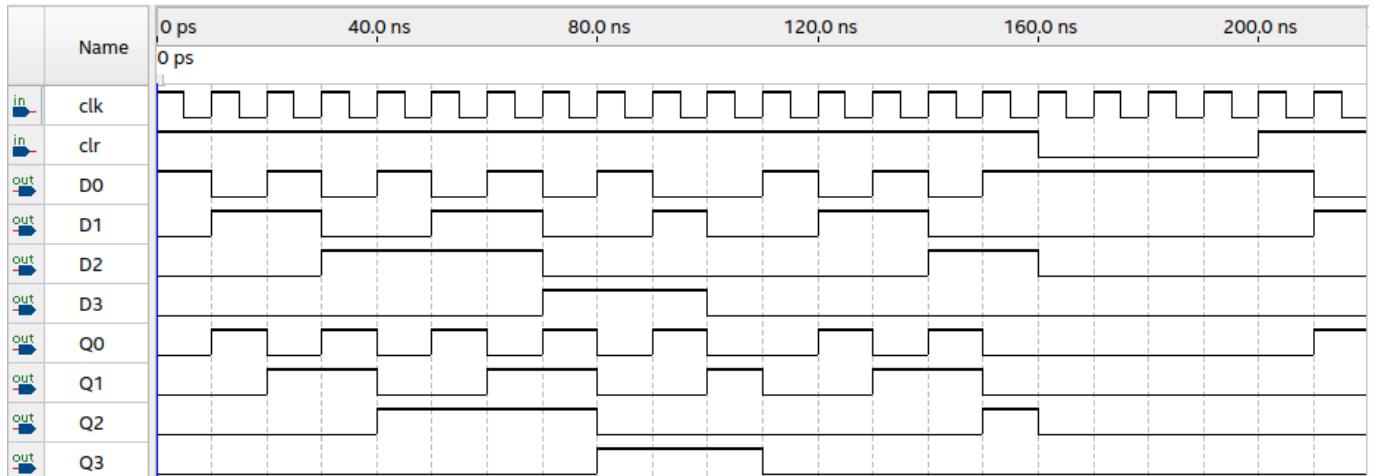
■ **Tabela 2:** Unidades requeridas para cada CI

Slot	Operação	CI	Un. Requeridas	Un. Disponíveis
1	FF	7474	2	2
2	FF	7474	2	2
3	AND2	7408	3	4
4	OR2	7432	2	4
5	AND3	7411	3	3
6	AND2	7408	4	4
7	OR2	7432	3	4

Para garantir que o circuito projetado respeite as restrições de montagem, fizemos um levantamento dos recursos necessários para este circuito mostrado na Tabela 2. Ela mostra a quantidade de unidades lógicas requeridas para cada CI utilizado. As especificações de cada CI foi obtido pelos respectivos *datasheets*.

### 3.1.4 Simulação

A Fig. 3.1.4 mostra a carta dos tempos obtida com a simulação do contador. É possível notar que ela segue a tabela verdade descrita na Tabela 1.



■ **Figura 4:** Carta dos tempos para o circuito contruído com flip-flops com sinal de entrada *clk* e sinal de depuração *D*<sub>0</sub>, *D*<sub>1</sub>, *D*<sub>2</sub> e *D*<sub>3</sub> (saídas do circuito de próximo estado) e sinal de saída *Q*<sub>0</sub>, *Q*<sub>1</sub>, *Q*<sub>2</sub> e *Q*<sub>3</sub> (saídas dos flip-flops)

### 3.1.5 Metodologia de montagem e testes

O circuito de próximo estado será construída separadamente dos flip-flops. Durante a construção, os valores de saída do circuito de próximo estado serão comparada com os valores das colunas “Saída UC” da Tabela 1 e as entradas serão fornecidas diretamente pelo testador, e não pelos flip-flops. Analogamente, os flip-flops também serão construídos separadamente do circuito de

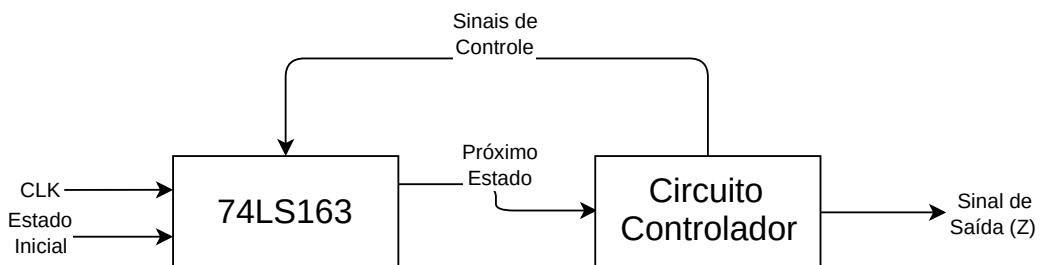
próximo estado e receberão sinais de entrada diretamente do testador. Após testados, os flip-flops e o circuito de próximo estado serão conectadas e o circuito passará pelo teste final.

### 3.2. CONTADOR COM O CIRCUITO INTEGRADO 74LS163

Outra alternativa para se fazer um contador de módulo 11 é utilizando o circuito integrado 74LS163 que já é um contador binário síncrono, porém, de módulo 16. Para transformá-lo em um contador de módulo 11 é preciso usar um circuito controlador para indicar quando o circuito deve voltar para o estado zero.

A Fig. 5 mostra o diagrama de blocos do contador que será projetado usando o CI 74LS163 e um circuito controlador. O primeiro bloco é o próprio CI em questão. Normalmente, esse circuito é utilizado como um contador binário síncrono de módulo 16, o qual possui um reset síncrono (ativo baixo), 4 entradas de dados para indicar um estado inicial, uma entrada de clock, 2 entradas enable, uma entrada load (ativo baixo) que joga as 4 entradas de dados nas 4 saídas de dados, e por fim, uma saída de contagem que fica ativa quando o circuito se encontra no estado 15.

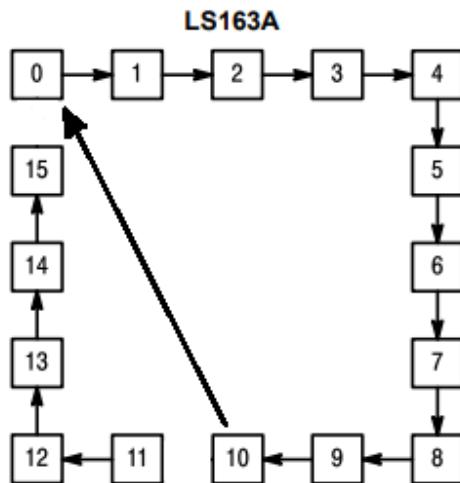
Já o segundo bloco consiste é um circuito combinatório que tem como objetivo transformar o contador de módulo 16 em um contador de módulo 11. As saídas consistem tanto no sinal de saída Z, quanto nos sinais de estados do circuito.



**Figura 5:** Diagrama de blocos do circuito contador síncrono usando o CI 74LS163

#### 3.2.1 Síntese do Circuito Controlador

A síntese do circuito controlador constitui-se na construção de um circuito que desconsidera os estados 11, 12, 13, 14 e 15 do contador e vai do estado 10 direto para o estado zero, tal qual o diagrama de estados da Fig. 6.



**Figura 6:** Diagrama de estados do 74LS163 com o circuito controlador desejado.

Para isso, precisa-se analisar a Tabela 3 que mostra a lógica do circuito desejado. A coluna clk representa o sinal de entrada que é a borda de subida do clock, as colunas QD, QC, QB e QA são referentes às saídas do CI que representam o próximo estado, e as colunas Z, clr e load consistem na saída do circuito controlador. Os sinais clr e load retornarão para o CI enquanto o sinal Z já corresponde à saída do circuito como um todo. Nessa configuração, para o circuito retornar ao estado zero quando temos o sinal clr ou o sinal load iguais a zero, liga-se as 4 entradas de estado ao gnd. A partir desta tabela, é feito o mapa de Karnaugh para a saída Z do circuito controlador, tal como na Fig. 10 no Apêndice 2.1. Com isso, obteve-se as seguintes expressões lógicas nas eqs. (5) e (6).

$$Z = QD \cdot QC + QD \cdot QB \quad (5)$$

$$clr = load = \bar{Z} \quad (6)$$

### 3.2.2 Diagrama lógico

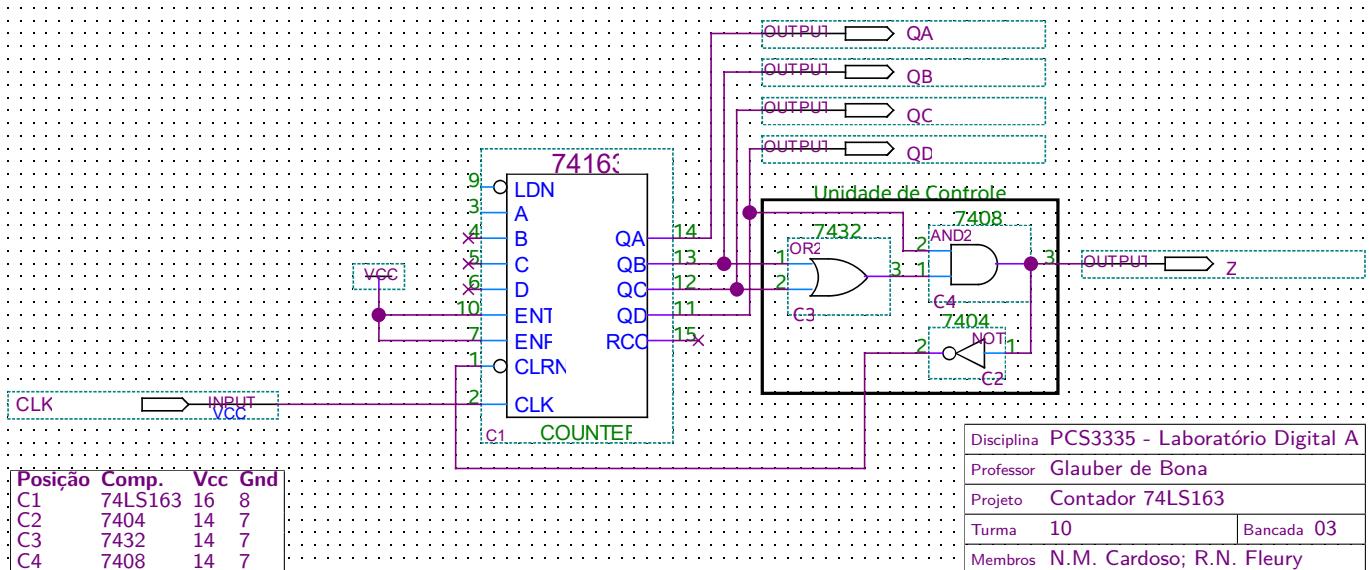
A Fig. 7 mostra o diagrama de lógico tanto do contador 74LS163 quanto do circuito de próximo estado, que é constituida de um circuito combinatório sintetizado a partir das eqs. (5) e (6).

### 3.2.3 Levantamento dos materiais necessários

Para garantir que o circuito projetado respeite as restrições de montagem, fizemos um levantamento dos recursos necessários para este circuito mostrado na Tabela 4. Ela mostra a quantidade de unidades lógicas requeridas para cada CI utilizado. As especificações de cada CI foi obtido pelos respectivos *datasheets*.

■ **Tabela 3:** Tabela Verdade com os valore de saída para cada subida do clock e valores de saída do circuito controlador, que são os valores de Z, CLR e load

Entrada	Saída 74LS163				Saída CC			
	clk	QD	QC	QB	QA	Z	clr	load
↑	0	0	0	0	0	0	1	1
↑	0	0	0	1	0	0	1	1
↑	0	0	1	0	0	0	1	1
↑	0	0	1	1	0	0	1	1
↑	0	1	0	0	0	0	1	1
↑	0	1	0	1	0	0	1	1
↑	0	1	1	0	0	0	1	1
↑	0	1	1	1	0	0	1	1
↑	1	0	0	0	0	0	1	1
↑	1	0	0	1	0	0	1	1
↑	1	0	1	0	1	0	1	0
↑	1	0	1	1	1	0	0	0
↑	1	1	0	0	1	0	0	0
↑	1	1	0	1	1	0	0	0
↑	1	1	1	0	1	0	1	0
↑	1	1	1	1	1	0	0	0



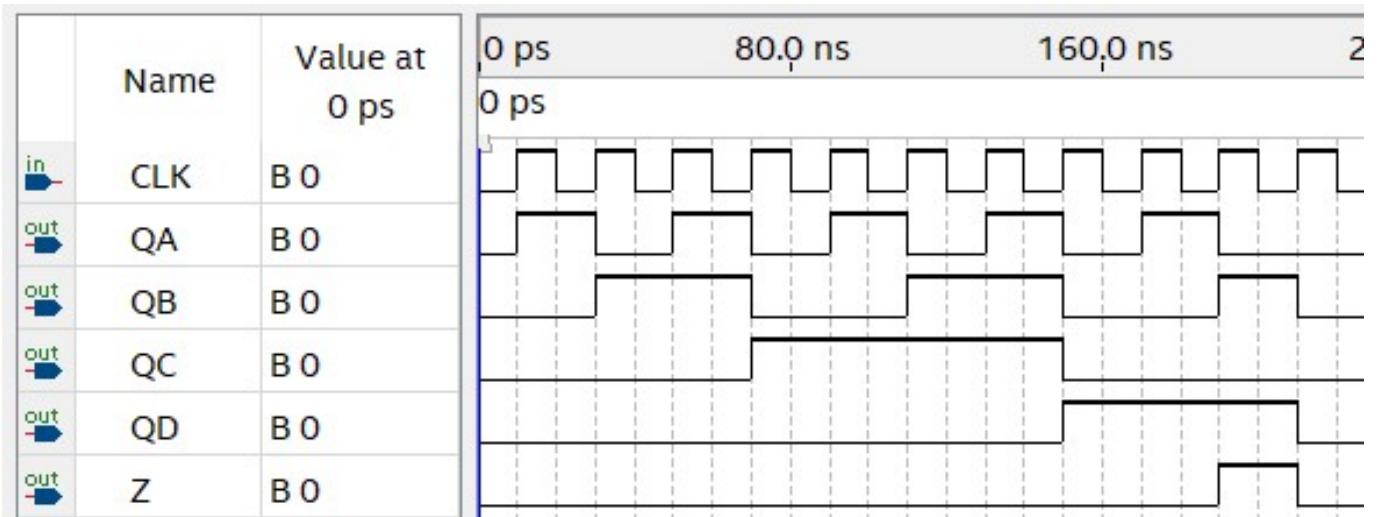
■ **Figura 7:** Diagrama lógico do contador 74LS163 e do circuito controlador.

### 3.2.4 Simulação

A Fig. 8 mostra a carta dos tempos obtida com a simulação do contador. É possível notar que ela segue a tabela verdade descrita na Tabela 3 omitindo-se os sinais clr e load que na verdade são o sinal Z negado.

■ **Tabela 4:** Unidades requeridas para cada CI do projeto com o 74LS163

Slot	Operação	CI	Un. Requeridas	Un. Disponíveis
1	Contador	74163	1	1
2	AND2	7408	1	4
3	OR2	7432	1	4
4	NOT	7404	1	6



■ **Figura 8:** Carta dos tempos para o circuito contruído com o CI 74LS163 com sinal de entrada  $clk$ , sinais de depuração  $QD$ ,  $QC$ ,  $QB$  e  $QA$  (saídas do contador) e sinal de saída  $Z$  (saída do Circuito Controlador)

### 3.2.5 Metodologia de montagem e testes

O CI contador será testado juntamente com o circuito controlador, alterando manualmente o clock serão analisados tanto os sinais de saída do contador como o sinal de saída  $Z$  do circuito de próximo estado. O resultado será comparado com a Tabela 3.

## 4. RESULTADOS

### 4.1. CONTADOR MÓDULO 11 UTILIZANDO FLIP-FLOPS

Antes da montagem, foi notado que as eqs. (1) e (3) poderiam ser simplificadas. A primeira colocando  $\overline{Q_0}$  em evidência e a segunda recalculando os mintermos e colocando  $Q_2$  em evidência. Os mintermos da eq. (3) não foram otimizados inicialmente intencionalmente devido à contagem de componentes da Tabela 2, mas, devido às mudanças, usamos a nova versão considerando todos os indeterminantes possíveis para reduzir o número de ligações. Assim, as eqs. (7), (8), (9) e (10) mostram as expressões usadas na montagem do circuito. As eqs. (8) e (10) permanecem inalteradas.

$$D_0 = \overline{Q_0}(\overline{Q_1} + \overline{Q_3}) \quad (7)$$

$$D_1 = \overline{Q_1} \cdot Q_0 + \overline{Q_3} \cdot Q_1 \cdot \overline{Q_0} \quad (8)$$

$$D_2 = Q_2(\overline{Q_1} + \overline{Q_0}) + \overline{Q_2} \cdot Q_1 \cdot Q_0 \quad (9)$$

$$D_3 = Q_3 \cdot \overline{Q_1} + Q_2 \cdot Q_1 \cdot Q_0 \quad (10)$$

A montagem do circuito contator síncrono construído com flip-flops foi concluída, mas o valor obtido dos sinais não correspondeu ao valor esperado. A Tabela 5 correlaciona os valores esperados com os obtidos. Em negrito é mostrado o dígito de saída do circuito de próximo estado que difere da tabela verdade. Essa divergência fez o circuito mudar para o estado 3 a partir do estado inicial. Então, partimos do sinal de saída de  $D_1$  e checamos as ligações duas vezes, pois, se a montagem não representasse a expressão lógica de  $D_1$ , bastaria mudar as ligações, mas em ambas as vezes constatamos que as ligações feitas na placa de montagem representava a eq. (8). E, como a expressão em questão foi a mesma simulada, então chegamos à conclusão de que o problema poderia ser do CI, mal contato, jumpers, etc.

**Tabela 5:** Correlação entre os valores dos sinais de entrada, valores esperados e valores obtidos da saída dos flip-flops e da saída do circuito de próximo estado

Entrada	Valores esperados								Valores obtidos										
	Saída FF				Saída CPE				Saída FF				Saída CPE						
	clk	clr	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_3$	$D_2$	$D_1$	$D_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_3$	$D_2$	$D_1$	$D_0$	
-	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
↑	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
↑	1	0	0	0	1	0	0	1	0	-	-	-	-	-	-	-	-	-	-
↑	1	0	0	1	0	0	0	0	1	1	-	-	-	-	-	-	-	-	-
↑	1	0	0	1	1	0	1	0	0	0	0	0	1	1	0	1	0	0	0
↑	1	0	1	0	0	0	1	0	1	0	0	1	0	0	0	1	1	1	1
↑	1	0	1	0	1	0	1	1	0	0	-	-	-	-	-	-	-	-	-
↑	1	0	1	1	0	0	0	1	1	1	-	-	-	-	-	-	-	-	-
↑	1	0	1	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0
↑	1	1	0	0	0	1	0	0	1	1	1	0	0	0	1	0	0	0	1
↑	1	1	0	0	1	1	0	1	0	0	1	0	0	1	1	0	1	0	0
↑	1	1	0	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
↑	1	1	0	1	1	-	-	-	-	1	0	1	1	-	-	-	-	-	-
↑	1	1	1	0	0	-	-	-	-	1	1	0	0	-	-	-	-	-	-
↑	1	1	1	0	1	-	-	-	-	1	1	0	1	-	-	-	-	-	-
↑	1	1	1	1	0	-	-	-	-	1	1	1	0	-	-	-	-	-	-
↑	1	1	1	1	1	-	-	-	-	1	1	1	1	-	-	-	-	-	-

## 4.2. CONTADOR MÓDULO 11 UTILIZANDO O CI 74LS613

Nessa montagem, montou-se primeiramente o Circuito Controlador e testou-se a sua lógica utilizando as chaves do painel de montagem de modo que elas emulariam os sinais QD, QC e QB, tal qual na eq.(5), e um LED para o sinal Z. Logo em seguida conectou-se o circuito controlador ao CI 74LS163. Nessa segunda etapa da montagem, ligou-se os sinais QA, QB, QC e QD que saiam do 74163 aos LEDS, assim como a saída Z, e precionando um botão do painel de montagem simulou-se um pulso de cloque a cada precionada. Os resultados foram identicos aos esperado nessa montagem, tal qual pode ser observado na tabela a seguir.

**Tabela 6:** Resultados obtidos após a montagem do circuito.

Entrada	Saída 74LS163				Saída CC
	clk	QD	QC	QB	
↑		0	0	0	0
↑		0	0	0	1
↑		0	0	1	0
↑		0	0	1	1
↑		0	1	0	0
↑		0	1	0	1
↑		0	1	1	0
↑		0	1	1	1
↑		1	0	0	0
↑		1	0	0	1
↑		1	0	1	0

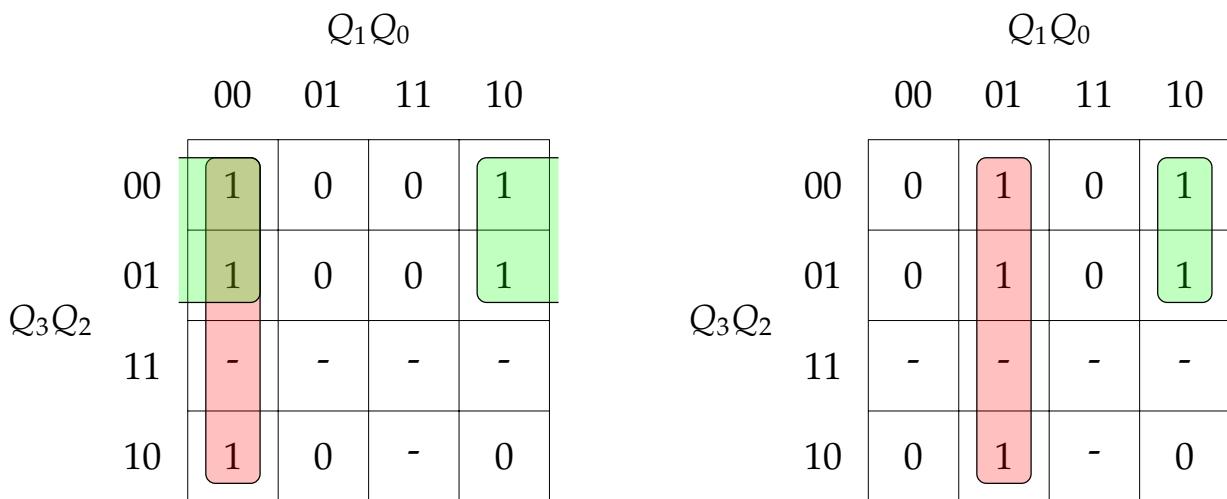
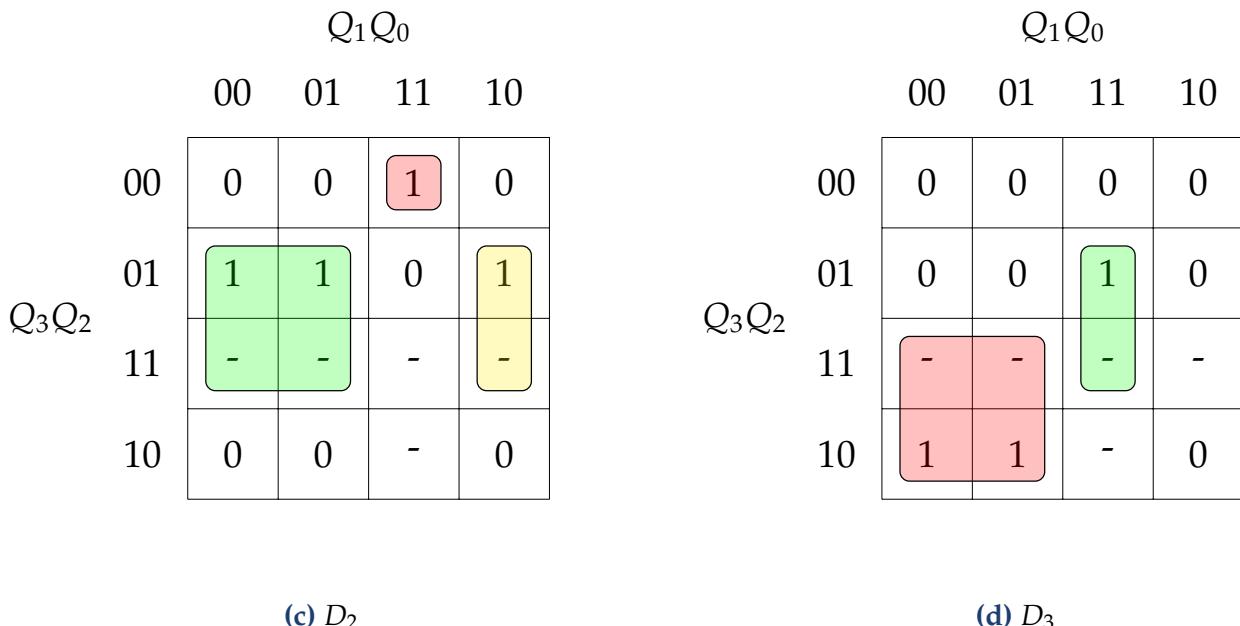
As imagens da montagem do circuito se encontram no apêndice 2.2.

---

## 5. CONCLUSÃO

---

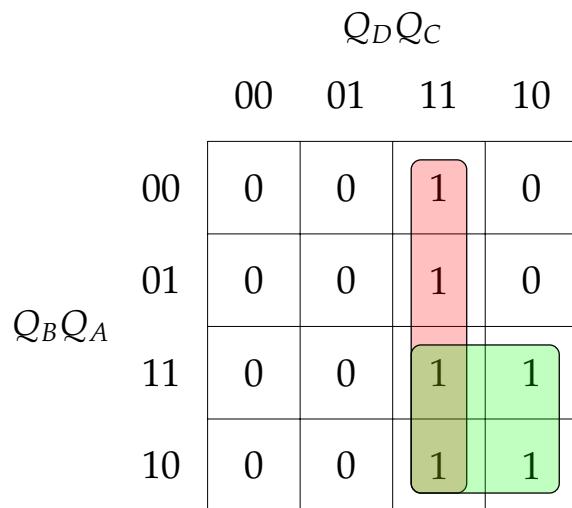
Concluímos que é possível criar um circuito contador síncrono tanto a partir de flip-flops quanto a partir de CIs como 74163.

**APÊNDICE****A. MATERIAL SUPLEMENTAR DO CONTADOR FF****1.1. MAPAS DE KARNAUGH DO CIRCUITO DE PRÓXIMO ESTADO**(a)  $D_0$ (b)  $D_1$ (c)  $D_2$ (d)  $D_3$ 

**Figura 9:** Mapas de Karnaugh para cada dígito da saída do circuito de próximo estado, que representa o próximo estado dos flip-flops

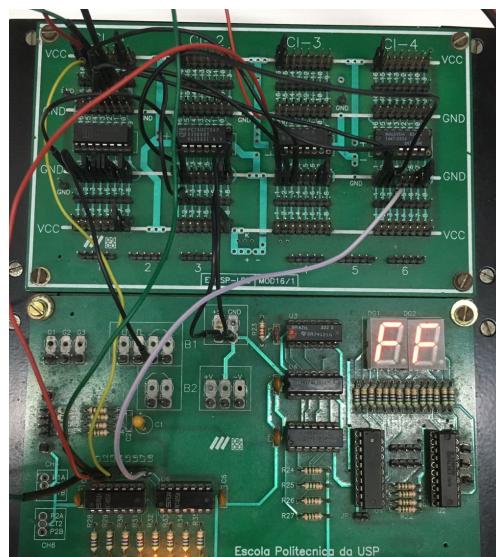
## B. MATERIAL SUPLEMENTAR DO CONTADOR 74LS163

### 2.1. MAPA DE KARNAUGH DO CIRCUITO CONTROLADOR

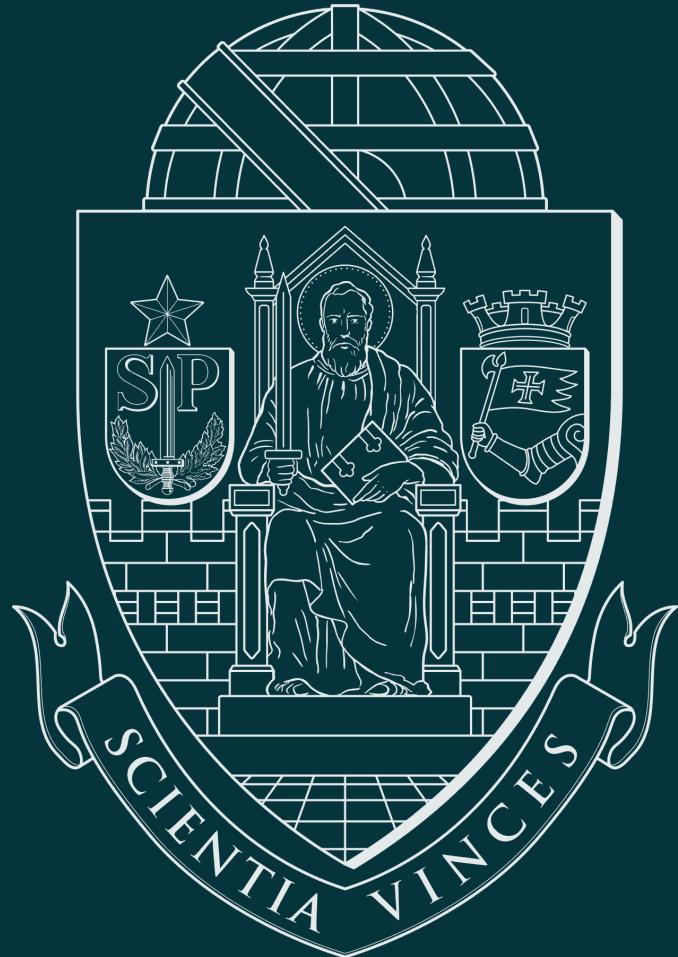


■ **Figura 10:** Mapa de Karnaugh do Circuito Controlador do circuito com o contador 74LS163

### 2.2. MONTAGEM DO CONTADOR MÓDULO 11 UTLIZANDO O CI 74LS163



■ **Figura 11:** Montagem do circuito contador módulo 11 com o CI 74LS163



**Universidade de São Paulo**  
**Escola Politécnica**  
Departamento de Eng. de Computação e Sistemas Digitais