



19 février, 2018

Architecture du processeur

TP1 – INF1600 : Architecture des micro-ordinateurs
Groupe 1 (B1)

Présenté à
M Ulrich Dah-Achinanon

Nicole Joyal (1794431)
Jennifer Girard (1875532)

Table des matières

| | |
|--|----------|
| Architecture du processeur | 1 |
| Exercice 1 | 3 |
| 1. | 3 |
| 2. | 3 |
| 3. | 3 |
| 4. | 3 |
| 5. | 3 |
| 6. | 4 |
| Exercice 2 | 4 |
| 1. | 4 |
| 2. | 4 |
| 3. | 5 |
| 4. | 5 |
| Exercice 3 | 5 |
| 1. | 5 |
| 2. | 5 |
| Exercice 4 | 6 |
| Simulation d'une instruction avec Electric | 6 |
| Questions | 6 |
| 1. | 6 |
| a) | 6 |
| b) | 6 |
| c) | 6 |
| 2. | 7 |
| a) | 7 |
| b) | 7 |
| c) | 7 |

Exercice 1

1.

Tableau I : Réponses à la question 1 de l'exercice 1

| ID | Numéros | Type | DEC |
|----|----------|-------------|---------|
| a | 11110101 | Binaire | -11 |
| b | 00101010 | Binaire | 42 |
| c | 4517 | Octal | 4751 |
| d | CAFE | Hexadécimal | 103 678 |
| e | 10000000 | Binaire | -128 |

2.

Tableau I : Réponses à la question 2 de l'exercice 1

| ID | Numéros | BIN | OCT | DEC | HEX |
|----|----------|-----|-----|-----|-----|
| a | 5781 | | | √ | √ |
| b | 10000000 | √ | √ | √ | √ |
| c | 1600 | | √ | √ | √ |
| d | B747 | | | | √ |
| e | 00000000 | √ | √ | √ | √ |

3.

Ici nous faisons une addition binaire de la valeur de x avec 3 décalé de 4 bits vers la gauche (0000 0011 << 4 = 0011 0000). Nous affectons le résultat de l'addition à y.

4.

| ID | Numéro | Complément à 2 | HEX |
|----|--------|------------------|------|
| a | -1234 | 1111101100101110 | 84D2 |
| b | 32767 | 0000000000000001 | 7FFF |
| c | -32 | 1111111111100000 | 8020 |

5.

| ID | Opération | Résultat | Débordement ? |
|----|-----------|----------|---------------|
| a | 7C + 4F | 0CB | Oui |
| b | 89 + 11 | C4 | Non |

6.

a) big-endian :

| | Adr. vue par prog. | | | | |
|---------------------|--------------------|----|-----|-----|-----|
| Adr. sur puce | | 0 | 1 | 2 | 3 |
| | 0 | 8 | 97 | 194 | 187 |
| | 1 | 56 | 160 | 158 | 236 |

b) little-endian :

| | Adr. vue par prog | | | | |
|---------------------|-------------------|----|-----|-----|-----|
| Adr. sur puce | | 3 | 2 | 1 | 0 |
| | 0 | 8 | 97 | 194 | 187 |
| | 1 | 56 | 160 | 158 | 236 |

Exercice 2

1.

Mem tot = Z1 + Z2 + Z3 + Z4

Z1 = 624 pistes/zone * 792 secteurs/piste * 512 byte/secteur = 253,03 MB

Z2 = 1424 * 780 * 512 = 568,69 MB

Z3 = 1680 * 760 * 512 = 653,72 MB

Z4 = 1815 * 720 * 512 = 669,08 MB

Mem tot = 253,03 + 568,69 + 653,72 + 669,08
= **2 144,52 MB**

2.

% par zone = mém zone / mém total

Z1 = 253,03 / 2144,52 = 0,118 = 11,8%

Z2 = 568,69 / 2144,52 = 0,265 = 26,5%

Z3 = 653,72 / 2144,52 = 0,305 = 30,5%

Z4 = 669,08 / 2144,52 = 0,312 = 31,2%

Pondéré (%):

$$TTM = [RPM / 60 \text{ sec.} * 512 \text{ byte/secteur}] * [(Z1 \text{ secteurs/piste} * 11,8\%) + (Z2 \text{ secteurs/piste} * 26,5\%) + (Z3 \text{ secteurs/piste} * 30,5\%) + (Z4 \text{ secteurs/piste} * 31,2\%)]$$

$$\begin{aligned} &= [(5400/60) * 512] * [(792 * 0,118) + (780 * 0,265) + (760 * 0,305) + (720 * 0,312)] \\ &= 34,86 \text{ MB/s} * (8 \text{ bits/byte}) * (1/2^{20}) \\ &= \mathbf{265,96 \text{ Mb/s}} \end{aligned}$$

Non-pondéré:

$$\begin{aligned} TTM &= (Z1 + Z2 + Z3 + Z4) \text{ secteurs/piste} * (\frac{1}{4} \text{ zones}) * (RPM / 60\text{sec.}) * (512 \text{ byte/secteur}) \\ &= (792 + 780 + 760 + 720) * (\frac{1}{4}) * (5400/60) * 512 \\ &= 35,16 \text{ MB/s} * 8 * (1/2^{20}) \\ &= \mathbf{268,25 \text{ Mb/s}} \end{aligned}$$

3.

Le TTM sera largement plus grand, puisque le bus PCIe permet un transfert de données beaucoup plus rapide.

4.

Non, car le nombre de surfaces disponibles influence uniquement l'espace sur le disque. Le taux de transfert moyen demeure quasiment inchangé.

Exercice 3

1.

```
op <4..0> := IR <31..27>
a <4..0> := IR <26..22>
b <4..0> := IR <21..17>
c <4..0> := IR <16..12>
k <16..0> := IR <16..0>
```

```
SUBMUL (:=op=5) → R[a] ← (R[a] - R[b]) * (R[k] = 8) ;
```

2.

```
DECREM (:=op=13) → R[a] ← R[a] - 1 : R[b] ← R[b] - 1 ;
```

Exercice 4

Simulation d'une instruction avec Electric

Incapable de faire une simulation avec *Electric* à cause de problèmes avec le logiciel.
Les sous-questions d) n'ont donc pas pu être faites.

Questions

1.

```
r1 <- Memoire2 [r3] + r3
```

a)

```
0a 01 80 00
```

```
4a 20 00 00
```

b)

```
T <- R[IR<17..15>];
```

```
R[IR<23..21>] <- T + M2[T];
```

[IR<17..15>] vaut 3 (011)

[IR<23..21>] vaut 1 (001)

c)

| Instruction | A | B | C | D | E | F | G | UAL | ecrireEIP | ecrireT | ecrireRegistre |
|-------------|---|----|---|---|---|---|---|-----|-----------|---------|----------------|
| 1 | 1 | 11 | 0 | 0 | 1 | 0 | 0 | 0a | 1 | 1 | 0 |
| 2 | 1 | 00 | 0 | 0 | 0 | 1 | 0 | 4a | 1 | 1 | 1 |

2.

```
r1 <- ( Memoire2 [r3] + 0x23 ) >> r2
```

a)

```
0a 01 80 00
```

```
4a 01 82 30
```

```
11 29 82 30
```

b)

```
T <- R[IR<17..15>];
```

```
T <- M2[T] + IR<12..0>;
```

```
R[IR<23..21>] <- T >> R[IR<20..18>];
```

```
[IR<17..15>] vaut 3 (011)
```

```
[IR<12..0>] vaut 0x23 (230)
```

```
[IR<20..18>] vaut 2 (010)
```

```
[IR<23..21>] vaut 1 (001)
```

c)

| Instruction | A | B | C | D | E | F | G | UAL | ecrireEIP | ecrireT | ecrireRegistre |
|-------------|---|----|---|---|---|---|---|-----|-----------|---------|----------------|
| 1 | 1 | 11 | 0 | 0 | 1 | 0 | 0 | 0a | 1 | 1 | 0 |
| 2 | 1 | 00 | 0 | 1 | 0 | 1 | 0 | 4a | 1 | 1 | 0 |
| 3 | 1 | 01 | 0 | 0 | 1 | 0 | 0 | 11 | 1 | 0 | 1 |