

# 数字逻辑实验

## 计数器设计

姓名: 任一

学号:2018011423

ry18@mails.tsinghua.edu.cn

2020 年 4 月 28 日

实验环境	
操作系统:	Windows10 家庭版 18362.72
QuartusII 版本:	Quartus II 13.0 sp1
ModelSim 版本:	Modelsim SE-64 10.7

# 1 实验概述

## 1.1 实验思路

在本实验中，我实现了计数器设计，并采用了结构化的设计方式。设计思路如下：个位的计数采用 D 触发器实现十进制计数器。十位的计数采用 D 触发器实现 6 进制计数器。同时，D 触发器还具有异步清零功能，使得 Reset 功能得以实现。

对于手动点击的计数器，只需要将 CLK 信号接到开关上即可使用。对于自动的计数器（即秒表），需要将 1MHz 的时钟信号做分频，得到 1Hz 的时钟信号，从而得以实现秒表。

## 1.2 文件说明

Counter 文件夹下是计数器的工程文件和代码（包括 TestBench 文件），JieLabVideo 文件夹下是上述手动计数器和自动计数器在 JieLab 实验平台上仿真的录频文件。

# 2 实验结果

本实验在本地的 TestBench 测试和线上 JieLab 平台上的测试都较为顺利，体现了本计数器设计的稳定性和正确性。

## 2.1 Testbench 仿真截图

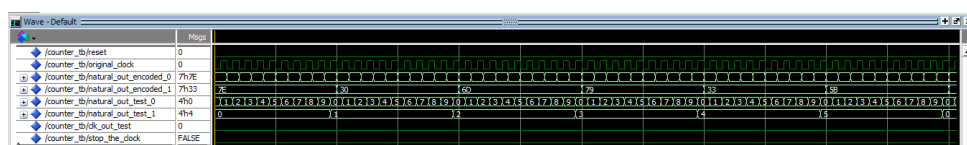


图 1: 计数器 TestBench 仿真

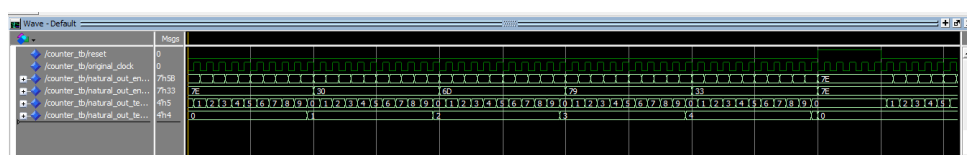


图 2: 计数器 TestBench 仿真

## 2.2 Jielab 在线测试

具体内容在 JieLabVideo 文件夹下，由视频可以看出本计数器很好地完成了实验要求。

# 3 实验总结

在本次实验中，我体验了结构化设计的方式，感谢老师和助教的悉心指教！