

数字逻辑实验

逐次进位加法器与超前进位加法器设计

姓名: 任一

学号:2018011423

ry18@mails.tsinghua.edu.cn

2020 年 4 月 22 日

实验环境	
操作系统:	Windows10 家庭版 18362.72
QuartusII 版本:	Quartus II 13.0 sp1
ModelSim 版本:	Modelsim SE-64 10.7

1 实验概述

1.1 实验思路

在本实验中，我实现了逐次进位加法器与超前进位加法器。实现方法主要是通过元件例化，先设计半加器，利用半加器设计全加器，再用全加器设计逐次进位加法器与超前进位加法器。这样的逐层设计方法，有利于代码复用，提高了开发效率，降低了开发难度。

1.2 文件说明

Serial4FullAdder 文件夹下是逐次进位加法器的工程文件和代码，CarryLookAheadAdder 文件夹中是超前进位加法器的工程文件和代码，这两个文件夹下的 ModelSimTestBench 文件夹中是 ModelSim 模拟的工程文件。SimulationScreenshots 文件夹中是使用 Testbench 在 ModelSim 中进行仿真的截图。JiebaScreenShots 文件夹下是上述两种加法器在 Jieba 数电平台上的仿真截图。

2 实验结果

2.1 Testbench 仿真

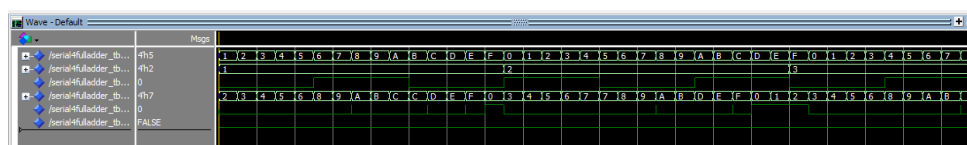


图 1: 逐次进位加法器仿真测试截图

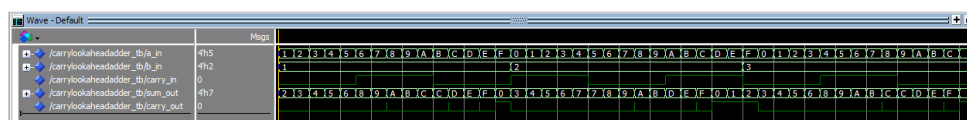


图 2: 超前进位加法器仿真测试截图

由仿真截图可以看出，我设计的逐次进位加法器与超前进位加法器很好地完成了加法和进位的任务。

2.2 RTL Viewer

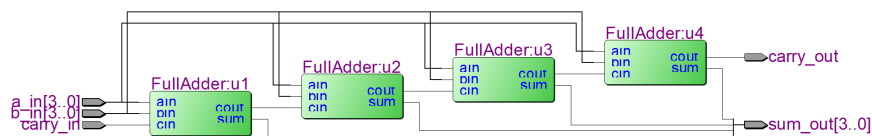


图 3: 逐次进位加法器在 CPLD 中的电路图

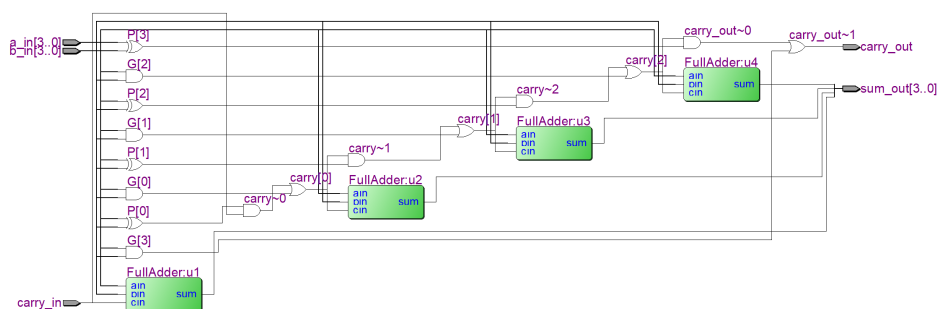


图 4: 超前进位加法器在 CPLD 中的电路图

通过 QuartusII 软件中的 RTL Viewer 功能，我得到了这两种加法器在 CPLD 中的电路图。可以清晰地看出，逐次进位加法器的电路比超前进位加法器的电路要简洁一些。

2.3 Jielab 在线测试

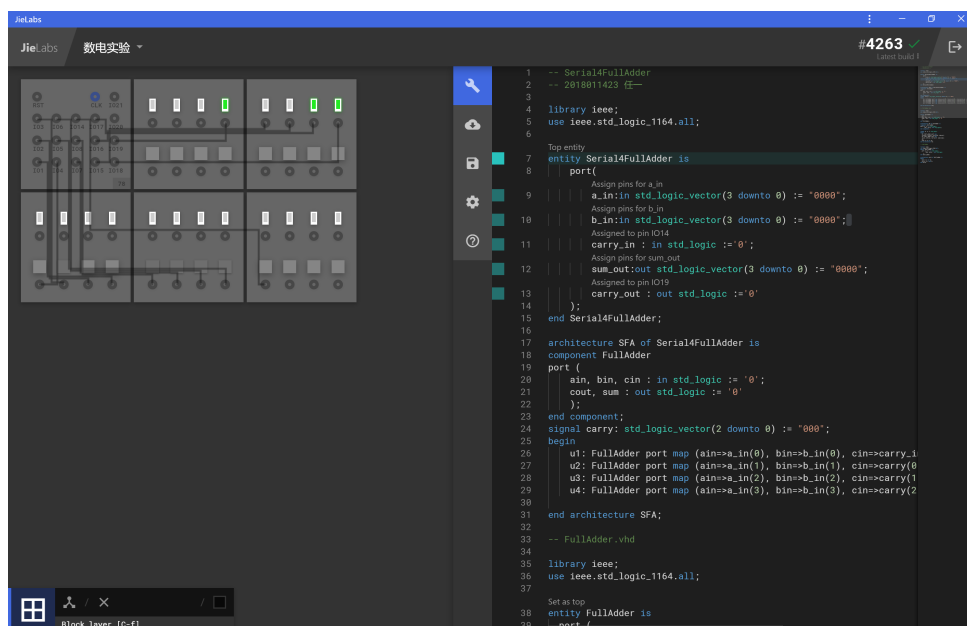


图 5: 逐次进位加法器仿真测试截图

从图中可以清晰看到，逐次进位加法器实现了 $0100 + 1111 = 10011$ ，超前进位加法器实现了 $1101 + 1001 = 101110$ 的任务。

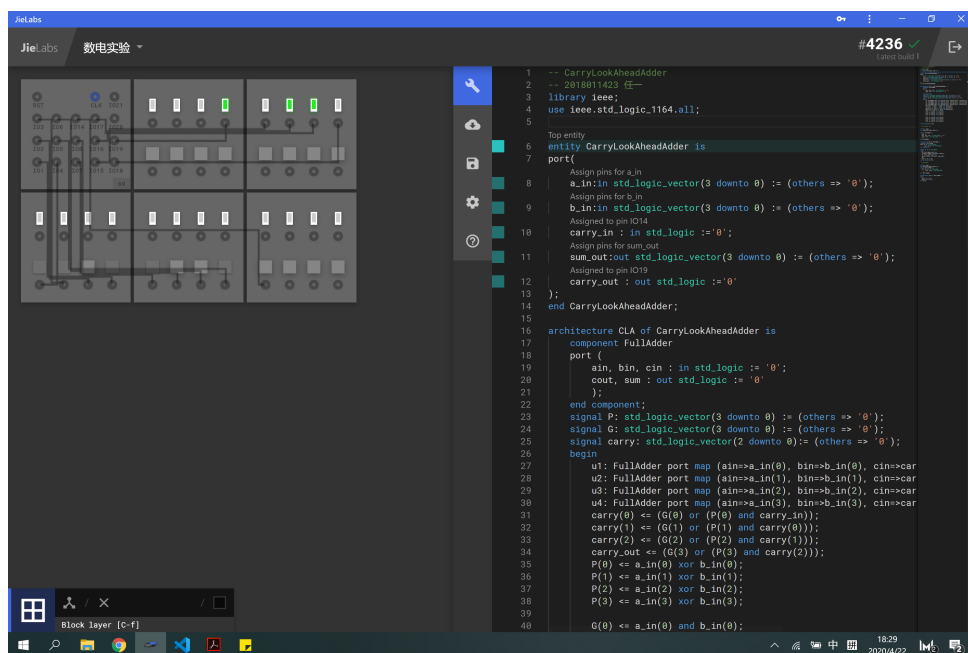


图 6: 超前进位加法器仿真测试截图

3 实验总结

在本次实验中，我感受到了元件例化所带来的便利，提高了 VHDL 编程能力，为后续项目的设计打下了基础。感谢老师和助教的悉心指导！