课程名称 数字逻辑实验 成绩评定

实验项目名称 位移寄存器 指导教师 王传胜

实验项目编号 实验六实验项目类型 综合性 实验地点N126 学生姓名 陈曦 学号 2018050150

学院 信息科学技术 系 计算机科学 专业 计算机科学与技术

实验时间 2019 年 11 月 11 日 午~ 11 月 11 日 午温度 ℃湿度

1. 实验目的
2. 掌握用Verilog HDL进行数据流建模；
3. 学会在EGO-1实验板上使用七段数码管;
4. 学会用Verilog HDL实现用七段数码管实现16进制数;
5. 实验内容

编写Verilog程序,使得在七段数码管中显示0~9,A~F这16进制数。

1. 实验程序

`timescale 1ns / 1ps

module top(

input clk,

input clr,

output[6:0] out,

output[1:0] an

);

wire clk\_190;

wire clk\_48;

wire [7:0] data;

div div0(clk, clk\_48, clk\_190);

com com0(clk\_48, clr, data);

seg seg(data,clk\_190,out, an);

endmodule

module div(

input clk,

output clk\_48,

output clk\_190

);

reg[24:0] q = 25'b0;

always @(posedge clk)

q <= q+1;

assign clk\_48 = q[24];

assign clk\_190 = q[18];

endmodule

module com(

input clk\_48,

input clr,

output reg[7:0] data

);

reg[3:0] data0;

initial

data = 8'b11000000;

always @(posedge clk\_48)

begin

data0 = data[3:0];

if(clr == 1)

begin

data[7:0] = 8'b00000000;

end

else

data = data+1;

end

endmodule

module seg(

input[7:0] data,

input clk\_190,

output reg [6:0] arg,

output reg [1:0] an

);

reg [0:0] state;

initial

begin

an<=2'b10;

state<=1'b0;

end

always @(posedge clk\_190)

begin

state=state+1;

case(state)

1'b0://使用data[3:0]

begin

an=2'b01;

case(data[3:0])

4'b0000:arg=7'b1111110;//0

4'b0001:arg=7'b0110000;//1

4'b0010:arg=7'b1101101;//2

4'b0011:arg=7'b1111001;//3

4'b0100:arg=7'b0110011;//4

4'b0101:arg=7'b1011011;//5

4'b0110:arg=7'b1011111;//6

4'b0111:arg=7'b1110000;//7

4'b1000:arg=7'b1111111;//8

4'b1001:arg=7'b1111011;//9

4'b1010:arg=7'b1110111;//A

4'b1011:arg=7'b0011111;//b

4'b1100:arg=7'b1001110;//C

4'b1101:arg=7'b0111101;//d

4'b1110:arg=7'b1001111;//E

4'b1111:arg=7'b1000111;//F

default:arg=7'b1001111;//ERROR

endcase

end

1'b1://使用data[7:4]

begin

an=2'b10;

case(data[7:4])

4'b0000:arg=7'b1111110;//0

4'b0001:arg=7'b0110000;//1

4'b0010:arg=7'b1101101;//2

4'b0011:arg=7'b1111001;//3

4'b0100:arg=7'b0110011;//4

4'b0101:arg=7'b1011011;//5

4'b0110:arg=7'b1011111;//6

4'b0111:arg=7'b1110110;//7

4'b1000:arg=7'b1111111;//8

4'b1001:arg=7'b1111011;//9

4'b1010:arg=7'b1110111;//A

4'b1011:arg=7'b0011111;//b

4'b1100:arg=7'b1001110;//C

4'b1101:arg=7'b0111101;//d

4'b1110:arg=7'b1001111;//E

4'b1111:arg=7'b1000111;//F

default:arg=7'b1001111;//ERROR

endcase

end

default:

begin

an=2'b01;

case(data[3:0])

4'b0000:arg=7'b1111110;//0

4'b0001:arg=7'b0110000;//1

4'b0010:arg=7'b1101101;//2

4'b0011:arg=7'b1111001;//3

4'b0100:arg=7'b0110011;//4

4'b0101:arg=7'b1011011;//5

4'b0110:arg=7'b1011111;//6

4'b0111:arg=7'b1110110;//7

4'b1000:arg=7'b1111111;//8

4'b1001:arg=7'b1111011;//9

4'b1010:arg=7'b1110111;//A

4'b1011:arg=7'b0011111;//b

4'b1100:arg=7'b1001110;//C

4'b1101:arg=7'b0111101;//d

4'b1110:arg=7'b1001111;//E

4'b1111:arg=7'b1000111;//F

default:arg=7'b1001111;//ERROR

endcase

end

endcase

end

endmodule

1. 仿真程序

`timescale 1ns / 1ps

module sim(

output [6:0]Out,

output [1:0] an

);

parameter clk\_period = 10;

wire[7:0] data;

reg clk;

reg clr = 0;

initial

begin

clk = 0;

forever

#(clk\_period/2) clk = ~clk;

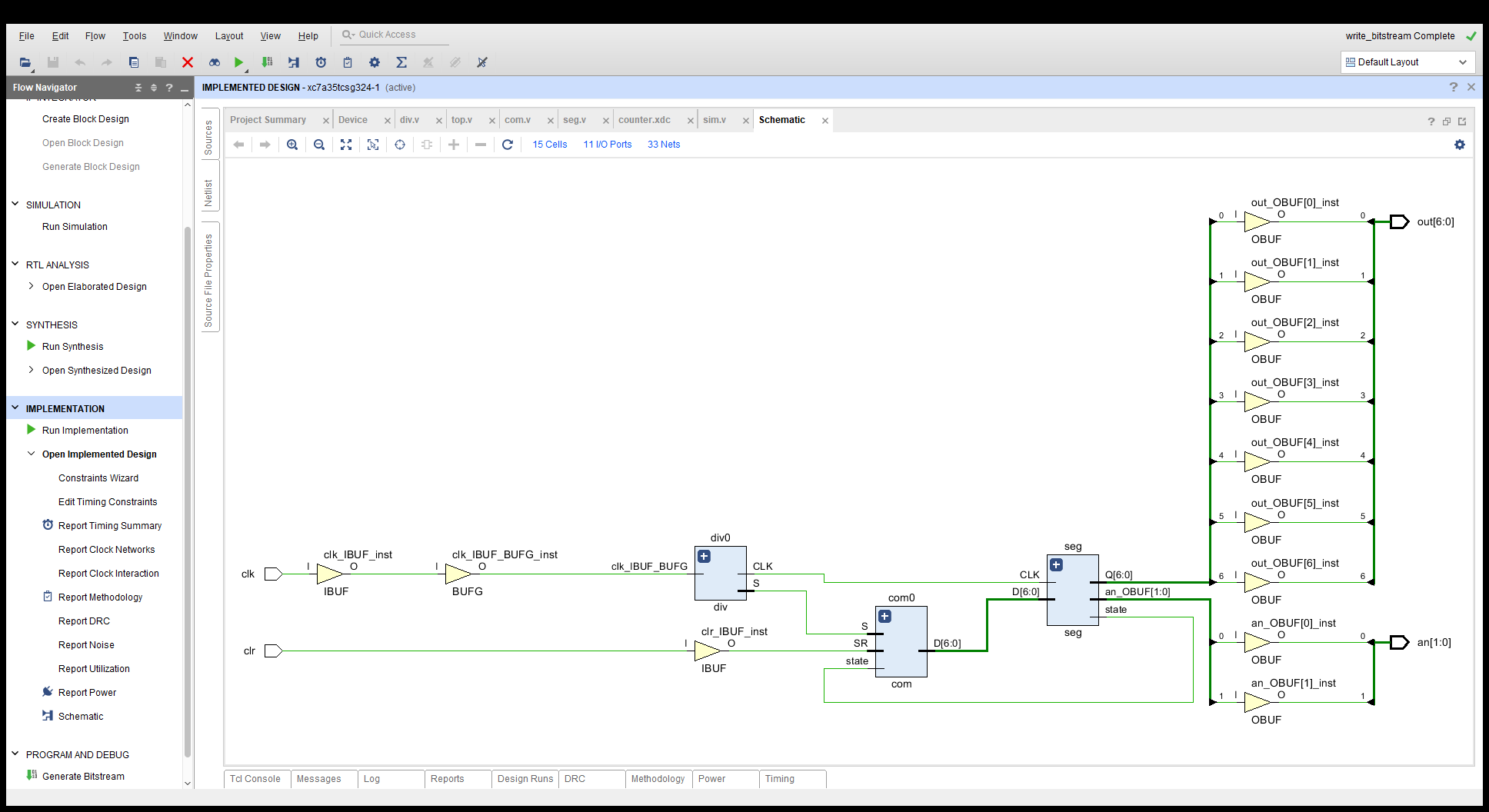
end

com com0(clk, clr, data);

seg seg0(.InA(data),.OutA(Out),.an(an));

endmodule

1. 仿真结果
2. 系统网表



1. 系统约束

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[6]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[5]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[4]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {an[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {an[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports clr]

set\_property PACKAGE\_PIN B4 [get\_ports {out[6]}]

set\_property PACKAGE\_PIN A4 [get\_ports {out[5]}]

set\_property PACKAGE\_PIN A3 [get\_ports {out[4]}]

set\_property PACKAGE\_PIN B1 [get\_ports {out[3]}]

set\_property PACKAGE\_PIN A1 [get\_ports {out[2]}]

set\_property PACKAGE\_PIN B3 [get\_ports {out[1]}]

set\_property PACKAGE\_PIN B2 [get\_ports {out[0]}]

set\_property PACKAGE\_PIN G2 [get\_ports {an[1]}]

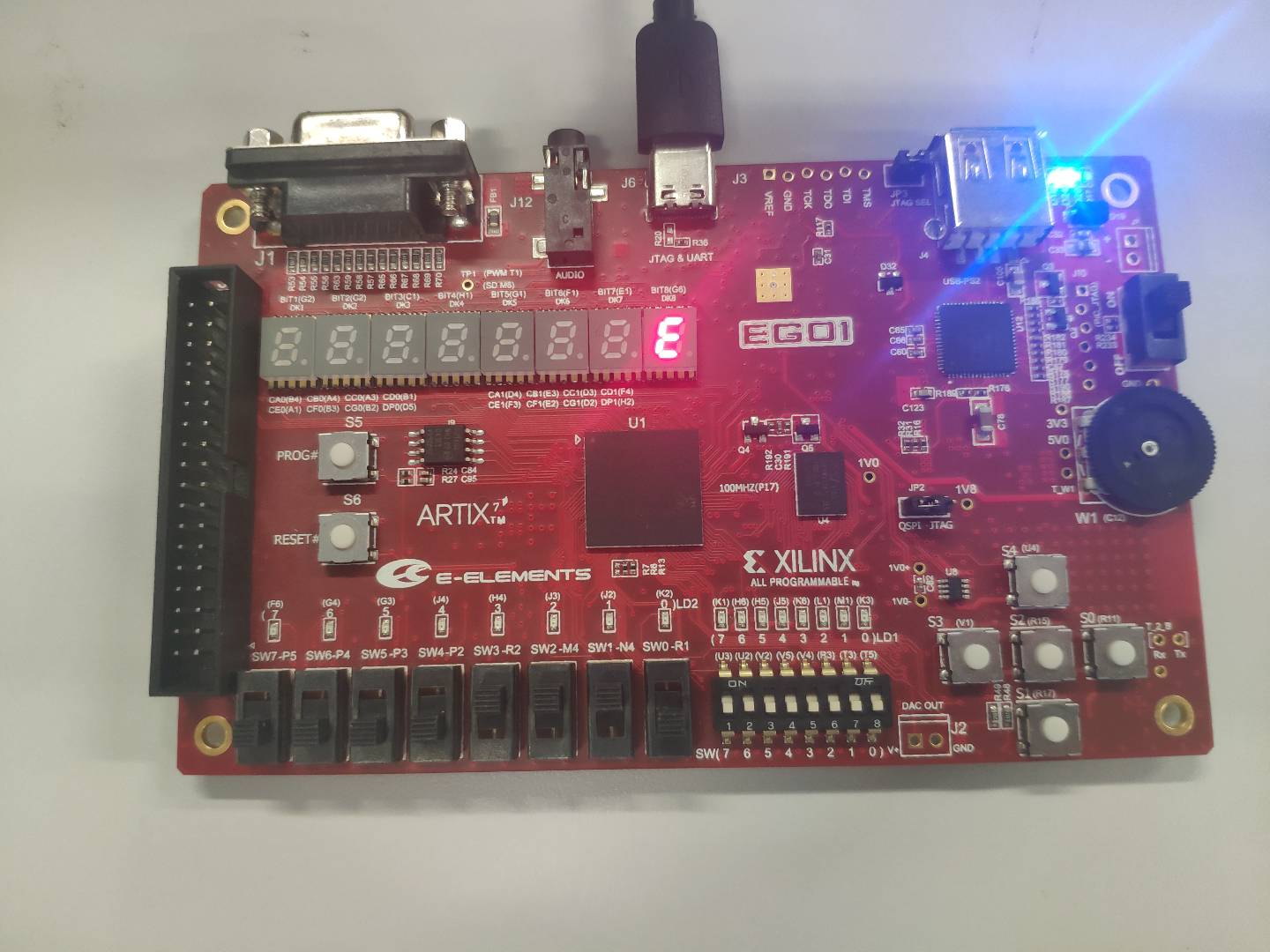
set\_property PACKAGE\_PIN C2 [get\_ports {an[0]}]

set\_property PACKAGE\_PIN P17 [get\_ports clk]

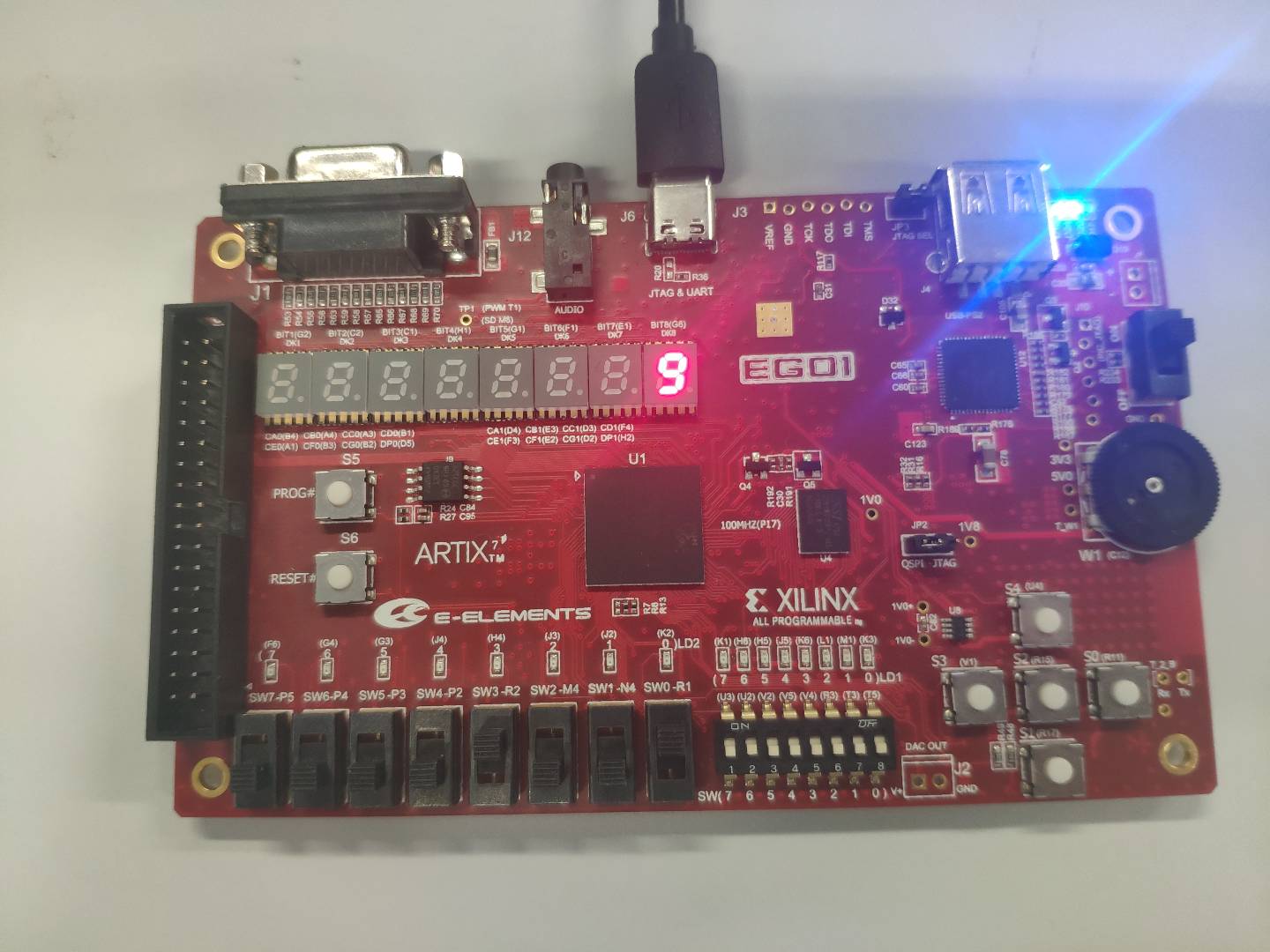
set\_property PACKAGE\_PIN P5 [get\_ports clr]

1. 实验结果

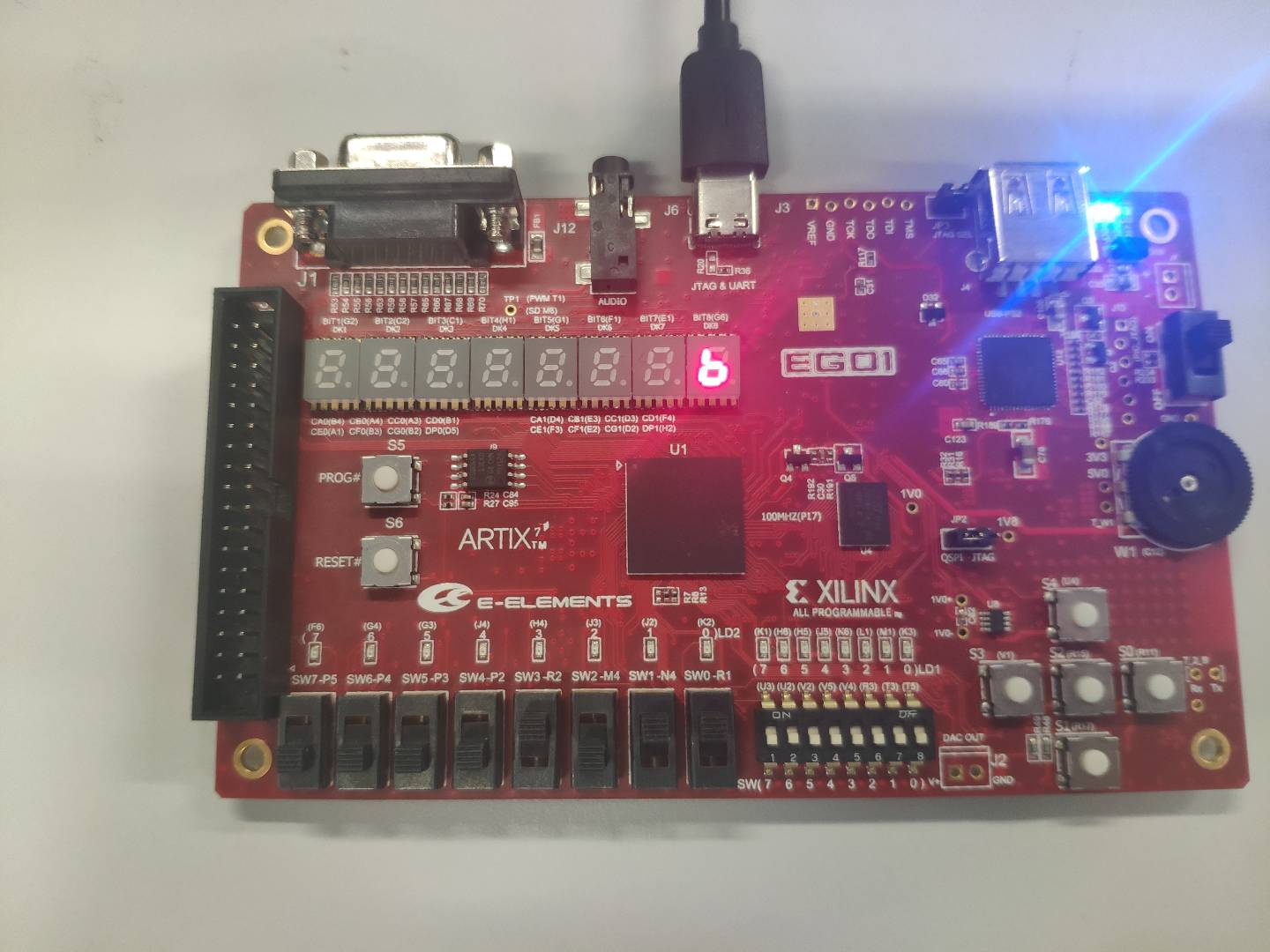
显示14:



显示9:



显示11:



1. 实验体会
2. 应当注重自主学习能力,能够正确分析并学习运用网络上已有的资源.
3. 课程上多与老师同学沟通,能够学习到别人的心得和技巧.