课程名称 数字逻辑实验 成绩评定

实验项目名称 位移寄存器 指导教师 王传胜

实验项目编号 实验六实验项目类型 综合性 实验地点N126 学生姓名 陈曦 学号 2018050150

学院 信息科学技术 系 计算机科学 专业 计算机科学与技术

实验时间 2019 年 11 月 11 日 午~ 11 月 11 日 午温度 ℃湿度

1. 实验目的
2. 掌握用Verilog HDL进行数据流建模；
3. 学会在EGO-1实验板上使用七段数码管;
4. 学会用Verilog HDL实现用七段数码管实现16进制数;
5. 实验内容

编写Verilog程序,使得在七段数码管中显示0~9,A~F这16进制数。

1. 实验程序

`timescale 1ns / 1ps

module biregister(

input [1:0] s,

input sl,

input sr,

input clk,

input cr,

input [7:0] in,

output [7:0] out

);

wire [7:0]temout;//=8'b0;\

wire outclk;

clkdiv clkdiv1(clk,outclk);

register regleft(.s(s),.sl(temout[3]),.sr(sr),.clk(outclk),.cr(cr),.in(in[7:4]),.out(temout[7:4]));

register regright(.s(s),.sl(sl),.sr(temout[4]),.clk(outclk),.cr(cr),.in(in[3:0]),.out(temout[3:0]));

assign out=temout;

endmodule

`timescale 1ns / 1ps

module clkdiv(

input inclk,

output outclk

);

reg[24:0]clk=25'b0;

always@(posedge inclk)

begin

clk=clk+1;

end

assign outclk=clk[24];

endmodule

module register(

input [1:0] s,

input sr,

input sl,

input clk,

input cr,

input [3:0] in,

output [3:0] out

);

reg [3:0]temout;//=4'b00;

always @(posedge clk )

begin

case(s)

2'b00: temout=out;

2'b01: temout={sr,out[3:1]};

2'b10: temout={out[2:0],sl};

2'b11: temout=in;

endcase

end

assign out = temout&{4{cr}};

endmodule

module register(

input [1:0] s,

input sr,

input sl,

input clk,

input cr,

input [3:0] in,

output [3:0] out

);

reg [3:0]temout;//=4'b00;

always @(posedge clk )

begin

case(s)

2'b00: temout=out;

2'b01: temout={sr,out[3:1]};

2'b10: temout={out[2:0],sl};

2'b11: temout=in;

endcase

end

assign out = temout&{4{cr}};

endmodule

1. 仿真程序

`timescale 1ns / 1ps

module sim1(

input [1:0] s,

input sl,

input sr,

input clk,

input cr,

input [7:0] in,

output [7:0] out

);

reg temclk=1'b0;

reg [1:0]tems;

reg [7:0] temin = 8'b10111110;

//reg [7:0] temout=8'b00;

initial

begin

tems=2'b10;

end

always #10

begin

temclk=~temclk;

end

assign sl =2'b01;

assign sr = 2'b01;

assign cr = 1;

assign clk = temclk;

assign s=tems;

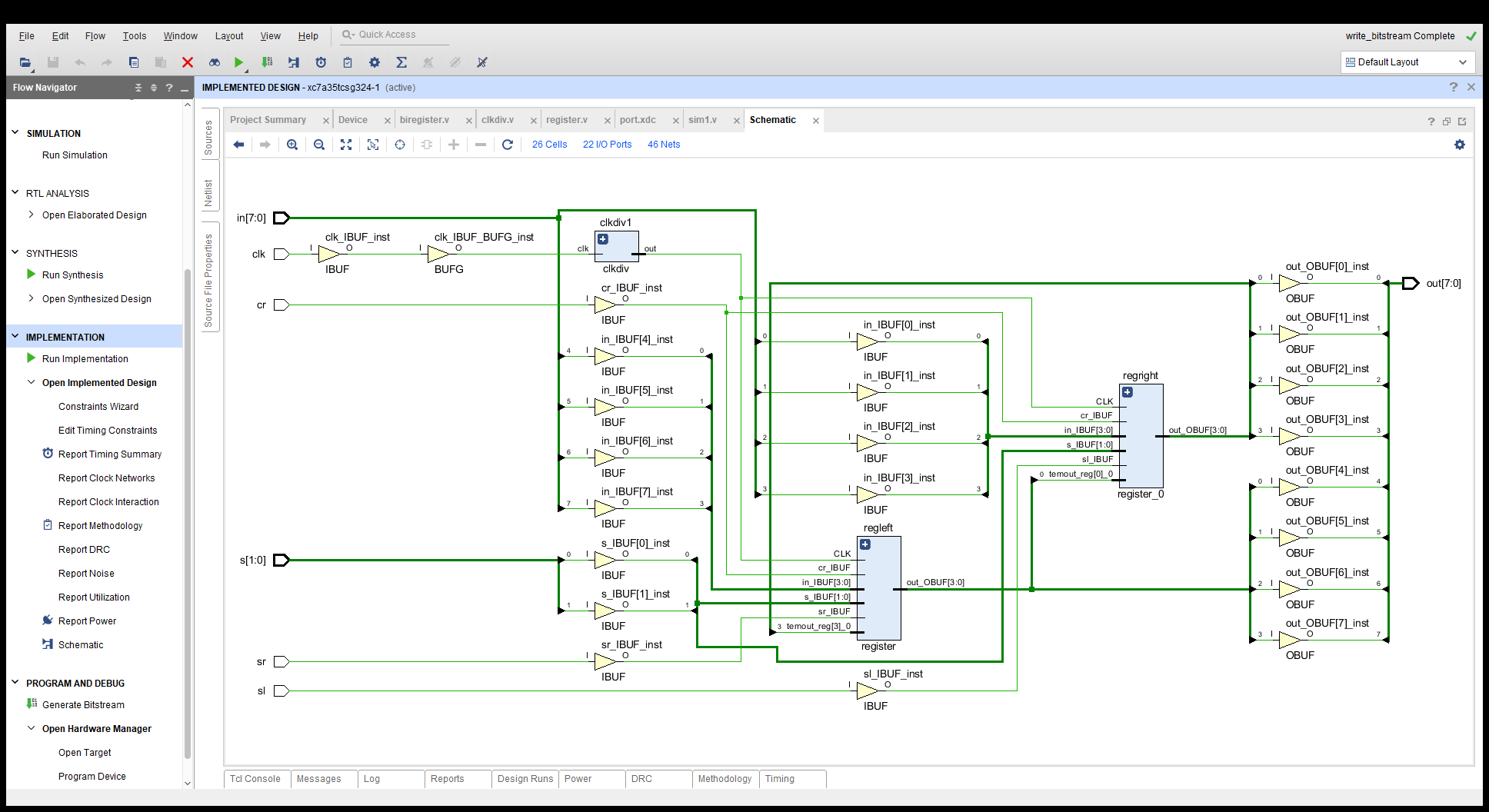
assign in=temin;

biregister b1(.s(2'b10),.sl(sl),.sr(sr),.clk(clk),.cr(cr),.in(in),.out(out));

//register b1(.s(2'b01),.sl(sl),.sr(sr),.clk(clk),.cr(cr),.in(in[3:0]),.out(out[3:0]));

endmodule

1. 仿真结果
2. 系统网表



1. 系统约束

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[7]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[6]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[5]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[4]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {in[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[7]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[6]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[5]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[4]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {out[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {s[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {s[0]}]

set\_property PACKAGE\_PIN U3 [get\_ports {in[7]}]

set\_property PACKAGE\_PIN U2 [get\_ports {in[6]}]

set\_property PACKAGE\_PIN V2 [get\_ports {in[5]}]

set\_property PACKAGE\_PIN V5 [get\_ports {in[4]}]

set\_property PACKAGE\_PIN V4 [get\_ports {in[3]}]

set\_property PACKAGE\_PIN R3 [get\_ports {in[2]}]

set\_property PACKAGE\_PIN T3 [get\_ports {in[1]}]

set\_property PACKAGE\_PIN T5 [get\_ports {in[0]}]

set\_property PACKAGE\_PIN F6 [get\_ports {out[7]}]

set\_property PACKAGE\_PIN G4 [get\_ports {out[6]}]

set\_property PACKAGE\_PIN G3 [get\_ports {out[5]}]

set\_property PACKAGE\_PIN J4 [get\_ports {out[4]}]

set\_property PACKAGE\_PIN H4 [get\_ports {out[3]}]

set\_property PACKAGE\_PIN J3 [get\_ports {out[2]}]

set\_property PACKAGE\_PIN J2 [get\_ports {out[1]}]

set\_property PACKAGE\_PIN K2 [get\_ports {out[0]}]

set\_property PACKAGE\_PIN P5 [get\_ports {s[1]}]

set\_property PACKAGE\_PIN P4 [get\_ports {s[0]}]

set\_property PACKAGE\_PIN P17 [get\_ports clk]

set\_property PACKAGE\_PIN P3 [get\_ports sl]

set\_property PACKAGE\_PIN P2 [get\_ports sr]

set\_property PACKAGE\_PIN R2 [get\_ports cr]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

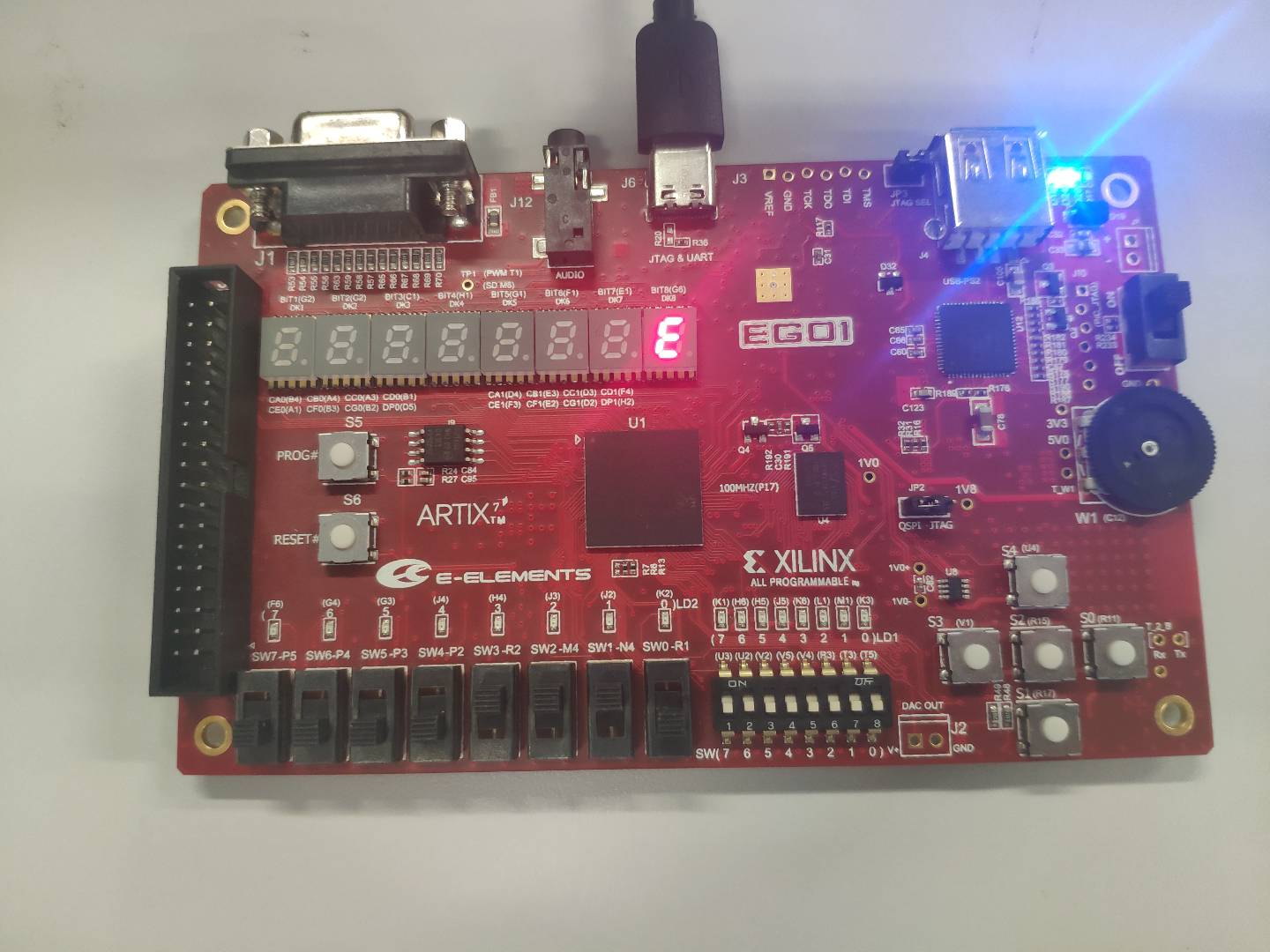
set\_property IOSTANDARD LVCMOS33 [get\_ports cr]

set\_property IOSTANDARD LVCMOS33 [get\_ports sl]

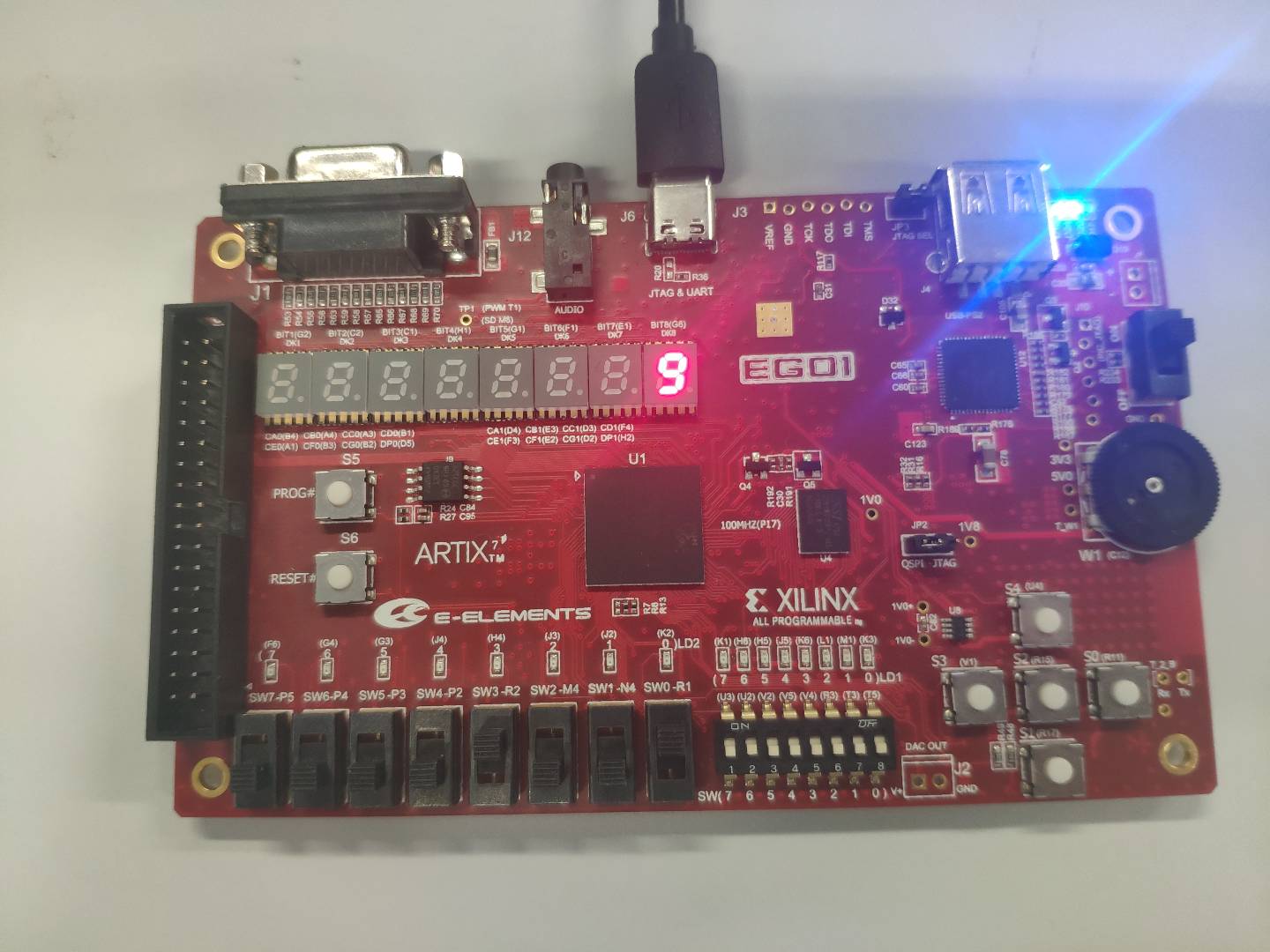
set\_property IOSTANDARD LVCMOS33 [get\_ports sr]

1. 实验结果

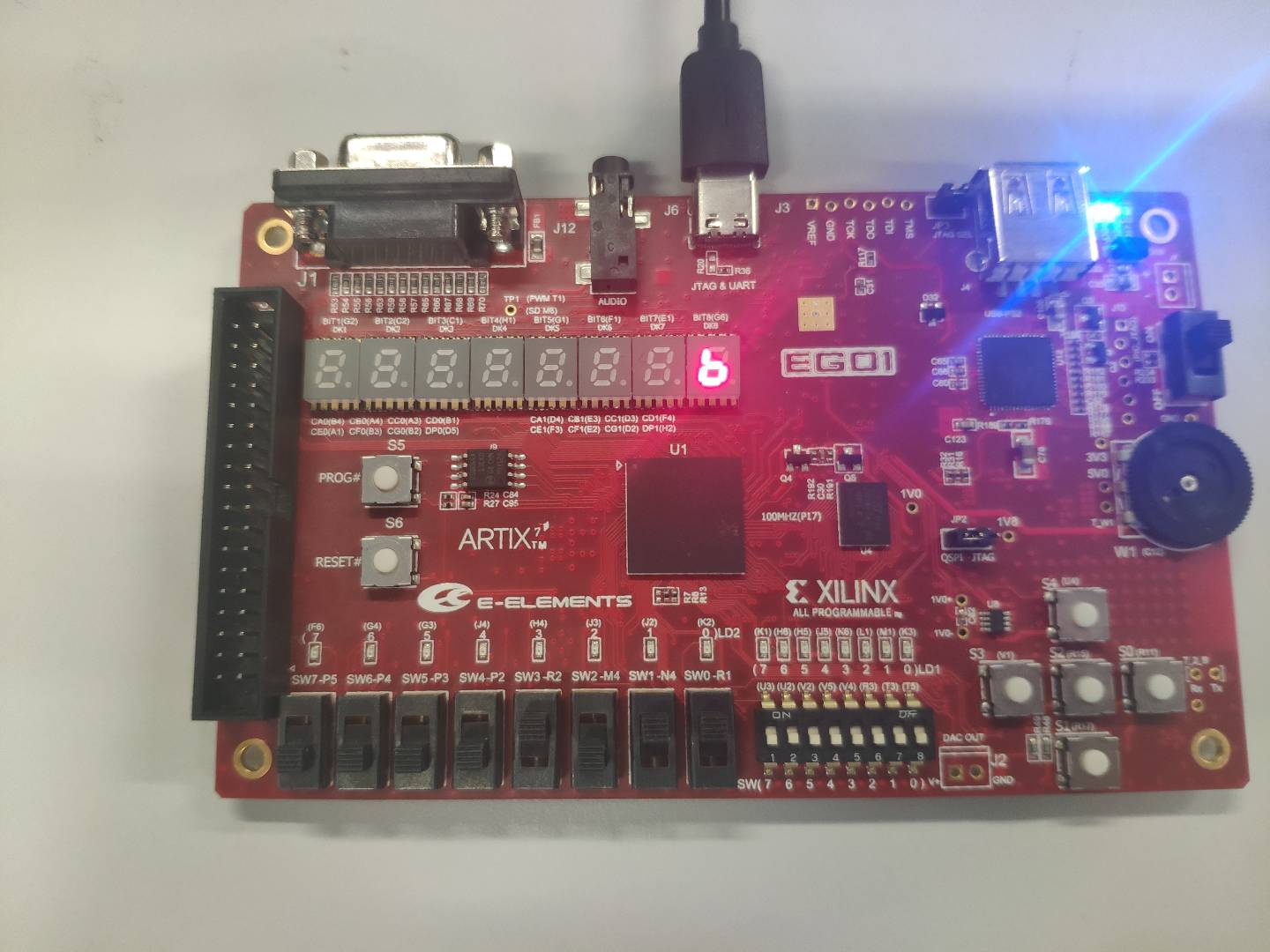
显示14:



显示9:



显示11:



1. 实验体会
2. 应当注重自主学习能力,能够正确分析并学习运用网络上已有的资源.
3. 课程上多与老师同学沟通,能够学习到别人的心得和技巧.