课程名称 数字逻辑实验 成绩评定

实验项目名称 时序逻辑电路综合设计 指导教师 梁倬骞、王传胜

实验项目编号 实验九实验项目类型 设计性 实验地点N126 学生姓名 陈曦 学号 2018050150

学院 信息科学技术 系 计算机科学 专业 计算机科学与技术

实验时间 2019 年 12 月 2 日 午~ 12 月 2 日 午温度 ℃湿度

1. 实验目的
2. 理解有限状态机FSM的原理；
3. 学会用Verilog HDL来实现FSM;
4. 熟练用FSM来解决现实问题;
5. 实验内容

实现交通信号灯.

我们要为一个十字路口信号灯设计程序.该十字路口分为南北方向和东西方向,每个方向都有红、黄、绿三种颜色信号灯.下图给出了信号灯的状态表:

|  |  |  |  |
| --- | --- | --- | --- |
| 状态 | 南北信号灯 | 东西信号灯 | 持续(秒) |
| 0 | 绿 | 红 | 6 |
| 1 | 黄 | 红 | 1 |
| 2 | 红 | 绿 | 6 |
| 3 | 红 | 黄 | 1 |
| 0 | 绿 | 红 | 6 |

1. 实验程序

`timescale 1ns / 1ps

module traffic(

input clk,

input rst\_n,

output reg[2:0] dongxi,

output reg[2:0] nanbei

);

parameter start=4'b0000,

first=4'b0001,

second=4'b0010,

third=4'b0011,

fourth=4'b0100;

reg[3:0]state;

reg[5:0]cnt;

always@(posedge clk or negedge rst\_n)

begin

if(!rst\_n)begin

dongxi<=0;

nanbei<=0;

cnt<=0;

state<=start;

end

else

begin

case(state)

start:begin

dongxi<=3'b111;

nanbei<=3'b111;

state<=first;

end

first:

if(cnt==23)begin

state<=second;

cnt<=0;

end

else begin

cnt<=cnt+1'b1;

dongxi<=3'b001;

nanbei<=3'b100;

state<=first;

end

second:

if(cnt==3)begin

state<=third;

cnt<=0;

end

else begin

cnt<=cnt+1'b1;

dongxi<=3'b010;

nanbei<=3'b100;

state<=second;

end

third:

if(cnt==23)begin

state<=fourth;

cnt<=0;

end

else begin

cnt<=cnt+1'b1;

dongxi<=3'b100;

nanbei<=3'b001;

state<=third;

end

fourth:

if(cnt==3)begin

state<=first;

cnt<=0;

end

else begin

cnt<=cnt+1'b1;

dongxi<=3'b100;

nanbei<=3'b010;

state<=fourth;

end

endcase

end

end

endmodule

module top(

input clk,

input rst\_n,

output [2:0] dongxi,

output [2:0] nanbei

);

wire clk\_48;

clkdiv1 c(clk,rst\_n,clk\_48);

traffic t(clk\_48,rst\_n,dongxi,nanbei);

endmodule

module clkdiv1(

input clk,

input rst\_n,

output clk\_48

);

reg[24:0]q=25'b0;

always @(posedge clk)

begin

q<=q+1;

end

assign clk\_48=q[24];

endmodule

仿真程序:

module sim(

output [2:0] dongxi,

output [2:0] nanbei

);

reg clk;

reg rst\_n;

parameter period=10;

initial

begin

forever #(period/2)clk=~clk;

end

initial

begin

clk=0;

rst\_n=0;

#20 rst\_n=1;

#100000

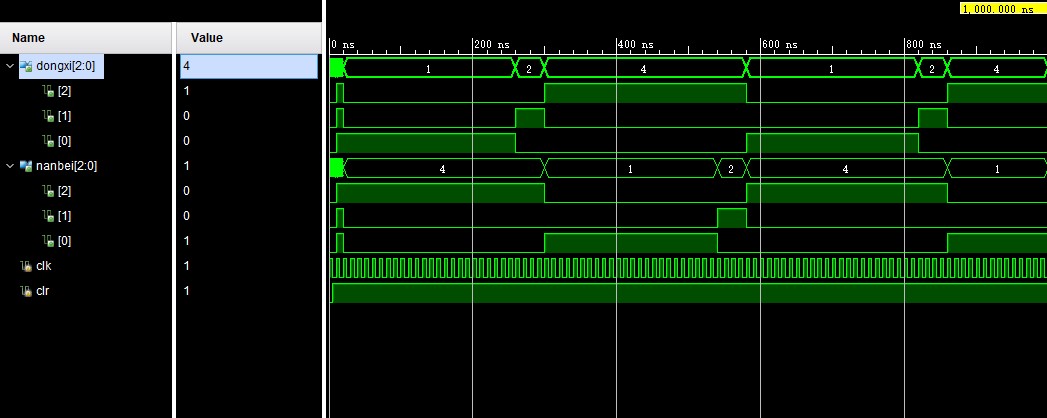
$stop;

end

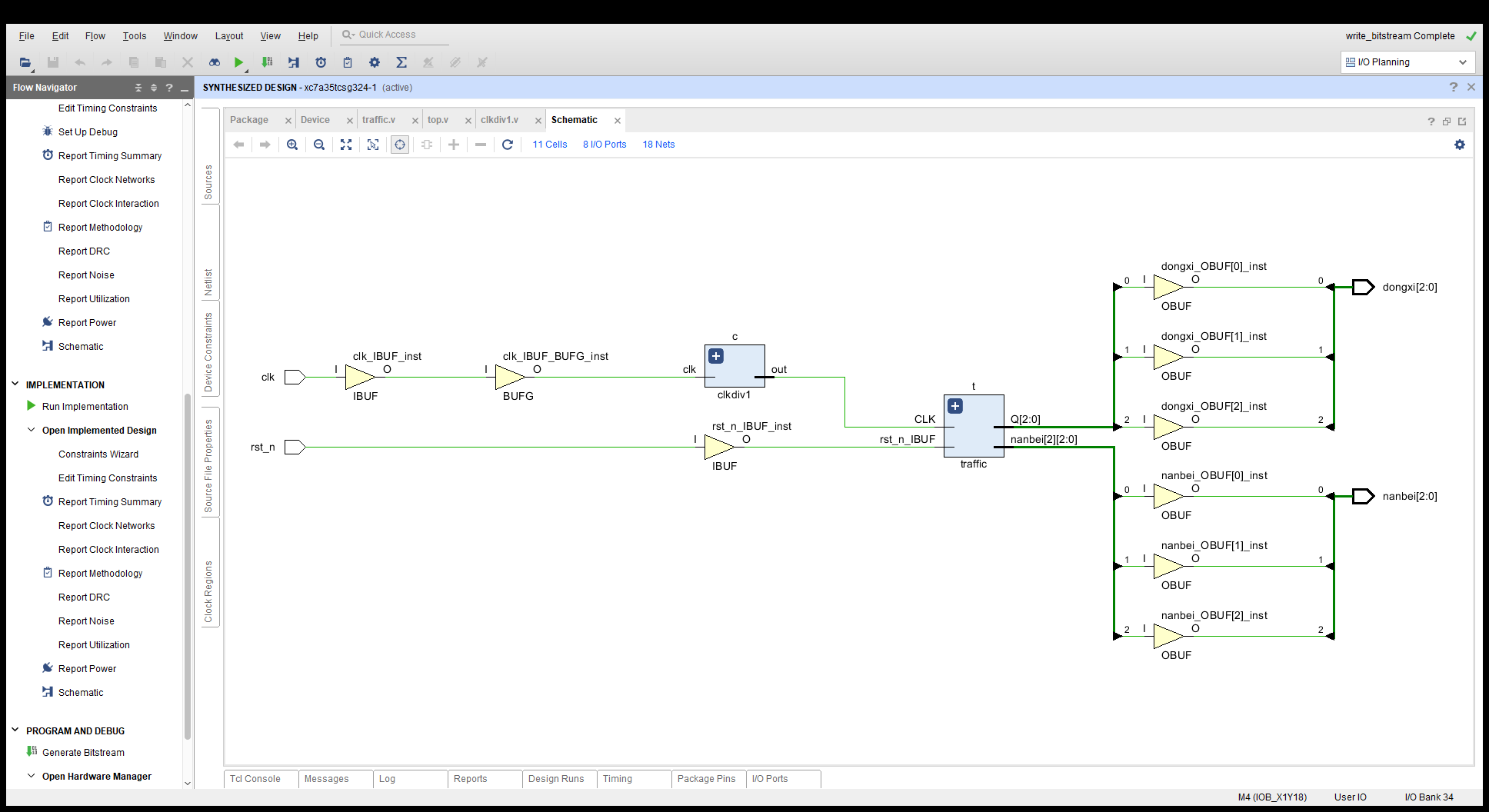
top t(.clk(clk),.rst\_n(rst\_n),.dongxi(dongxi),.nanbei(nanbei));

endmodule

1. 仿真结果



1. 系统网表



1. 系统约束

约束代码:

set\_property PACKAGE\_PIN P17 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports rst\_n]

set\_property PACKAGE\_PIN R1 [get\_ports rst\_n]

set\_property IOSTANDARD LVCMOS33 [get\_ports {dongxi[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {dongxi[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {dongxi[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {nanbei[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {nanbei[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {nanbei[0]}]

set\_property PACKAGE\_PIN F6 [get\_ports {dongxi[2]}]

set\_property PACKAGE\_PIN G4 [get\_ports {dongxi[1]}]

set\_property PACKAGE\_PIN G3 [get\_ports {dongxi[0]}]

set\_property PACKAGE\_PIN J4 [get\_ports {nanbei[2]}]

set\_property PACKAGE\_PIN H4 [get\_ports {nanbei[1]}]

set\_property PACKAGE\_PIN J3 [get\_ports {nanbei[0]}]

1. 实验结果