

实验七 存储器
实验报告
181860085 汤昊

数字电路与数字系统 2 班
邮箱: 1174639585@qq.com
2019.10.4

一，实验目的

了解 FPGA 的片上存储器的特性, 分析存储器的工作时序 和结构, 并学习如何设计存储器。

二．实验原理

存储器是一组存储单元，用于在计算机中存储二进制的数据，其输入输出受到时钟信号以及写使能信号的控制，通过改变输入输出接口的设计以及对时钟信号，写使能信号的反应设计不同的存储器

三．实验环境及器材

开发软件：quartus prime 17.1

开发器材：DE-standard 开发板

四．思考题

存储器的行为会发生变化，修改前读和写是可以同时进行的，修改后一次时钟只能执行读或写其中一个操作

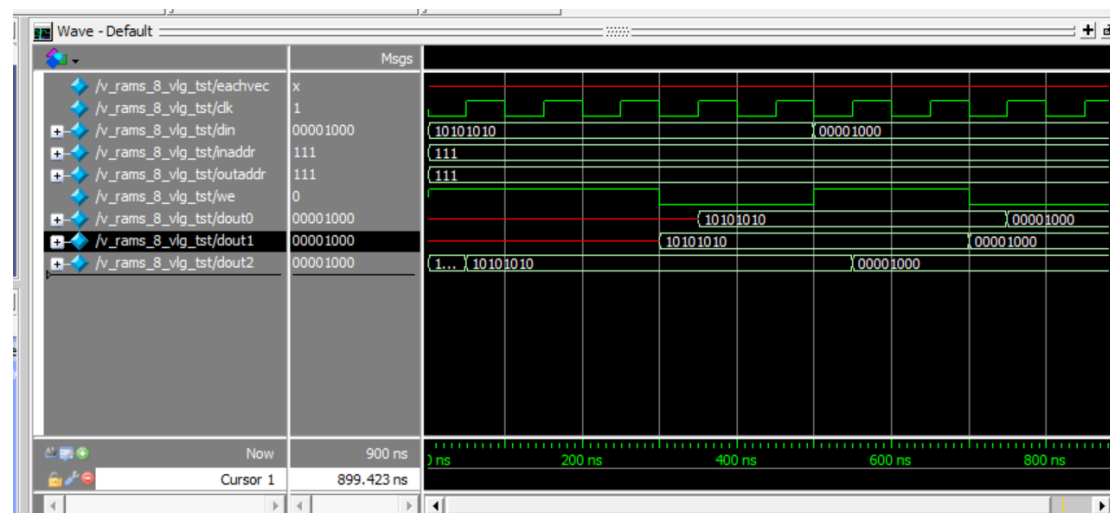
五．存储器实例分析

Dout0 当写使能无效时，在时钟上升沿输出

Dout1 当写使能无效时，在时钟下降沿输出

Dout2 写入后直接输出

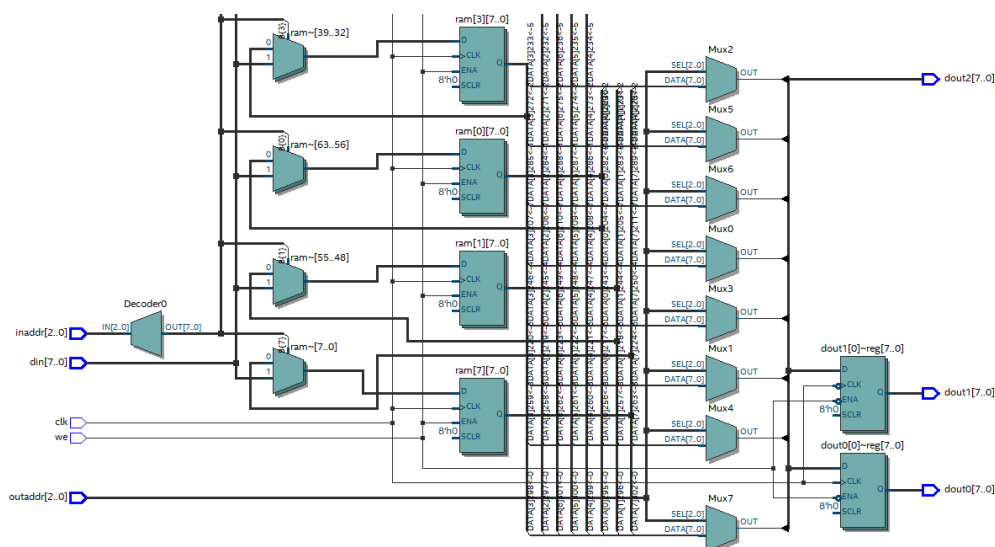
仿真模拟：



开始 we=1，第一个上升沿写入数据，dout2 立即输出

当 we=0 后，在上升沿 dout1 在上升沿输出，dout2 在下降沿输出
之后更换输入，重复上述操作

RTL 图



工作时序解释：

首先 dout2 直接与存储相连，不受 we 和 clk 控制，因此在写入后立即输出

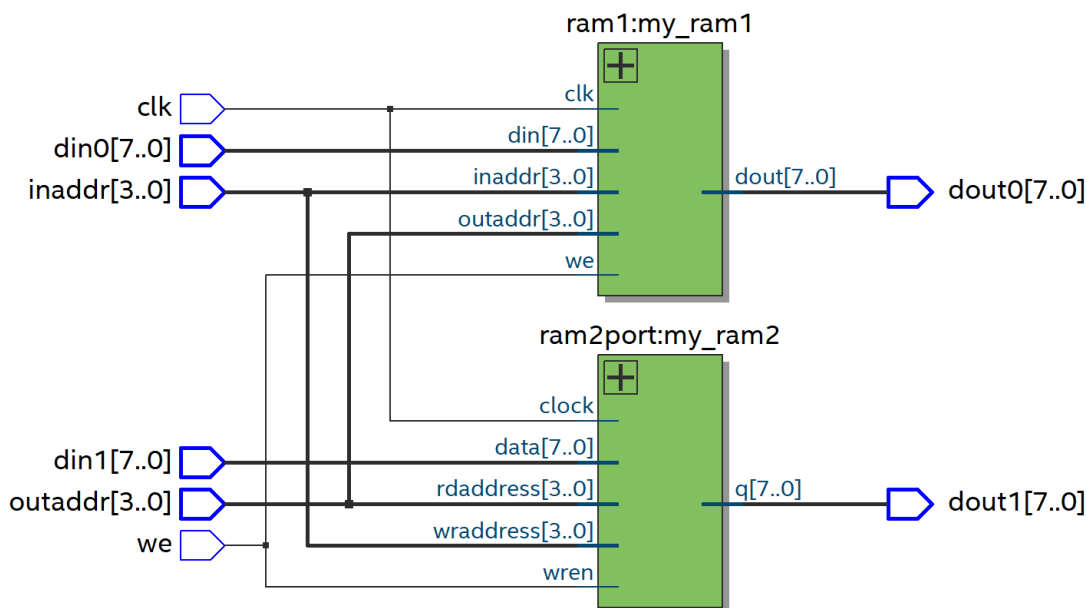
Dout1, dout0 和存储之间都连了一个触发器，其使能端对应连接 we，低电平有效，说明两个输出都是在 we 无效时输出

Dout0 的时钟信号高电平有效，dout1 的时钟信号低电平有效，因此 dout0 在上升沿输出，dout1 在下降沿输出

六．两个存储器

(1) 实验流程，分别设计两个存储器模块，再设计顶层模块，将底层模块实例化，分配引脚，在开发板上验证。

(2) 模块设计

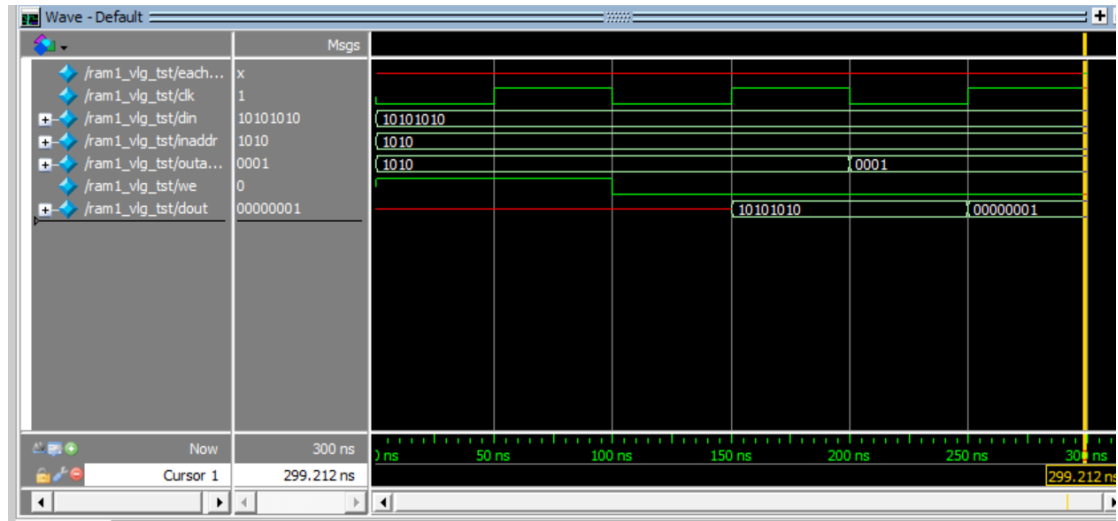


一个顶层模块 storage，提供共用的时钟，读写地址，写使能信号

两个存储器模块

(3) 第一个存储器

Clk 上升沿来时，we 有效则写，否则读，不能同时读写



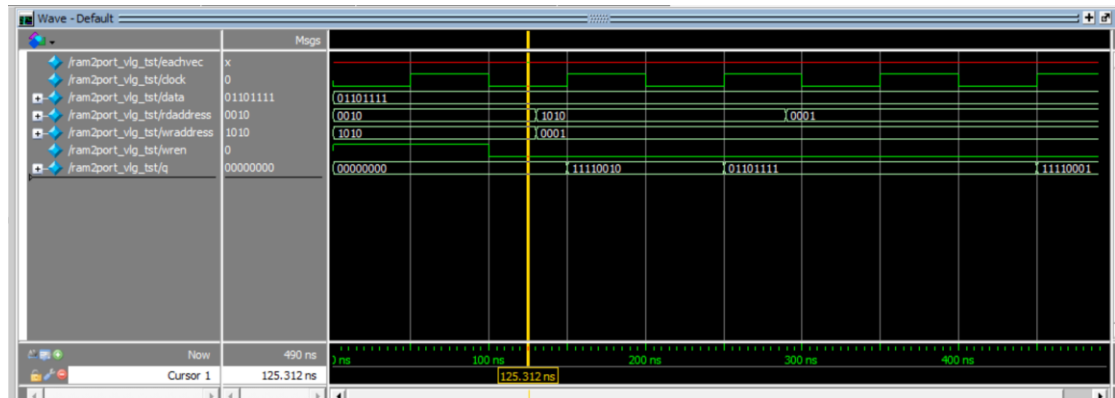
We=1 时，写入 10101010，在 we=0 时输出，更改输出地址后，等到上升沿输出

(4) 第二个存储器

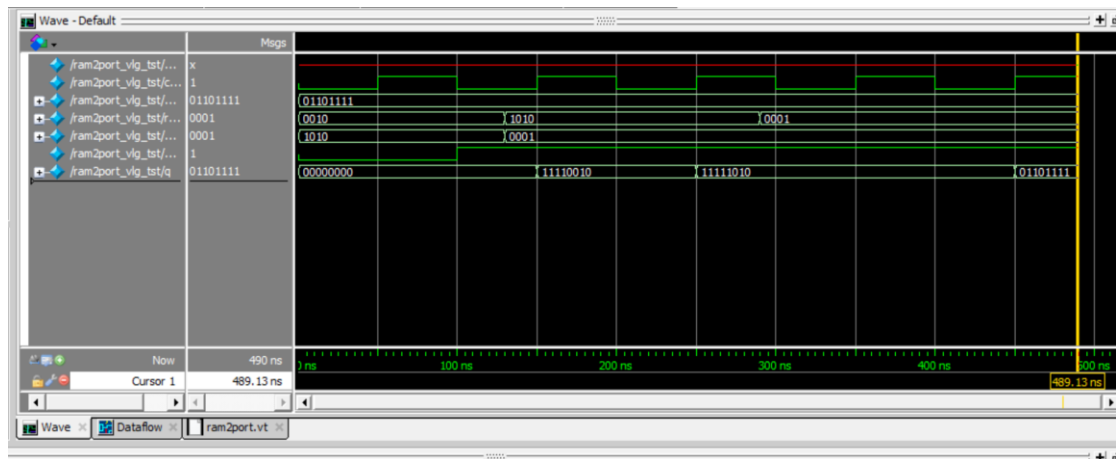
使用 IP 核设计了第二个存储器

在时钟上升沿，读入要输出的地址，在下一个时钟上升沿输出对应地址的数据，且输出不受 we 的控制，在 we=1 时才能写入数据

测试方法：利用控制变量的方法，对比 we=1 和 we=0 的情况，对比写入和写出有冲突和无冲突的情况



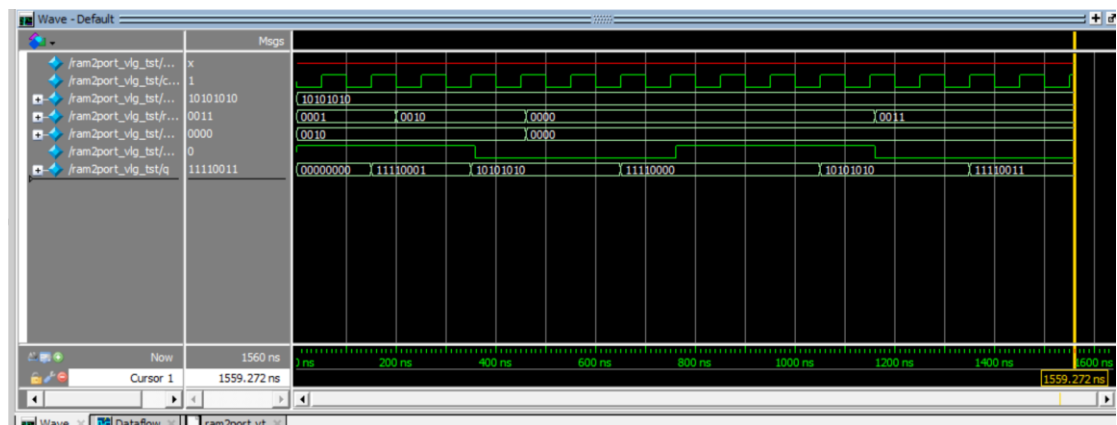
We 先有效后失效的情况，可以看到在 we 失效的第二个上升沿输出了写入的数据，说明写入在之前就已经完成



We 先失效后有效的情况，在 we 有效时依然有正常输出，说明输出不受 we 控制，另外可以看到在 we 有效的第二个上升沿，1010 位置输出的是原来的值，说明之前在 we=0 时并没有写入，之后输出 0001 位置时输出了输入的值，说明在 we=1 时才能进行写入

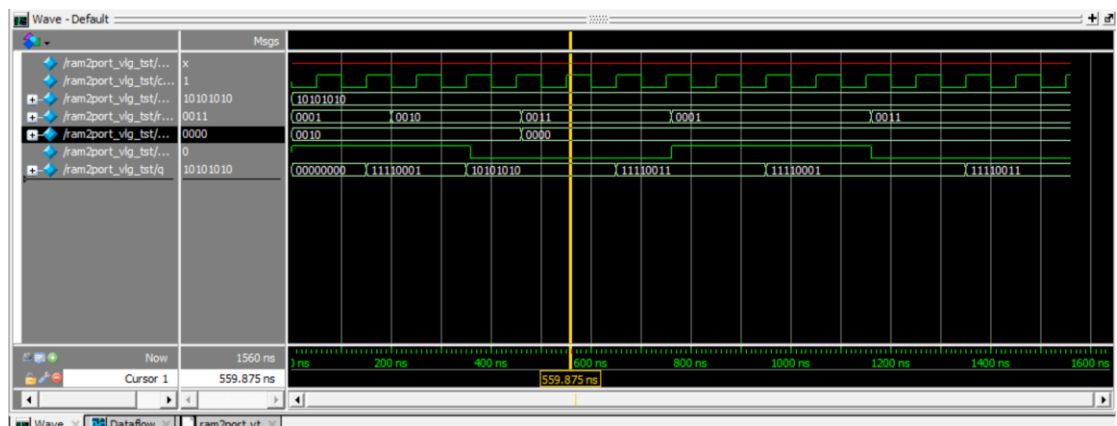
另外当写入和读取有冲突时，存储器会先写入，再读入读取地址，然后再输出有冲突的情况：

在第二次 we 有效时，写入写出地址均为 0000，此时在三个上升沿后才输出写入的数据

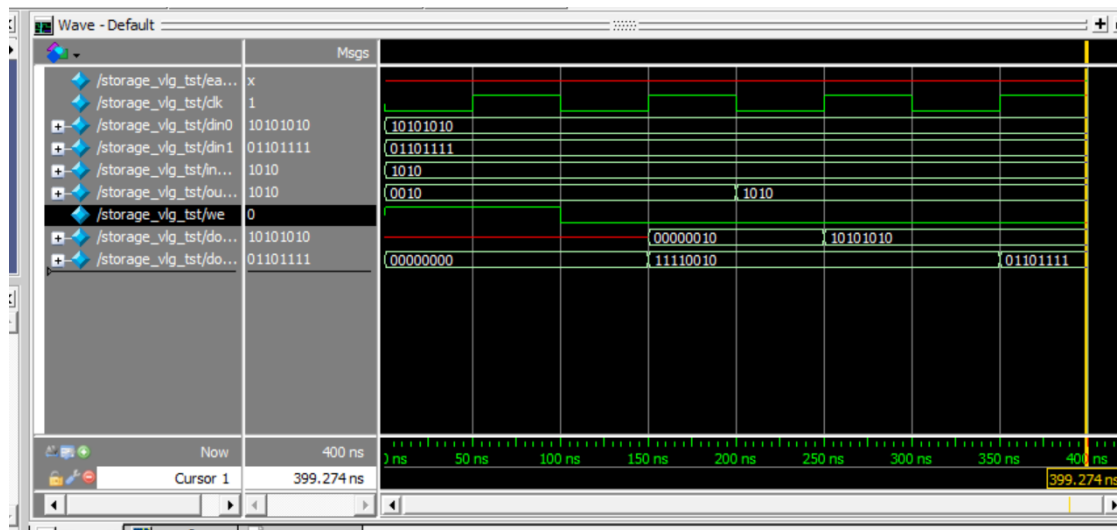


无冲突的情况：

在第二次 we 有效时，写入地址为 0000，写出地址为 0001，此时在两个上升沿后输出数据



(5) 顶层模块仿真



We=0 时，两个存储器分别输出了 0010 上的数据，下一个上升沿第一个存储器输出之前写在 1010 的数据，第二个存储器读入输出地址，在下一个上升沿输出

七．实验反思与收获

- 模块实例化时，传入参数名有错，即在顶层模块传入了一个没有定义过的变量，编译无法检测。
- 更换 modelsim 测试文件时，需要先设置 top-level 文件，再进行一次语法分析
- 在开发板上测试时，开始给输入地址和输出地址分别只分配了三个引脚(地址均为四位)，这样测试时发现输出不能一直保持，经常出现在输出一次后下一次时钟即失效，猜测可能是因为地址只输入三位，导致第四位不确定，不能读到正确的数据，后来将输入输出地址分别分配了四个引脚，解决问题。